

МИНИСТЕРСТВО ВЫСШЕГО СРЕДНЕГО И СПЕЦИАЛЬНОГО
ОБРАЗОВАНИЯ РЕСПУБЛИКА УЗБЕКИСТАН
НАВОЙСКИЙ ГОСУДАРСТВЕННЫЙ ГОРНЫЙ ИНСТИТУТ
КАФЕДРА «АВТОМАТИЗАЦИЯ И УПРАВЛЕНИЯ»



УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС
по предмету

Схемотехника

для бакалавров

Область знаний	300 000 – Производственно – техническая сфера
Область образования	310 000 – Инженерная дело
Направление образования	5 310 900 – Метрология, стандартизация и менеджмент качество продукции (по отраслям)

НАВОИ – 2020

**МИНИСТЕРСТВА ВЫСШЕГО И СРЕДНЕЕ
СПЕЦИАЛЬНОГО ОБРАЗОВАНИЯ РЕСПУБЛИКИ
УЗБЕКИСТАН
НАВОЙСКИЙ ГОСУДАРСТВЕННЫЙ ГОРНЫЙ
ИНСТИТУТ
КАФЕДРА “АВТОМАТИЗАЦИЯ И УПРАВЛЕНИЕ”**

«УТВЕРЖДАЮ»

Проректор по учебной работе

Н.А. Абдуазизов

“ _____ ” _____ 2020 г.



**УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС
ПО ДИСЦИПЛИНЕ
СХЕМОТЕХНИКА**

НАВОЙ – 2020

Жумаев О.А Учебно-методический комплекс по дисциплине «Схемотехника»
Навой: НГГИ-2020г ___ стр.

Составитель:

д.т.н. Жумаев О.А.

Учебно-методический комплекс обсуждена и одобрена на заседание кафедры «Автоматизация и управление» (Протокл № __ от _____ 2020 г.) и рекомендован на совет энерго-механического факультета

Зав. кафедрой:

О.А. Жумаев

Учебно-методический комплекс обсуждена и одобрена на заседание Энерго-механического факультета (Протокол № __ от _____ 2020 г).

Председатель совета факультета:

_____ **Каршибаев А.И**

Учебно-методический комплекс обсуждена и одобрена на заседание учебно-методического совета НГГИ (№ 1 Протокол (№ __, __августа 2020г.)

Секретарь учебно-методического совета:

_____ **М.Ж. Норматова**

Согласовано

Начальник учебно-методического отдела:

_____ **И.А. Каримов**

СОДЕРЖАНИЕ:

№	Вид занятия	Наименование темы
1	ЛЕКЦИЯ 1	Введение. Основные понятия и основные термины схемотех-ники Классификация интегральных микросхем.
2	ЛЕКЦИЯ 2	Цифровое представление преобразуемой информации и логические состояния
3	ЛЕКЦИЯ 3	Преобразование цифровых импульсов на биполярных транзисторах. Аналоговые коммутаторы (аналоговые ключи) на биполярных транзисторах
4	ЛЕКЦИЯ 4	Логические функции и алгебра логики (булева алгебра). Логические функции и способы их записи. Минимизация логических функций
5	ЛЕКЦИЯ 5	Логические элемент. Реализация логических функций
6	ЛЕКЦИЯ 6	Схемотехника логических элементов различных логик
7	ЛЕКЦИЯ 7	Комбинационные цифровые устройства.
8	ЛЕКЦИЯ 8	Последовательностные цифровые устройства. Триггеры..
9	ЛЕКЦИЯ 9	Регистры
10	ЛЕКЦИЯ 10	Счетчики импульсов.
11	ЛЕКЦИЯ 11	Аналоговые функции. Основные аналоговые структуры. Операционные усилители
12	ЛЕКЦИЯ 12	Аналого-цифровые и цифро-аналоговые преобразователи информации
13	ЛЕКЦИЯ 13	Микросхемы памяти
14	ЛЕКЦИЯ 14	Интерфейсы.
15	ЛЕКЦИЯ 15	Таймеры и контроллеры

Лекция 1. Тема: Логические элементы. Реализация логических функций

План:

1. Основные определения
2. Особенности ИМС
3. Классификация ИМС
4. Импульсный режим работы и цифровые представления
5. Виды испытаний микросхем

Основные определения.

Электроника – это область науки, техники и производства, охватывающая исследования и разработку электронных приборов и принципов их использования.

Микроэлектроника – это раздел электроники, охватывающий исследования и разработку качественно нового типа электронных приборов и принципов их (использования) применения.

Интегральные микросхемы – есть совокупность нескольких взаимосвязанных компонентов изготовленных в едином технологическом цикле.

Электрические схемы в зависимости от их назначения подразделяют на *структурные, функциональные, принципиальные, монтажные, общие и схемы подключения и расположения.*

Структурная схема определяет основные функциональные части устройства, их назначения и взаимосвязи. Функциональные части на схеме изображают в виде прямоугольников или условных графических обозначений. На линиях взаимосвязи рекомендуется стрелками показывать направление хода процессов. Наименование каждой функциональной части (ее номер 1-4, или шифр), изображаемой

в виде прямоугольника, рекомендуется вписывать внутрь прямоугольников.

Функциональная схема разъясняет определенные процессы, поступающие в отдельных функциональных цепях устройства или в устройстве в целом. Функциональные части (элементы, устройства и функциональные группы) на ней изображают условными обозначениями. Отдельные функциональные части допускается изображать в виде прямоугольников. Между функциональными частями показывают связи, причем допускается указывать конкретные соединения между элементами или устройствами. Указывают обозначения и тип элементов, устройств, функциональных групп, помещают поясняющие надписи, диаграммы или таблицы, определяющие последовательность процессов во времени.

Принципиальная схема определяет полный состав элементов и связей между ними и дает детальное представление о принципах работы устройства. Элементы на схеме вычерчивают в виде условных графических обозначений, линии связи между элементами, как правило, указывают полностью. Допускается обрывать линии связи между удаленными друг от друга элементами. Обрыв линий заканчивают стрелками, около которых указывают места подключений.

Схема соединений (монтажная) показывает соединения составных частей устройства. А также место присоединения и ввода проводов и кабелей.

Схема подключения показывает внешние подключения устройства, а схема расположения – относительное расположение составных частей устройства.

Общая схема определяет составные части комплекса и соединения их на месте эксплуатации.

Схему описывают словесно или графически с помощью временных диаграмм и таблиц состояний, которые показывают последовательность взаимодействия элементов. Взаимные диаграммы подразделяют на *диаграммы сигналов* и *потенциальные*.

Особенности ИС:

- ❖ Первая и главная особенность ИС, как электронного прибора состоит в том, что она самостоятельно выполняет законченную, весьма сложную функцию, тогда как элементарные электронные приборы выполняют аналогичную функцию только в ансамбле с другими компонентами.
- ❖ Второй важной особенностью ИС является то, что повышение функциональной сложности этого прибора, по сравнению с элементарными, не сопровождается ухудшением каких-либо основных показаний.
- ❖ Третья особенность ИС состоит в предпочтительности активных элементов перед пассивными – принцип, кардинально противоположный тому, который свойственен дискретной транзисторной технике.
- ❖ Четвертая особенность связана с тем, что смежные элементы расположены друг от друга на расстоянии всего 50-100 мкм. Параметры смежных элементов взаимно связаны – коррелированы. Эта корреляция сохраняется и при изменении температуры; у смежных элементов температурный коэффициент практически одинаков (на таких малых расстояниях различие электрофизических свойств материала маловероятно).

Классификация ИС.

Классификация и основные параметры цифровых микросхем.

Сложность цифровых микросхем характеризуется степенью функциональной интеграции.

$$K_H \uparrow \lg N_{эл}$$

$N_{эл}$ - число элементов И-НЕ либо ИЛИ-НЕ, расположенных на кристалле микросхемы.

У современных цифровых микросхем $K_H \uparrow 1 \dots 4$:

1. $K_H \approx 1$ малые ИС;
2. $n_H \uparrow 1 \dots 2$ средние (СИС);
3. $K_H = 2-4$ большие (БИС);
4. $K_H > 4$ сверхбольшие (СБИС).

Микросхемы, используемые в устройстве со статическим хранением информации, называются статическими, а используемые в устройствах с динамическим хранением – динамическими.

По способу представления двойной информации цифровые микросхемы делятся на *потенциальные и импульсные*.

По способу изготовления и получаемой при этом структуре различают два принципиально разных типа интегральных схем: полупроводниковые и пленочные.

Полупроводниковая ИС – это микросхема, элементы которой выполнены в приповерхностном слое полупроводниковой подложки.

Пленочная ИС – это микросхема, элементы которой выполнены в виде разного рода пленок, нанесенных на поверхность диэлектрической подложки.

В зависимости от способа нанесения пленок и связанной с этим их толщиной различают: тонкопленочные ИС (толщина пленок до 1-2 мкм) и толстопленочные ИС (толщиной 10-20 мкм).

Поскольку до сих пор никакая комбинация напыленных пленок не позволяет получить активные элементы типа транзисторов, пленочные ИС содержат только пассивные элементы (резисторы, конденсаторы и т.д.). Поэтому функции, выполняемые чисто пленочными ИС, крайне ограничены. Чтобы преодолеть эти ограничения, пленочную ИС дополняют активными дискретными компонентами, располагая их на той

же подложке и соединяя с пленочными элементами. Тогда получается смешанная пленочно-дискретная ИС которую называют гибридной.

Гибридная ИС – это микросхема, которая представляет собой комбинацию пленочных пассивных элементов и дискретных активных компонентов, расположенных на общей диэлектрической подложке. Дискретные компоненты, входящие в состав гибридной ИС, называют _____, подчеркивая этим их обособленность от основного технологического цикла получения пленочной части схемы.

Совмещенная ИС – это микросхема у которой активные элементы выполнены в приповерхностном слое полупроводникового кристалла, а пассивные элементы нанесены в виде пленок на предварительно изолированную поверхность того же кристалла (как и у пленочной ИС).

Импульсный режим работы и цифровые представления

Импульсный режим работы электронного устройства характерен резкими изменениями токов и напряжений. При этом в промежутках времени между этими изменениями токи и напряжения меняются сравнительно мало. Импульсный режим широко используется в устройствах как силовой, так и цифровой электроники.

Часто активные приборы (например, транзисторы) устройства электроники, работающего в импульсном режиме, используется как ключи, т.е. основную долю времени находятся или в открытом, или в закрытом состоянии, или только в течении очень коротких отрезков времени находятся в промежуточном состоянии. Это так называемый ключевой режим работы активных приборов. В соответствии с этим импульсный и ключевой режимы иногда отождествляют. Широкое использование импульсного режима объясняется многими его преимуществами. Импульсный режим устройства

силовой электроники позволяет существенно повысить коэффициент полезного действия.

Дадим соответствующие пояснения. Пусть в устройстве используется силовой транзистор, работающий в режиме ключа, причем в открытом состоянии транзистор находится в режиме насыщения (напряжения на транзисторе мало), а в закрытом - в режиме отсечки (ток через транзистор мал). Тогда, мощность идущая на нагрев транзистора, мало как в его открытом, так и закрытом состояниях. Эта мощность возрастает в момент переключения транзистора из одного состояния в другое. Но процесс переключения протекает достаточно быстро, и в среднем мощность оказывается малой.

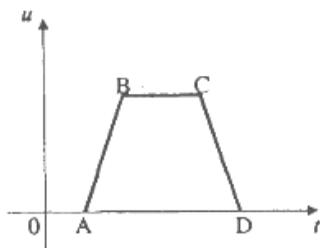
Импульсный режим работы устройств информативной электроники имеет следующие два важнейших преимущества:

- резко повышается помехоустойчивость, так как и при высоком уровне помех обычно не возникает проблемы отличить одно состояние схемы от другого, а именно состояние схемы определяет информацию о преобразуемом сигнале;
- информация о сигнале простым и естественным образом представляется в цифровой форме, что позволяет использовать большие и все возрастающие возможности цифровой обработки информации.

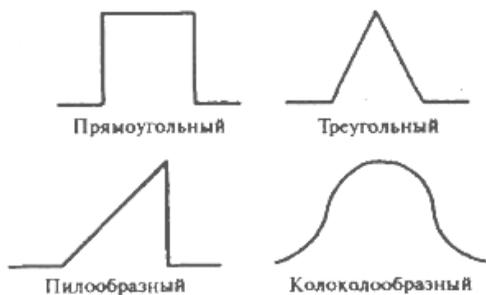
Описание импульсных сигналов

Рассмотрим основные термины. Обратимся для примера к идеализированному импульсу, который называется трапецеидальным (рис. 1, а). Участок импульса АВ называют фронтом, участок ВС - вершиной, участок СД - срезом, отрезок времени АД - основанием. Иногда участок АВ называют передним фронтом, а участок СД - задним фронтом.

На рис. 1, б приведены другие идеализированные импульсы характерных форм и даны их названия.



а



б

Рис. 1

Обратимся к идеализированному, но более сложному по форме импульсу (рис. 2,а).

Участок импульса, соответствующий отрицательному напряжению, называется хвостом импульса, или обратным выбросом.

Для величин указанных на рисунке, обычно используются следующие названия:

t_u – длительность импульса;

t_f – длительность фронта импульса;

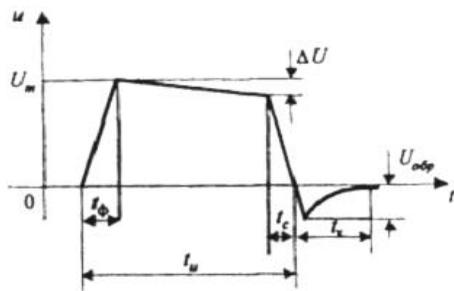
t_c – длительность среза импульса;

t_x – длительность хвоста импульса;

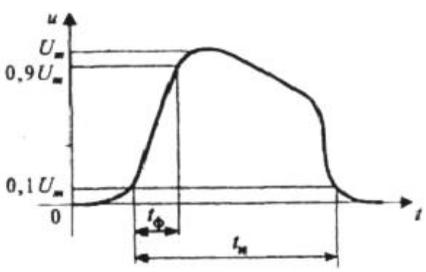
U_m – амплитуда (высота) импульса;

ΔU – спад вершины импульса;

$U_{обр}$ – амплитуда обратного выброса.



a



б

Рис.2

При определении параметров реальных импульсов обычно нет возможности однозначного разделить импульс на характерные участки, поэтому в этих случаях параметры импульсов определяют, исходя тех или иных соглашений. Например, длительности импульса и фронта импульса часто определяют так, как это показано на рис. 2,б.

Обратимся к периодически повторяющимся импульсам (рис. 3).

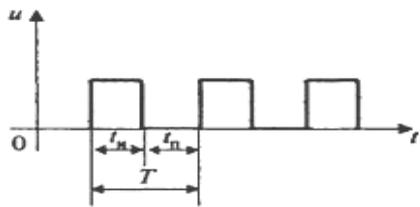


Рис. 3

В этом случае используются следующие параметры:

T - период повторения импульсов;

$f = 1/T$ – частота повторения импульсов;

t_n – длительность паузы;

$Q = T/t_u$ – скважность импульсов;

$K_3 = 1/Q = t_u/T$ – коэффициент заполнения.

Виды испытаний микросхем.

Все испытания осуществляются в двух направлениях: определение пределов механических и климатических воздействий (так называемые определение долговечности и конструктивные испытания) и определение долговечности в различных окружающих условиях (периодические испытания).

Оценочные испытания – это небольшие выборки, испытываемые при различных механических и климатических воздействиях для определения предельных условий эксплуатации.

Обнаруженные дефекты классифицируются по видам отказов (полный и постепенный). Перечислим условия испытаний:

1. механическая ударная нагрузка – десять следующих друг за другом ударов с ускорением до 20 000 д в течение 1 мс;
2. постоянное ускорение до 100 000 д в разных направлениях;
3. хранение схем в течение трех суток при температуре свыше +25°C;
4. хранение схем в течение трех суток при температуре - 60°C.

Основной статической характеристикой схем является *передаточная характеристика*:

$$U_{\text{вых}} \uparrow f(U_x)$$

- зависимость потенциала на выходе от потенциала на одном из входов при постоянных значениях потенциала (U^0 или U') на остальных входах.

По типу передаточной характеристики цифровые схемы делятся на инвертирующие и неинвертирующие.

Контрольные вопросы:

- 1) Основные определения
- 2) Особенности ИМС
- 3) Классификация ИМС
- 4) Виды испытаний микросхем

Лекция 2. Схемотехника логических элементов различных логик

План:

1. Цифровое представление преобразуемой информации.
2. Цифровые ключи на биполярных транзисторах.
3. Ненасыщенные цифровые ключи на биполярных транзисторах.

Для цифрового представления информации характерно полное абстрагирование от особенностей электрических процессов в электронной схеме, выполняющий обработку сигналов.

В устройствах цифровой электроники в большинстве случаев используются сигналы двух уровней – высокого и низкого. При этом обычно имеются в виду уровни напряжения, а не тока. Цифровые схемы конструируются таким образом, чтобы воздействие некоторого сигнала определялось не конкретным значением его напряжения, а тем, к какой из двух разновидностей сигналов (высокого или низкого уровня) этот сигнал относится. Предполагается, что каждый сигнал характеризуется «разумным» уровнем напряжения. При конструировании цифровых схем предпринимаются все меры к тому, чтобы, например, сигнал высокого уровня был не очень малым и не очень большим по напряжению. Если напряжения сигнала находится в установленных пределах, то конкретное значение напряжения практически ни как не влияет на реакцию того устройства цифровой электроники, на которое этот сигнал подан. Такие сигналы принято называть цифровыми. Сигналы, не являющиеся цифровыми, называют аналоговыми.

Изобразим диаграмму, поясняющую изложение (рис. 6.). На этой диаграмме, соответствующий цифровым схемам транзисторно-транзисторной логики (ТТЛ), имеющий

напряжения питания 5В, укажем диапазоны напряжений для входных и выходных сигналов (заштрихованные прямоугольники). Это такие диапазоны, что сигнал, оказавшись в одном из них, безошибочно квалифицируется как сигнал высокого или низкого уровня. Высокому и низкому уровню сигналов ставятся в соответствии логические состояния 1 («истина») и 0 («ложь»). Если высокому уровню сигналов ставится в соответствии состояние 1, а низкому – состояние 0, то говорят о так называемой позитивной (положительной) логике. Если высокому уровню соответствует состояние 0, а низкому -1, то говорят о так называемой негативной (отрицательной) логике.

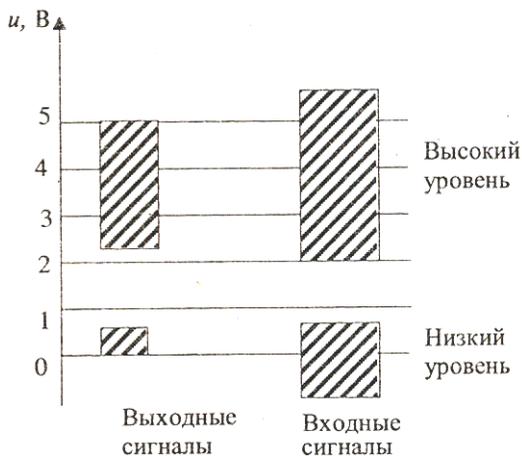


Рис. 6

Транзисторный ключ является основным элементом устройств цифровой электроники и очень многих устройств силовой электроники. Параметры и характеристики транзисторного ключа в очень большой степени определяют свойства соответствующих схем. Качественное улучшение параметров и характеристик транзисторных ключей приводит к радикальному улучшению электронных устройств и часто сопровождается пересмотром используемых схемотехнических решений.

Знание основных особенностей транзисторного ключа является обязательным условием при разработке импульсных силовых устройств. Эти значения указывают существенную помощь и при конструировании устройств цифровой электроники.

Распространены ключи, в выходных цепях которых используется источники постоянного напряжения (источники питания). Назначение таких ключей состоит в том, чтобы создать на выходе или напряжение, близкое к напряжению питания (когда ключ закрыт, а ток, потребляемой нагрузкой, подсоединенной к ключу, достаточно мал). Такая работа характерна для ключей цифровой электроники (их называют цифровыми ключами) и силовой электроники.

В информативной электронике используется также и ключи, имеющие другое назначение. Оно состоит в том, чтобы соединять или рассоединять источник входного, содержащего информации аналогового сигнала и приемник этого сигнала. Такие ключи принято называть аналоговыми. Их также называют аналоговыми коммутаторами.

Рассмотрим цифровые и аналоговые ключи на биполярных и полевых транзисторах.

Цифровые ключи на биполярных транзисторах

Изобразим схему простейшего ключа на биполярном транзисторе, включенном по схеме с общим эмиттером, и соответствующую диаграмму входного напряжения (рис.7).

В начале рассмотрим работу транзисторного ключа в установившихся режимах. До момента времени t_1 эмиттерный переход транзистора заперт и транзистор находится в режиме отсечки. В этом режиме $i_k = -i_b = I_{k0}$ (I_{k0} – обратный ток коллектора), $i_{\epsilon} \approx 0$. Малым током I_{k0} часто можно пренебречь и считать, что $i_k = -i_b \approx 0$. При этом $u_{R\bar{\sigma}} \approx u_{Rk} \approx 0$; $u_{\bar{\sigma}\epsilon} \approx -U_2$, $u_{к\epsilon} = -E_k$.

В промежутке времени $t_1 \dots t_2$ транзистор открыт. Для того, чтобы напряжение на транзисторе $u_{к\epsilon}$ было минимальным,

напряжение U_1 обычно выбирают так, чтобы транзистор находился или в режиме насыщения, или в пограничном режиме, очень близком к режиму напряжения.

Определим токи и напряжения для рассматриваемого отрезка времени: $i_{\delta} = \frac{U_1 - u_{бэ}}{R_{\delta}} \approx \frac{U_1}{R_{\delta}}$, $i_r = \frac{E_k - u_{кэ}}{R_k} \approx \frac{E_k}{R_k}$.

Ток коллектора в режиме насыщения обозначим через $I_{к.нас.}$. Таким образом $I_{к.нас.} \approx \frac{E_k}{R_k}$. Напряжения в режиме насыщения у транзисторов разного типа различно. Обычно оно лежит в пределах 0,08...1В.

Для оценки глубины насыщения пользуется так называемым коэффициентом насыщения $q_{нас.}$, показывающим, во сколько раз реальный ток базы больше того минимального значения тока базы, которое необходимо для обеспечения режима насыщения. Очевидно, что минимальный ток базы $I_{\delta.нас.мин.}$, необходимый для режима насыщения, определяется выражением

$$I_{\delta.нас.мин.} \approx \frac{I_{к.нас.}}{\beta_{ст}} = \frac{E}{R_k \cdot \beta_{ст}},$$

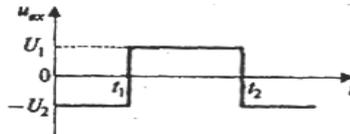
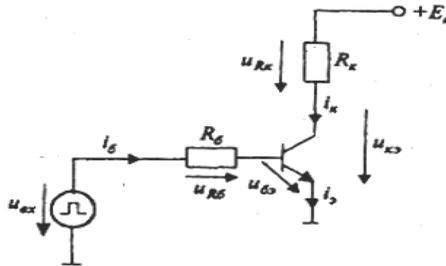


Рис. 7

Поэтому

$$q_{нас} = \frac{i_b}{I_{б.нас.мин}} \approx \frac{\frac{U_1}{R}}{\frac{E_k}{R_k \cdot \beta_{ст}}}$$

При выбора коэффициента насыщения для конкретного транзисторного ключа обычно использует следующие соображения:

- режим насыщения должен быть обеспечен для различных экземпляров транзисторов выбранного типа при работе ключа в заданном диапазоне температуры;
- увеличение тока базы в режиме насыщения уменьшает напряжение между коллектором и эмиттером, что уменьшает мощность, выделяющуюся в выходной цепи транзистора, но это уменьшение практически прекращается при $q_{нас} \approx 3$;
- чрезмерное увеличение тока базы приводит к заметному увеличению мощности, выделяемой во входной цепи транзистора.

Кроме этих соображений, относящихся к установившемуся режиму, учитывают влияние величины тока базы на длительность переходных процессов. Чем больше ток базы, тем быстрее включается (т.е. входит в режим насыщения) транзисторный ключ, но длительность переходного процесса включения транзистора при этом увеличивается. Подробнее эти вопросы рассматриваются ниже.

Часто величину $q_{нас}$ выбирают из диапазона 1,5...2.

Изобразим временные диаграммы, соответствующие процессу включения (рис.8).

Часто $U_{бэ.порог}$ обозначено пороговое напряжение между базой и эмиттером, которое соответствует некоторому малому значению тока базы.

Например, считают, что напряжение $U_{бэ.порог}$ соответствует тока базы, в 10 раз меньшему тока $I_{б.нас.мин.}$.

Через $I_{к.порог}$ обозначен ток коллектора, соответствующий напряжению $I_{б.нас.мин.}$.

Интервал $t_1...t_2$ называют интервалом задержки включения, интервал $t_2...t_3$ – интервалом формирования фронта, а интервал $t_3...t_4$ – интервалом накопления заряда. Разность t_3-t_1 называют временем включения.

Длительность интервала формирования фронта определяются током базы, током насыщения коллектора $I_{к.нас.}$, величиной β транзистора, а также временем жизни

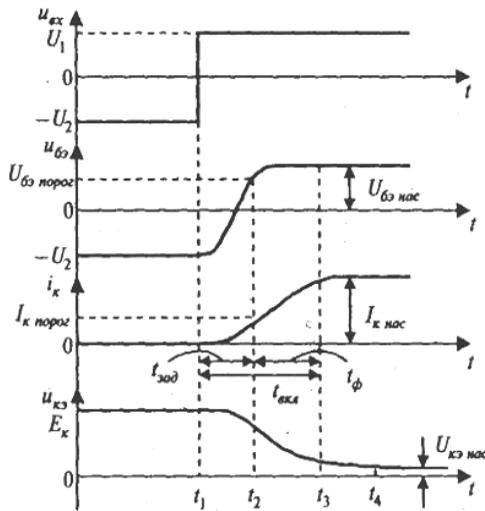


Рис. 8

неосновных носителей в базе.

На интервале задержки включения изменяется напряжения на эмиттерном и коллекторном переходах, и поэтому изменяются объемные нескомпенсированные заряды в области этих переходов. Это находит отражение в том, что возникают токи электродов транзистора. Но ток коллектора не рассматриваемом интервале мал. Указанное явления изменение зарядов условно называют перезарядом барьерных емкостей эмиттерного и коллекторного переходов. Однако не следует забывать, что барьерные емкости, как и диффузионные, являются по определению дифференциальными емкостями. Поэтому к термину «перезаряд» следует относиться с осторожностью. Например, если напряжение между базой и эмиттером равно нулю, это не означает, что нескомпенсированный заряд в области эмиттерного перехода равен нулю (а заряд «обычной» емкости равен нулю при нулевом напряжении). К концу интервала задержки напряжение между базой и эмиттером увеличивается до значения $U_{бэ,порог}$.

На интервале формирования ток и электродов транзистора являются значительными. В начале этого интервала продолжается изменение напряжение на эмиттерном переходе. Это вызывает изменение соответствующих нескомпенсированных объемных зарядов. На интервале формирования фронта, кроме этого, происходит накопление неравновесных носителей электричества в базе транзистора. Это условно называют процессом накопления неосновных носителей. Но следует учитывать, что заряд неосновных носителей практически мгновенно компенсируются зарядом основных носителей. Подробнее этот вопрос рассмотрен при изучении полупроводникового диода и явления диэлектрической релаксации (релаксации Максвелла). Чем больше коэффициент насыщения, тем меньше длительность фронта t_f .

На интервале накопления заряда продолжается накопление неравновесных носителей электричества. При этом

напряжение $u_{кэ}$ незначительно уменьшается, а ток коллектора незначительно увеличивается.

Изобразим временные диаграммы, иллюстрирующие процесс включения (рис.9).

На рис. 9 введены следующие обозначения интервалов времени:

- $t_1...t_2$ – рассасывание заряда;
- $t_2...t_3$ – формирования спада;
- $t_3...t_4$ – установления.

Разность $t_3 - t_1$ называют временем выключения.

На интервале рассасывания тока базы отрицательный и ограничивается резистором $R_б$. Если пренебречь напряжением

$u_{бэ}$, то $i_б \approx -\frac{U_2}{R_б}$. На этом интервале происходит

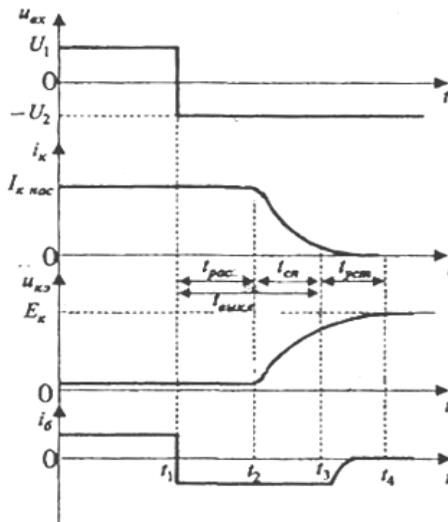


Рис. 9

уменьшение концентрации неравновесных носителей электричества, и к концу интервала транзистор выходит из режима насыщения. Чем больше коэффициент насыщения, тем

больше коэффициент рассасывания $t_{рас}$. Чем больше ток по модулю $i_{\bar{\sigma}}$, тем меньше время рассасывания.

На интервале форсирования спада продолжается уменьшение концентрации неравновесных носителей, ток i_{κ} значительно уменьшается, а напряжение на коллекторном переходе и напряжение $u_{\kappa\bar{\sigma}}$ значительно возрастают. Изменение напряжение на коллекторном переходе приводит к изменению объемных нескомпенсированных зарядов в области этого перехода (говорят, что барьерная коллекторная емкость перезаряжается).

На интервале установления напряжения $u_{\bar{\sigma}}$ изменяется от величины $U_{\bar{\sigma}, порог}$ до $-U_2$. При этом изменяются нескомпенсированные объемные заряды переходов транзистора.

После момента времени t_3 ток коллектора становится равным току базы, эмиттерный переход смещается в обратном направлении, ток базы быстро уменьшается по модулю и становится нулевым.

Количественный анализ динамических режимов транзисторных ключей настоятельно рекомендуется выполнить с помощью пакетов программ для машинного анализа электронных схем (Micro Cap V и др.). Эти пакеты программ позволяют анализировать переходные процессы при самых сложных входных сигналах. Ранее для расчета переходных процессов в транзисторных ключах применялись упрощенные методики, предполагающие к тому же использование простых входных сигналов. В настоящее время эти методики рекомендуется применять только в учебных целях.

Из изложенного следует, что время включения ключа можно уменьшить, увеличивая отпирающий ток базы. В то же время увеличивать коэффициент насыщения нежелательно, так как это удлиняет время выключения. Аналогично время выключения можно уменьшить, увеличивая запирающий (отрицательный) ток базы.

Представим схему транзисторного ключа с форсирующим конденсатором, который увеличивает положительную и отрицательную амплитуды тока базы и тем самым повышает быстродействие (рис. 10). Работу ключа поясняют временные диаграммы. Подобные схемы широко используются на практике.

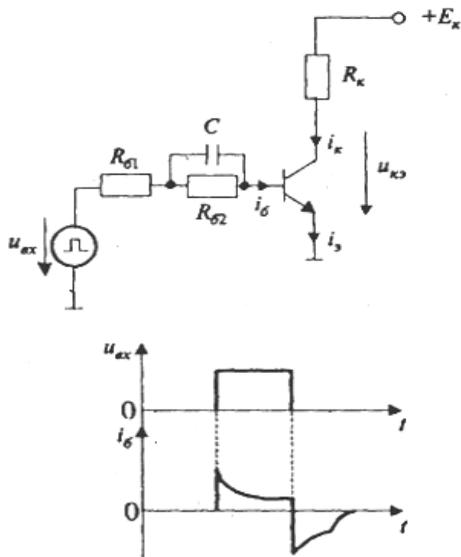


Рис. 10

Ненасыщенные цифровые ключи на биполярных транзисторах

Одним из способов повышения быстродействия является предотвращение насыщения транзистора. Это, как отмечалось выше, уменьшает время рассасывания. Важно учитывать, что предотвращения насыщения обычно достигается не уменьшением отпирающего базового тока, так как этот способ предотвращения насыщения имеет существенные недостатки. Во-первых, если ориентироваться на уменьшение тока базы, то

придется принять меры по точной регулировке этого тока. Иначе ключ на одном экземпляре транзистора, имеющий малый коэффициент β , не будет полностью открываться, а ключ на другом экземпляре транзистора, имеющего большой коэффициент β , все-таки будет входить в режим насыщения. Во-вторых, работа ключа может оказаться нестабильной. Например, существенное дестабилизирующее воздействие может оказать температура. В-третьих, длительность фронта импульса будет значительной.

Вначале рассмотрим идеализированную схему ненасыщенного ключа (рис. 11,а), принцип которого легко понять. Напряжение смещения $U_{см}$ должно быть порядка 0,4...0,6В. До тех пор, пока режим работы транзистора не приближается к режиму

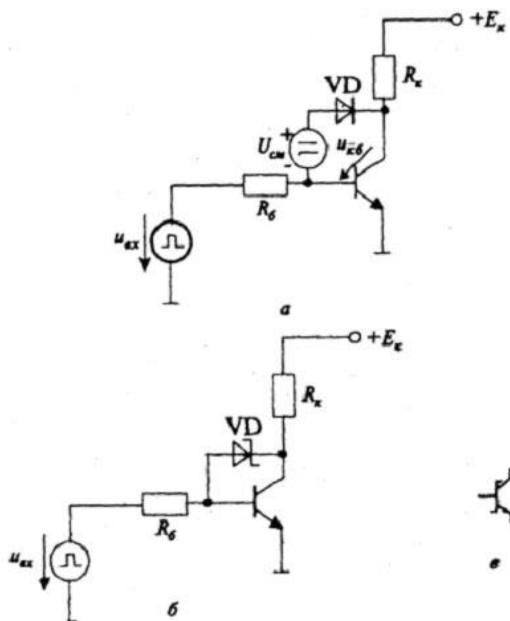


Рис. 11

насыщения, диод VD остается закрытым и весь ток источника входного сигнала поступает в базу транзистора, вызывая его быстрое отпирание. На границе активного режима и режима насыщения напряжение $u_{кб}$ оказывается близким к нулевому, и диод начинает открываться. После этого часть тока источника входного сигнала ответвляя в цепь диода, ток базы уменьшается, и транзистор не входит в режим насыщения. Таким образом, в схеме имеет место нелинейная отрицательная обратная связь по напряжению. В таких схемах должны использоваться высокочастотные диоды.

Очень хорошие результаты дает использование диодов Шоттки (рис.11,б). при рассмотрении этих диодов отмечалось, что они отличаются большим быстродействием и малым падением напряжения (время восстановления может быть порядка 0,1 нс и меньше, напряжение отпирания около 0,25 В). При использовании диодов Шоттки источники напряжения смещения не требуются. Биполярный транзистор с диодом Шоттки стали называть «транзистор Шоттки» и обозначать, как показано на рис.11,в.

Кроме достоинств, следует иметь в виду и следующие недостатки ненасыщенных ключей:

- повышенное напряжение на открытом ключе;
- пониженная помехоустойчивость;
- пониженная температурная стабильность.

Не смотря на указанные недостатки, ненасыщенные ключи широко используются на практике.

Контрольные вопросы:

1. Цифровое представление преобразуемой информации?
2. Особенности цифровых ключей на биполярных транзисторах?
3. Принцип работы ненасыщенных цифровых ключей на биполярных транзисторах?

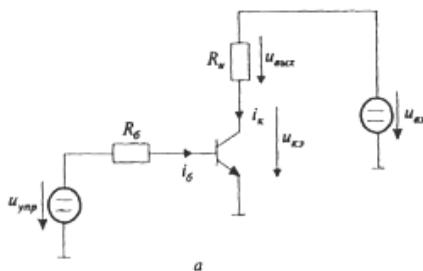
Лекция 3. Комбинационные цифровые устройства (2 часа).

План:

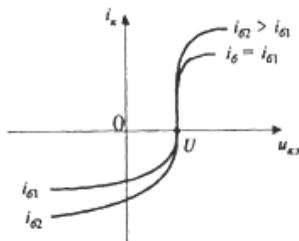
1. Аналоговые коммутаторы (аналоговые ключи) на биполярных транзисторах.
2. Ключи на полевых транзисторах.
3. Двухнаправленный аналоговый ключ.

Рассмотрим простейшие схемы аналоговых ключей на биполярных транзисторах. На рис.12,а представлена схема с общим эмиттером. Изобразим выходные характеристики транзистора для прямого и инверсного включения в области, близкой к началу координат (рис.12,б).

Через u_{ex} обозначено входное напряжение, которое в зависимости от управляющего сигнала $u_{упр}$ подается или не подается на нагрузку R_H . Напряжение u_{ex} может быть как положительным, так и отрицательным. Если $u_{ex} > 0$ то рассматриваемый аналоговый ключ работы также как изученный ключ с постоянным напряжением питания. Если $u_{ex} < 0$, транзистор работает в инверсном режиме.



а



б

Рис.12

Одним из недостатков биполярного транзистора с точки зрения применения его в аналоговых ключах является то, что выходные характеристики не проходят через начало координат. Вследствие этого ток i_k и напряжение $u_{вых}$ будут равны нулю не тогда, когда $u_{вх} = 0$, а при некотором положительном входном напряжении U . Напряжение U обычно составляет $10 \dots 100 \text{ мВ}$. Это напряжение называют остаточным или напряжением смещения.

На практике для уменьшения величины U транзистор включают так, чтобы роль эмиттера играл коллектор, а роль коллектора – эмиттер. Изобразим соответствующие характеристики и схему, которую иногда называют схемой с общим эмиттером при инверсном включении транзистора (рис.13).

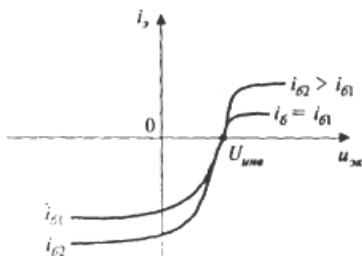
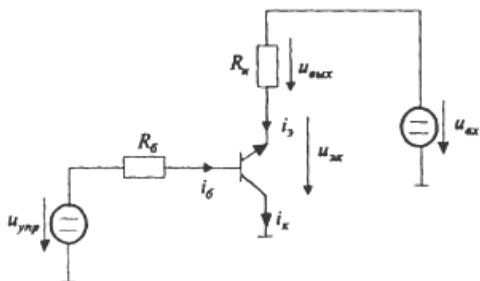


Рис. 13

Из-за несимметрии структуры транзистора, различия в концентрациях примесей в различных его областях остаточное напряжение для инверсного включения $U_{инв}$ обычно значительно меньше напряжения U . Часто $U_{инв}$ составляет 1...5 мВ. Но, используя инверсное включение, следует помнить, что максимально допустимое запирающее напряжение эмиттерного перехода обычно значительно меньше соответствующего напряжения для коллекторного перехода.

Обратимся к третьей простейшей схеме – схеме с общим коллектором (рис. 14). Можно заметить, что последняя схема практически повторяет предыдущую, отличаясь только условно-положительными направлениями токов и напряжений.

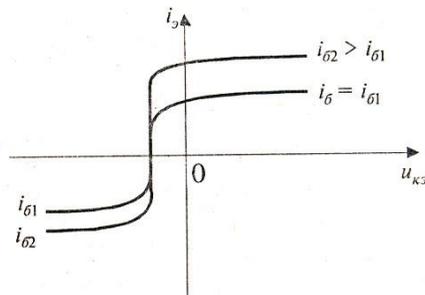
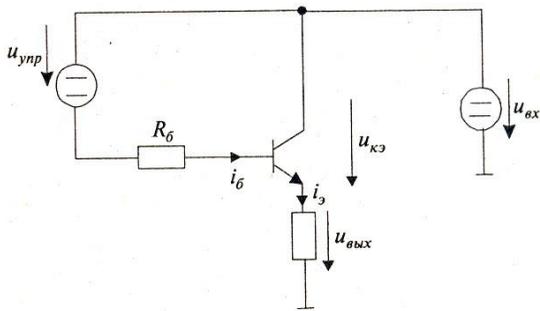


Рис. 14

Рассмотрим компенсированный аналоговый ключ на биполярных транзисторах. С целью уменьшения напряжения на открытом ключе используют последовательное включение одинаковых транзисторов. Промышленность выпускает интегральные схемы, содержащие пары транзисторов, предназначенные для такого использования. Изобразим принципиальную схему интегральной микросхемы 101КТ1А (рис. 15). Такие устройства называют также прерывателями. Изобразим схему аналогового ключа на основе такой микросхемы (рис. 16). Входной сигнал $u_{вх}$ может быть постоянным любой полярности или переменным. Управляющий сигнал передается через трансформатор.

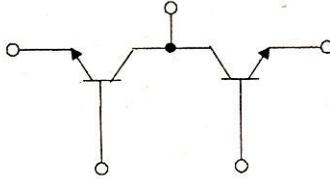


Рис. 15

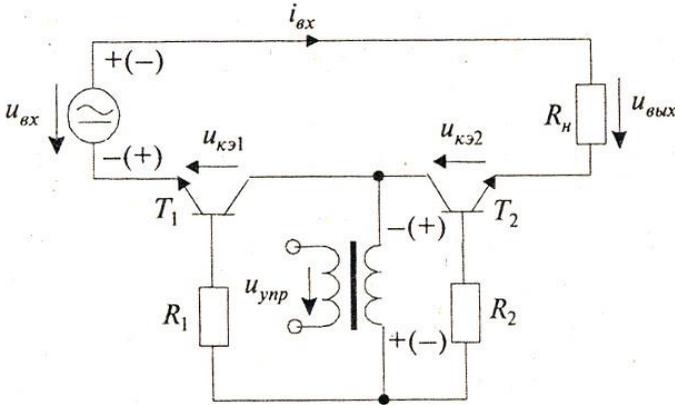


Рис. 16

Пусть в некоторый момент времени имеют место те полярности входного напряжения и напряжения на вторичной обмотке трансформатора, которые указаны без скобок, тогда транзисторы будут открыты и входной ток $i_{вх}$ будет положительным. Транзистор T_1 будет работать в нормальном режиме, причем он включен по схеме с общим коллектором. В соответствии с приведенными ниже характеристиками в режиме насыщения $u_{кэ1} < 0$. Транзистор T_2 будет работать в инверсном режиме. В соответствии с приведенными ниже характеристиками для схемы с общим эмиттером при инверсном включении $u_{кэ2} > 0$. Таким образом, остаточные напряжения на транзисторах будут взаимно компенсироваться. Благодаря этому, общее напряжение на транзисторах оказывается очень

малым. Для указанной микросхемы это напряжение не более 100 мкВ.

Для уяснения особенностей работы схемы полезно учитывать сделанное выше замечание о том, что используемые в рассматриваемом ключе простейшие схемы фактически совпадают. В случае такой полярности напряжение на вторичной обмотке трансформатора, которая указана в скобках, ключ будет закрыт. Для данной микросхемы ток утечки не более 40нА. Максимальный ток открытого ключа – 10мА.

Компенсированные транзисторные ключи входят в состав различных микросхем серий 124, 129, 162.

Ключи на полевых транзисторах

Ключи на полевых транзисторах широко используются для коммутации аналоговых и цифровых сигналов.

В аналоговых ключах обычно используют транзисторы с управляющим *p-n*-переходом или МДП-транзисторы с индуцированным каналом. В цифровых ключах обычно используют МДП-транзисторы с индуцированным каналом. В последнее время полевые транзисторы все чаще используют в силовой импульсной электронике.

Ключи на полевых транзисторах отличаются малым остаточным напряжением. Они могут коммутировать малые сигналы (в единицы микровольт и меньше). Это следствие того, что выходные характеристики полевых транзисторов проходят через начало координат.

Для примера изобразим выходные характеристики транзистора с управляющим переходом и каналом *p*-типа в области, прилегающей к началу координат (рис. 17). Обратим внимание, что характеристики в третьем квадранте соответствуют заданным напряжениям между затвором и стоком.

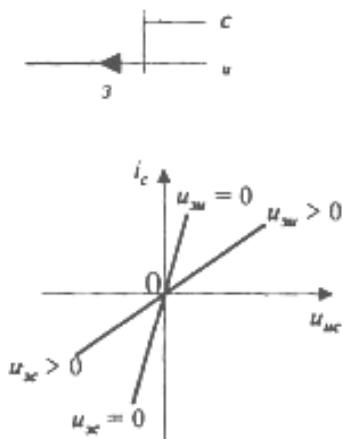


Рис. 17

Однако минимальное сопротивление включенного ключа на полевом транзисторе может быть больше, чем ключа на биполярном транзисторе (т.е. наклон самой круто поднимающейся характеристики полевого транзистора может быть меньше, чем наклон соответствующей характеристики биполярного транзистора). Поэтому при значительном токе падение напряжения на полевом транзисторе может быть больше, чем падение напряжения на биполярном транзисторе.

Иногда остаточным напряжением на ключе называют не то напряжение, которое соответствует нулевому току, а то которое соответствует некоторому значительному току ключа. Это нужно уметь в виду, чтобы понять смысл на первый взгляд парадоксального утверждения, встречающегося у некоторых авторов и состоящего в том, что остаточное напряжение ключей на полевых транзисторах больше, чем ключей на биполярных транзисторах, и по этому «полевой транзистор обладает худшими ключевыми свойствами по сравнению с биполярным». Кстати будет сказать, что наличие подобных на первый взгляд противоречивых утверждений полезно воспринимать как знак того, что выбор конкретного решения (в данном случае выбор для коммутации полевого или

биполярного транзистора) следует осуществлять на основе всестороннего анализа.

В статическом состоянии ключ на полевом транзисторе потребляет очень малый ток управления. Однако этот ток увеличивается при увеличении частоты переключения. Очень большое входное сопротивление ключей на полевых транзисторах фактически обеспечивает гальваническую развязку входных и выходных цепей. Это позволяет обойтись без трансформаторов в цепях управления. Ключи на полевых транзисторах часто менее быстродействующие в сравнение с ключами на биполярных транзисторах.

Изобразим схему цифрового ключа на МДП- транзисторе с индуцированным каналом n - типа и резистивной нагрузкой и соответствующие временные диаграммы (рис.18). На схеме изображена емкость нагрузки C_n , моделирующая емкости устройств, подключенному к транзисторному ключу. Очевидно, что при нулевом входном сигнале транзистор заперт и $u_{cu} = E_c$. Если напряжение $u_{вх}$ больше порогового напряжения $U_{зи.порог}$ транзистора, то он открывается и напряжение u_{cu} уменьшается.

Ключи на полевых транзисторах с управляющим p - n -переходом входят в состав различных микросхем серий 284, 504 и др.

Напряжение на ключе в его включенном состоянии $U_{вкл}$ зависит от сопротивления стока R_c , величины входного сигнала и особенностей стоковых характеристик транзистора.

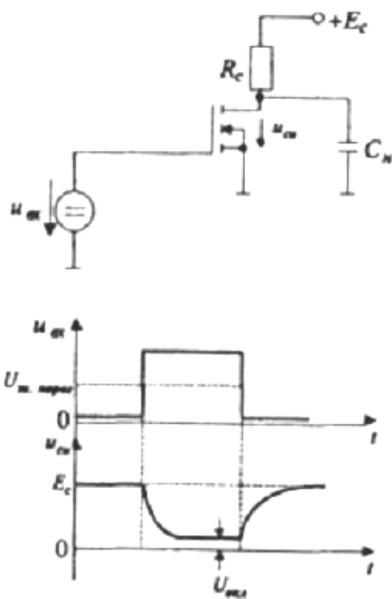


Рис. 18

Изобразим схему цифрового ключа на МДП- транзисторе с нагрузочным МДП – транзистором (с динамической нагрузкой) (рис.19). Отметим, что при использовании интегральной технологии такой ключ, как ни странно на первый взгляд, изготовить проще в сравнение рассмотренном выше, имеющим нагрузочный резистор. Транзистор T_1 называют активным, а транзистор T_2 – нагрузочным.

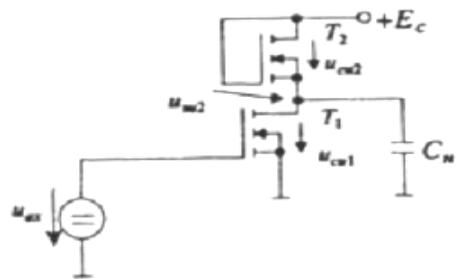


Рис. 19

Вначале рассмотрим закрытое состояние ключа. При этом $u_{вх} < U_{зи.порог1}$, где $U_{зи.порог1}$ – пороговое напряжение для транзистора T_1 .

В этом случае транзистор T_1 закрыт и через оба транзистора протекает очень малый ток (обычно не более 1 нА). При этом напряжение u_{cu1} близко к напряжению E_c , а напряжение u_{cu2} близко к нулю. В рассматриваемом состоянии транзистор T_2 закрыт, хотя напряжение между затвором и истоком этого транзистора положительно (очевидно, что $u_{zu2} = u_{cu2}$). Но соотношение между параметрами транзисторов обеспечивается именно такое, чтобы в закрытом состоянии ключа выполнялось соотношение $u_{cu1} \approx E_c$. По крайней мере очевидно, что напряжение u_{cu2} не может быть больше порогового напряжения $U_{зи.порог2}$ для транзистора T_2 , иначе бы транзистор T_2 открылся и напряжение на нем уменьшилось.

Теперь рассмотрим открытое состояние ключа. При этом $u_{вх} > U_{зи.порог1}$. транзистор T_1 открыт и напряжение u_{cu1} близко к нулю, а напряжение на транзисторе T_2 близко к напряжению питания. В рассматриваемом состоянии транзистор T_2 также открыт, при этом $u_{zu2} = u_{cu2} \approx E_c$. Но транзисторы конструируют таким образом, чтобы удельная крутизна транзистора T_1 . именно по этому в открытом состоянии ключа $u_{cu1} \approx 0$ (часто это напряжение лежит в пределах 50...100 мВ). Так как удельная крутизна транзистора T_2 мала, ток, протекающий через открытый ключ, сравнительно мал.

Изобразим схему цифрового ключа на комплементарных МДП- транзисторах (комплементарных МДП- ключ) (рис.20). Здесь использованы взаимодополняющие друг друга (комплементарные) транзисторы: транзистор T_1 с каналом n -типа и транзистор T_2 с каналом p -типа. Обозначим через $U_{зи.порог1}$ и $U_{зи.порог2}$ пороговые напряжения для транзисторов соответственно T_1 и ш.

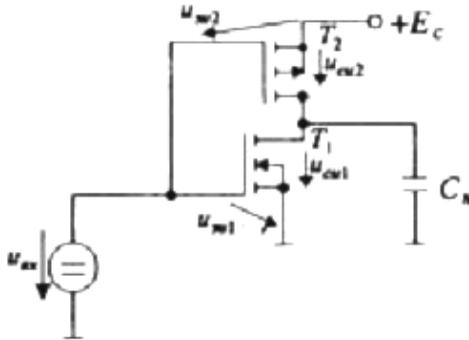


Рис. 20

Стоит обратить внимание, что каждое из указанных пороговых напряжений является положительным.

Пусть $u_{ex} = 0$, тогда, очевидно, транзистор T_1 закрыт, а транзистор T_2 открыт. При этом $u_{cu1} \approx E_c$, $u_{cu2} \approx 0$. Если $u_{ex} > U_{зи.порог1}$, тогда транзистор T_1 открыт. Пусть, кроме того, $u_{ex} > E_c - U_{зи.порог2}$, тогда транзистор T_2 закрыт. При этом $u_{cu1} \approx 0$, $u_{cu2} \approx E_c$.

Надо отметить, что если $E_c < U_{зи.порог1} + U_{зи.порог2}$, то при изменении входного сигнала не возникает ситуация, когда оба транзисторы включены. Но если данное неравенство не выполняется, то такая ситуация будет иметь место при некотором промежуточном напряжении u_{ex} , и тогда через транзисторы протекает так называемый сквозной ток. Если длительность переднего фронта и длительность среза (заднего фронта) входного импульса мала, то сквозной ток протекает короткое время, но и в этом случае он оказывает негативное влияние на работу схемы.

Как следует из изложенного, в каждом из двух установившихся режимов, т.е. и в открытом и в закрытом состоянии, ключ практически не потребляет ток источника питания. Это первое важное достоинства комплементарного ключа. Вторым важным достоинством комплементарного ключа является резкое отличие выходного напряжения в открытом состоянии ключа (единицы микровольт и менее) и выходного

напряжения в закрытом состоянии (это напряжение меньше напряжения питания всего лишь на единицы микровольт и менее). Это обеспечивает высокую помехоустойчивость цифровых схем на комплементарных ключах.

Третьим важным достоинством комплементарного ключа является его повышенное быстродействие. Оно может быть на порядок больше, чем у двух других ранее изученных ключей на полевых транзисторах. Повышенное быстродействие объясняется тем, что как разряд емкости C_n , что так и его заряд происходит через соответствующий открытый транзистор (емкость разряжается через транзистор T_1 и заряжается через транзистор T_2). При этом в начале заряда через соответствующий транзистор протекает большой ток, который быстро изменяет напряжение емкости. Естественно предположить, что входной сигнал поступает от такого же ключа, т.е. или $u_{ex} \approx 0$, или $u_{ex} = E_c$. В этом случае, чем больше напряжение питания E_c , тем больше отпирающий сигнал на соответствующим транзисторе и тем больше его начальный ток (к примеру, при $u_{ex} \approx 0$, $u_{из2} \approx E_c$). По этому при увеличении напряжения питания быстродействие комплементарного ключа увеличивается.

Описание достоинства, а также отработанность технологии изготовления явились причиной широкого использования КМОП – ключей.

Рассмотрим простейшую схему аналогового ключа на МДП - транзисторе (рис.21). Эта схема получается из предыдущей при замене транзистора T_1 резистором нагрузки, а источника питания – источником входного сигнала.

Подложка транзистора подключена к положительному полюсу источника питания, т.е. к точке с наибольшим потенциалом, для того чтобы р-п-переходы между подложкой и истоком не открывались.

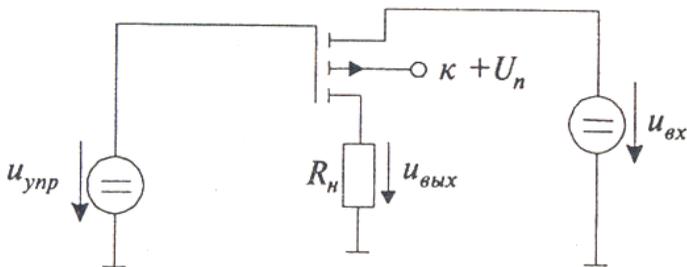


Рис. 21

Транзистор этого аналогового ключа работает подобно тому, как работает транзистор T_2 рассмотренного комплементарного ключа. Например для отпирания транзистора необходимо, чтобы напряжения $u_{вх}$ было малым.

Ключ может коммутировать как положительное, так и отрицательное входное напряжение.

Рассмотрим теперь двунаправленный аналоговый ключ (передающий вентиль) на комплементарных транзисторах (рис.22). Ключ предназначен для передачи напряжения u_a с вывода A на вывод B или напряжение u_b с вывода B на вывод A . Предполагается,

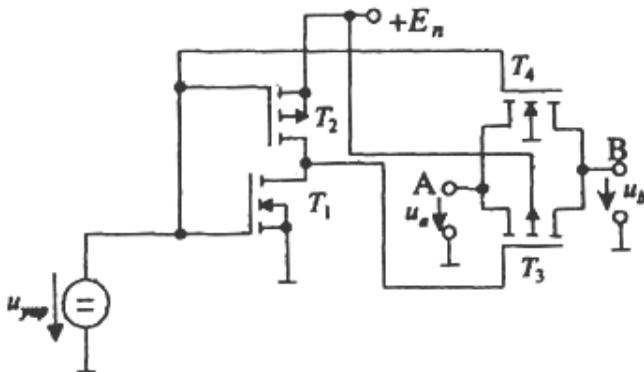


Рис. 22

что эти напряжения находятся в пределах от 0 до $+E_n$. Транзисторы T_1 и T_2 образует рассмотренный выше

комплементарный ключ. Двухнаправленный ключ открыт, когда $u_{упр} = +E_n$. В этом случае по крайней мере один из транзисторов T_3 или T_4 открыт. Ключ закрыт, когда $u_{упр} = 0$.

Если схему изменить и на затворы транзисторов T_3 и T_4 подавать не только положительное, но и отрицательных напряжениях u_a и u_b .

Ключи на полевых транзисторах с изолированным затвором входят в состав микросхем серий 168, 547 и др., а на комплементарных транзисторах – в состав микросхем серий 590, 591, 176, 561, 1564.

Контрольные вопросы:

1. Особенности аналоговых коммутаторов (аналоговых ключей) на биполярных транзисторах?
2. Ключи на полевых транзисторах?
3. Схема двухнаправленного аналогового ключа?

Лекция 4. Тема: Логические функции и алгебра логики (булева алгебра). Логические функции и способы их записи.

Минимизация логических функций

План:

1. Логические функции и способы их записи.
2. Минтермы и макстермы.
3. Основы алгебры логики.
4. Минимизация логических функций.

В устройствах цифровой электроники используются элементы, входные и выходные сигналы которых могут принимать лишь два значения: логической единицы «1» и логического нуля «0». Такие элементы, называемыми логическими, осуществляют простейшие операции с такими двоичными числами.

Для описания алгоритмов работы и структуры логических схем используют простую алгебру логики, или булеву алгебру, называемую по имени разработавшего ее в середине XIX века ирландского математика Д.Буля. В ее основе лежат три основные логические операции: логическое отрицание, или операция НЕ (инверсия), логическое сложение, или операция ИЛИ (дизъюнкция) и логическое умножение, или операция И (конъюнкция).

Операция НЕ над переменной x записывается в виде \bar{x} .

Операция ИЛИ над двумя переменными x и y записывается в виде $x + y$, а операция И – в виде $x \cdot y$.

Фактически каждая логическая операция задает функцию своих аргументов (переменных). Поэтому можно говорить о функциях дизъюнкции и конъюнкции может быть произвольным (больше двух).

Некоторая логическая функция может быть задана в алгебраической форме или в виде таблицы истинности.

Алгебраическая форма, или булево выражение, представляет собой формулу, состоящую из логических переменных, связанными операциями И, ИЛИ и НЕ, например:

$$f(x_1, x_2, x_3) = x_1 \cdot x_2 \cdot x_3 + (x_1 + x_2) \cdot (x_1 + \overline{x_3}).$$

Как и в обычных алгебраических выражениях для задания порядка действий используется скобки. Предполагается, что выполнение операции И предшествует операции ИЛИ.

Таблицей истинности называется таблица, содержащая все возможные комбинации значений входных переменных и соответствующие им значение логической функции. Так, для логической функции n переменных таблица истинности содержит 2^n строк и $n+1$ столбцов в таблице на рис.23.

x_1	x_2	...	x_n	$f(x_1, x_2, \dots, x_n)$
0	0	...	0	$f(0,0,\dots,0)$
0	0	...	1	$f(0,0,\dots,1)$
1	1	...	1	$f(1,1,\dots,1)$

Рис.23

Очевидно, что значение логической функции $f(x_1, x_2, \dots, x_n)$ в каждой строке будет принимать значение 0 или 1 в зависимости от значений входных логических переменных.

Поскольку булева выражение и соответствующая ей таблица истинности описывают одну и ту же функцию, то можно переходить от одной формы описания к другой.

Таблица истинности логических функций И, ИЛИ, НЕ приведены на рис. 24.

Функция И
Функция НЕ

Функция ИЛИ

x	y	$f(x, y)$
0	0	0
0	1	0
1	0	0
1	1	1

x	y	$f(x, y)$
0	0	0
0	1	1
1	0	1
1	1	1

Рис. 24.

Построим таблицу истинности (рис. 25) для вышеприведенного булева выражения

$$f(x_1, x_2, x_3) = x_1 \cdot x_2 \cdot x_3 + (x_1 + x_2) \cdot (x_1 + \bar{x}_3).$$

x_1	x_2	x_3	$f(x_1, x_2, x_3)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

Рис. 25.

Чтобы построить таблицу, нужно вычислить значение функции $f(x_1, x_2, x_3)$ для каждой из восьми комбинаций значений входных переменных.

Так, например, при $x_1=0$, $x_2=0$, $x_3=0$, получим

$$f(0,0,0) = 0 \cdot 0 \cdot 0 + (0 + 0) \cdot (0 + \bar{0}) = 0 + 0 \cdot (0 + 1) = 0 + 0 = 0.$$

Для $x_1=1, x_2=1, x_3=1$, получим

$$f(1,1,1) = 1 \cdot 1 \cdot 1 + (1+1) \cdot (1+\bar{1}) = 1+1 \cdot (1+0) = 1+1 \cdot 1 = 1+1 = 1.$$

По таблицы истинности также можно составить алгебраическое (булево) выражение. При этом запись алгебраического выражения осуществляется с использованием совершенной дизъюнктивной нормальной формы (СДНФ) или совершенной конъюнктивной нормальной формы (СКНФ).

Для представления логической функции F в виде СДНФ необходимо составить сумму (дизъюнкцию) значений логической функции F_i и минтермов m_i , причем число слагаемых n равно числу строк в таблице истинности, т.е.

$$F = \sum_{i=1}^n F_i \cdot m_i.$$

Минтерм m_i – это логическое произведение всех переменных, причем переменные, равные нулю, записываются с инверсией.

Так для таблицы истинности (см. рис. 25) можно записать следующие минтермы:

$$\begin{aligned} m_1 &= \bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3; & m_2 &= \bar{x}_1 \cdot \bar{x}_2 \cdot x_3; & m_3 &= \bar{x}_1 \cdot x_2 \cdot \bar{x}_3; \\ m_4 &= \bar{x}_1 \cdot x_2 \cdot x_3; & m_5 &= x_1 \cdot \bar{x}_2 \cdot \bar{x}_3; & m_6 &= \\ \bar{x}_1 &- \bar{x}_2 &- \bar{x}_3 &= \\ m_7 &= x_1 \cdot x_2 \cdot \bar{x}_3; & m_8 &= x_1 \cdot x_2 \cdot x_3; \end{aligned}$$

Следовательно, логическая функция F , заданная таблицей истинности, имеют следующую СДНФ :

$$F = m_1 \cdot 0 + m_2 \cdot 0 + m_3 \cdot 1 + m_4 \cdot 0 + m_5 \cdot 1 + m_6 \cdot 1 + m_7 \cdot 1 + m_8 \cdot 1 = \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} + \overline{x_1} \cdot \overline{x_2} \cdot x_3 + \overline{x_1} \cdot x_2 \cdot \overline{x_3} + x_1 \cdot \overline{x_2} \cdot \overline{x_3} + x_1 \cdot \overline{x_2} \cdot x_3 + x_1 \cdot x_2 \cdot \overline{x_3} + x_1 \cdot x_2 \cdot x_3.$$

Таким образом, для записи функции в виде СДНФ можно использовать следующие правила: следует записать столько дизъюнктивных членов, представляющих собой конъюкции (произведения) всех переменных, сколько раз функция принимает значение 1, причем переменные равные нулю, записываются с инверсией.

Для представления логической функции F в виде СКНФ необходимо составить произведение (конъюнкцию) сумм (дизъюнкций) значений логической функции F_i и макстермов k_i , причем число произведений n равно числу строк в таблицы истинности, т.е.

$$F = \prod_{i=1}^n (F_i + k_i).$$

Макстерм k_i – это логическая сумма всех переменных, причем переменные, равные 1, записываются с инверсией.

Так, для таблицы (см.рис. 25) можно записать следующие макстермы:

$$\begin{aligned} k_1 &= x_1 + x_2 + x_3; & k_2 &= \overline{x_1} + \overline{x_2} + \overline{x_3}; \\ k_3 &= \overline{x_1} + \overline{x_2} + x_3; \\ k_4 &= \overline{x_1} + \overline{x_2} + \overline{x_3}; & k_5 &= \overline{x_1} + x_2 + x_3; \\ k_6 &= \overline{x_1} + x_2 + \overline{x_3}; \\ k_7 &= \overline{x_1} + \overline{x_2} + x_3; & k_8 &= \overline{x_1} + \overline{x_2} + \overline{x_3}; \end{aligned}$$

Следовательно, логическая функция F , заданная таблицей истинности, описывается следующей СКНФ:

$$\begin{aligned}
F &= (x_1 + x_2 + x_3 + 0) \cdot (x_1 + x_2 + \overline{x_3} + 0) \times \\
&\times (x_1 + \overline{x_2} + x_3 + 1) \cdot (x_1 + \overline{x_2} + \overline{x_3} + 0) \times \\
&\times (\overline{x_1} + x_2 + x_3 + 1) \cdot (\overline{x_1} + x_2 + \overline{x_3} + 1) \cdot (\overline{x_1} + \overline{x_2} + x_3 + 1) \times \\
&\times (\overline{x_1} + \overline{x_2} + \overline{x_3}) = \\
&= (x_1 + x_2 + x_3) \cdot (x_1 + x_2 + \overline{x_3}) \cdot (x_1 + \overline{x_2} + \overline{x_3}).
\end{aligned}$$

Таким образом, для записи функции в виде СКНФ используют следующие правило: следует записать столько конъюнктивных членов, представляющих собой дизъюнкции (суммы) всех переменных, сколько раз функция принимает значение 0, причем переменные, равные единице, записываются с инверсией.

Основы алгебры логики

1. $x + 0 = x$;
 $x \cdot 1 = x$;
2. $x + 1 = 1$;
 $x \cdot 0 = 0$;
3. $x + x = x$;
 $x \cdot x = x$;
4. $x + \overline{x} = 1$;
 $x \cdot \overline{x} = 0$;
5. $\overline{\overline{x}} = x$;
6. $x + y = y + x$;
 $x \cdot y = y \cdot x$;
7. $x + x \cdot y = x$;
 $x \cdot (x + y) = x$;
8. $x + (y + z) = (x + y) + z$;
 $x \cdot (y \cdot z) = (x \cdot y) \cdot z$;

$$\begin{aligned}
9. \quad & x + y \cdot z = (x + y) \cdot (x + z); \\
& x \cdot (y + z) = x \cdot y + x \cdot z; \\
10. \quad & \overline{x + y} = \bar{x} \cdot \bar{y}; \\
& \overline{x \cdot y} = \bar{x} + \bar{y}; \\
11. \quad & (x + y) \cdot (\bar{x} + \bar{y}) = y; \\
& x \cdot y + \bar{x} \cdot \bar{y} = y.
\end{aligned}$$

Рис. 26

Наиболее важные теоремы, отражающие основные соотношения алгебры логики, приведены в таблице (рис.26).

Легко заметить, что все теоремы (кроме 5) представлены парой соотношений, каждое из которых получается заменой операции И на ИЛИ, операции ИЛИ на И, логический 1 на логический 0 и логического 0 на логического 1. теоремам булевой алгебры присуще свойство симметрии, известные как принцип двойственности.

Правильность всех перечисленных теорем легко доказать перебором всех возможностей, т.е. методом совершенной индукции. Поскольку переменные в булевой алгебры принимают лишь два значения, то число всех возможных комбинаций значение переменных не велико и проверка выполнения теорем для каждой комбинации не является сложной.

Минимизация логических функций.

Логическая функция, задающая принцип построения схемы цифрового устройства, может быть, как было показана выше, представлена в виде таблицы истинности или в виде СДНФ или СКНФ и может быть использована для получения логической схемы устройства. Однако полученная логическая схема, как правило, не будет оптимальна. Поэтому важным

этапом синтеза логических схем является минимизация логических функций, для чего разработан ряд методов.

Одним из простых методов минимизации является метод непосредственных преобразований, который осуществляется с использованием основных теорем алгебры логики.

Например, логическую функцию F в виде СДНФ, можно минимизировать следующим образом:

1. Добавим к данной функции слагаемое $x_1 \cdot x_2 \cdot x_3$, которое уже есть в данной функции, используя правило 3 (см. рис. 26):

$$F = \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} + \overline{x_1} \cdot \overline{x_2} \cdot x_3 + \overline{x_1} \cdot x_2 \cdot \overline{x_3} + \overline{x_1} \cdot x_2 \cdot x_3 + x_1 \cdot \overline{x_2} \cdot \overline{x_3} + x_1 \cdot \overline{x_2} \cdot x_3 + x_1 \cdot x_2 \cdot \overline{x_3} + x_1 \cdot x_2 \cdot x_3.$$

2. Применим метод склеивания (теорема 11, рис.26) одинаково подчеркнутых элементарных конъюнкций

$$F = x_2 \cdot \overline{x_3} + x_1 \cdot \overline{x_2} + x_1 \cdot x_2.$$

3. Применим метод склеивания для двух последних элементарных конъюнкций

$$F = x_2 \cdot \overline{x_3} + x_1.$$

Полученная в результате минимизации логическая функция называется тупиковой. Логическая функция может иметь несколько тупиковых форм.

Для минимизации логических функций широко используется графический метод с помощью карт Карно или карт (диаграмм) Вейча, который удобен при небольшом числе переменных.

Карты Карно и карты Вейча являются важным средством проектирования логических схем, представляют собой

определенную таблицу истинности обычно для двух, трех и четырех переменных и отличаются друг от друга способом обозначения строк и столбцов таблиц истинности. На рис. 27 представлены карты Вейча для двух, трех и четырех переменных соответственно.

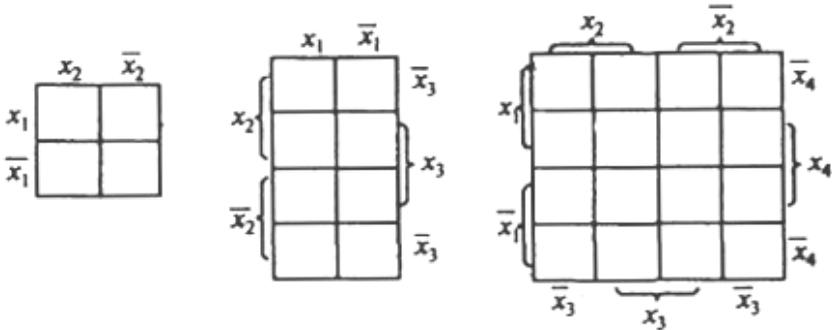


Рис. 27

Расположение групп переменных x_i не имеет значения, необходимо лишь, чтобы каждая клетка отличалась от любой соседней лишь на одну переменную. Согласно принятой форме построения карт соседними также считаются клетки первой и последней строк, клетки первого и последнего столбцов. Число клеток карты равно числу возможных комбинаций значений переменных и в каждую клетку записывается значение логической функции, соответствующее данному набору переменных. Этот набор переменных определяется присвоением значения логической 1 переменным, на пересечении строк и столбцов которых расположена клетка.

Например, если логическая функция задана таблицей истинности (рис.28,а), то карта Карно для нее будет иметь вид, показанной на рис.28,б.

x_1	x_2	F
0	0	0
0	1	1
1	0	1
1	1	1

a

	x_2	\bar{x}_2
x_1	1	1
\bar{x}_1	1	0

б

Рис. 28

Булево выражение данной функции имеет вид

$$F = \bar{x}_1 \cdot x_2 + x_1 \cdot \bar{x}_2 + x_1 \cdot x_2.$$

Данное выражение можно упростить, используя теоремы 3, 4 и 9 (см.рис.26):

$$\begin{aligned} F &= \bar{x}_1 \cdot x_2 + \underline{x_1 \cdot \bar{x}_2} + \underline{x_1 \cdot x_2} + \underline{x_1 \cdot x_2} = \\ &= x_2 \cdot (\bar{x}_1 + x_1) + x_1 \cdot (\bar{x}_2 + x_2) = x_1 + x_2. \end{aligned}$$

Но для упрощения функции можно использовать и карты Карно, в которых логическое 1, записанные в соседних клетках, обозначают, что соответствующие этим 1 конъюнкции (произведения) отличаются лишь по одной переменной, которое дополняют друг друга и их можно опустить.

Так, в первой строке карты Карно (см.рис.28,б) переменная x_1 встречается в комбинации с x_2 и \bar{x}_2 , которые дополняют друг друга: $x_1 \cdot x_2 + x_1 \cdot \bar{x}_2 = x_1 \cdot (x_2 + \bar{x}_2) = x_1$.

Таким образом, группируя две соседние клетки в верхней строке (контур на рис.28,б), можно исключить одну переменную и получить упрощенное выражение - x_1 .

Аналогично, группируя две соседние клетки в левом столбце (контур на рис.28,б) и исключая отличающиеся переменные (x_1 и \bar{x}_1), получим упрощенное выражения - x_2 .

Полученные упрощенные выражения объединяют с помощью операции ИЛИ.

Таким образом, упрощенное выражение логической функции будет иметь вид

$$F = \bar{x}_1 \bar{x}_2.$$

Таким образом, соседние клетки карты Карно можно группировать для исключения переменной. Число группируемых клеток может быть и больше двух, но их число должно быть четным и они должны соприкасаться (являются соседними) друг с другом.

Допускается также иметь несколько групп перекрывающихся клеток, как в только что рассмотренном примере.

Группироваться могут также клетки первой и последней строк, первого и последнего столбцов, т.е. карту допускается сворачивать в цилиндр как по вертикальный, так и по горизонтальный оси.

Для исключения n переменных общее число группируемых клеток должно быть равно 2^n . Так, для исключения одной переменной требуется объединить две соседние клетки, а для исключения трех переменных уже требуется объединить полученные группы с помощью операции ИЛИ. Клетки, содержащие 1, которые не удалось объединить с другими клетками, образуют в минимизированной логической функции самостоятельные члены, каждый из которых содержит все переменные.

Рассмотрим несколько примеров карт Вейча и способы построения контуров группировки соседних клеток для получения упрощенной логической функции.

Так, карта Вейча для логической функции

$$F = x_1 \cdot x_2 \cdot \overline{x_3} \cdot x_4 + \overline{x_1} \cdot x_2 \cdot \overline{x_3} \cdot x_4 + x_1 \cdot \overline{x_2} \cdot \overline{x_3} \cdot x_4.$$

приведена на рис.29.

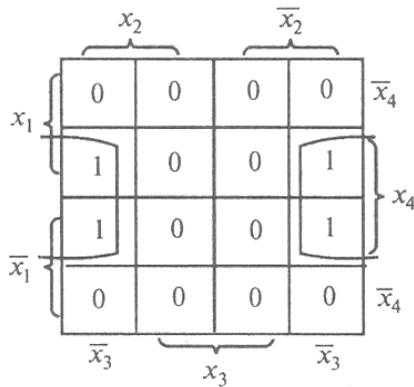


Рис. 29

На этом рисунке показан правильный способ объединения соседних ячеек, т.е. карта Вейча как бы свернута в вертикально расположенный цилиндр.

Упрощенное выражение логической функции имеет вид

$$F = \overline{x_3} \cdot x_4.$$

Таким образом, группируя соседние клетки в единой квадрат, удалось исключить две переменные (x_1 и x_2) и получить простое выражение для логической функции.

Рассмотрим пример минимизации логической функции

$$F = x_1 \cdot x_2 \cdot x_3 \cdot \overline{x_4} + x_1 \overline{x_2} \cdot x_3 \cdot \overline{x_4} + x_1 \cdot x_2 \cdot x_3 \cdot x_4 + x_1 \cdot \overline{x_2} \cdot x_3 \cdot x_4 + x_1 \cdot \overline{x_2} \cdot x_3 \cdot \overline{x_4} + \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot x_4.$$

для которой карта Вейча имеет вид рис.30.

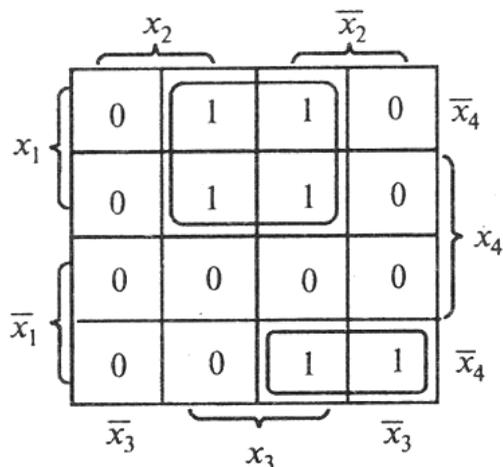


Рис. 30

Группируемые ячейки обведены двумя контурами. Нижний контур дает возможность исключить одну переменную x_3 и после этого в нем остается член $\overline{x_1} \cdot \overline{x_2} \cdot x_4$. В верхнем контуре можно исключить две переменные (x_2 и x_4) и после этого в нем остается член $x_1 \cdot x_3$. Упрощенное булево выражение логической функции имеет вид

$$F = x_1 \cdot x_3 + \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_4}.$$

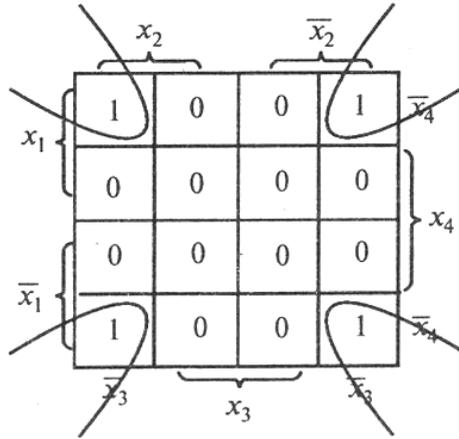


Рис. 31

Можно объединять в квадрат также четыре угловые клетки карты Вейча, как это показано на рис.31, которая построена для логической функции

$$F = x_1 \cdot x_2 \cdot \bar{x}_3 \cdot \bar{x}_4 + x_1 \cdot \bar{x}_2 \cdot \bar{x}_3 \cdot \bar{x}_4 + x_1 \cdot x_2 \cdot x_3 \cdot \bar{x}_4 + x_1 \cdot \bar{x}_2 \cdot x_3 \cdot \bar{x}_4.$$

Объединение клетки является соседними (если поверхность представить в виде тора), и это объединение позволяет исключить две переменные x_1 и x_2 и получить простое выражение логической функции

$$F = \bar{x}_3 \cdot \bar{x}_4.$$

Рассмотрим минимизацию логической функции, карта Вейча которой представлена на рис.32.

Булево выражение этой логической функции имеет вид

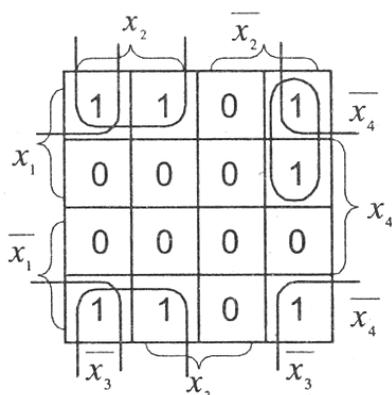


Рис. 32

$$F = x_1 \cdot x_2 \cdot \overline{x_3} \cdot \overline{x_4} + x_1 \cdot x_2 \cdot x_3 \cdot \overline{x_4} + x_1 \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_4} + x_1 \overline{x_2} \cdot \overline{x_3} \cdot x_4 + x_1 \cdot x_2 \cdot \overline{x_3} \cdot x_4 + \overline{x_1} \cdot x_2 \cdot \overline{x_3} \cdot \overline{x_4} + \overline{x_1} \cdot x_2 \cdot x_3 \cdot \overline{x_4} + \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \cdot \overline{x_4}.$$

Четыре угловые клетки можно объединить в одну группу, как это делалось в предыдущем примере. Это объединение позволяет исключить две переменные (x_1 и x_2) и получить член $\overline{x_3} \cdot \overline{x_4}$.

Две единицы из первой строки можно объединить с двумя единицами из нижней строки, получить группу из четырех ячеек, которая позволяет исключить две переменные (x_4 и x_3) и получить член $x_2 \cdot \overline{x_4}$.

Наконец, единственную оставшуюся единицу (из второй строки и последнего столбца) можно объединить с клеткой, находящейся над ней, и это позволит исключить одну переменную (x_4) и получить член $x_1 \cdot \overline{x_2} \cdot \overline{x_3}$.

Таким образом, мы получим минимизированную логическую функцию

$$F = \overline{x_3} \cdot \overline{x_4} + x_2 \cdot \overline{x_4} + x_1 \cdot \overline{x_2} \cdot \overline{x_3}.$$

Следует отметить, что для получения минимальной формы логической функции необходимо группировать наибольшее число клеток, причем некоторые клетки могут входить в разные группы. В зависимости от выбора групп объединения клеток можно получить несколько упрощенных выражений логической функции.

В ряде случаев не все значения логической функции бывают определены однозначно. Например, в некоторых случаях известно, что какие-то комбинации входных переменных (сигналов на входе логической схемы) не существенно. В таких случаях говорят о неопределенных условиях, и на карте Вейча такое неопределенное условие может обозначаться прочерком.

Рассмотрим, как карту Вейча с неопределенными условиями можно использовать для минимизации логической функции.

Пусть имеется карта Вейча такой функции (рис.33).

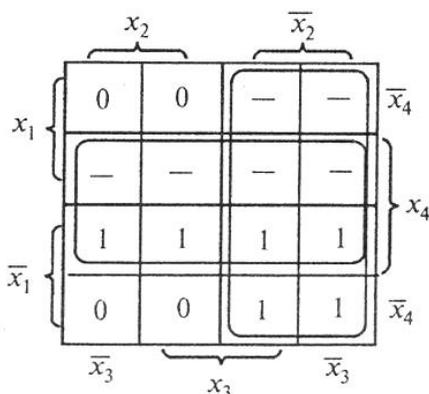


Рис. 33

При минимизации клетки с неопределенными состояниями могут произвольным образом включаться группы при объединении клеток, причем им может присваиваться

любое значение (0 или 1) таким образом, чтобы сгруппировать наибольшее число клеток.

Так, в рассматриваемом примере вместо всех прочерков можно проставить логические 1 и получить две большие группы по восемь клеток (два контура на рис.33), что позволит исключить три переменные и получить следующие упрощенное выражение логической функции:

$$F = \overline{x_2} + x_4.$$

Если клетки с неопределенными условиями не использовать, то можно получить две группы по четыре клетки, что позволит получить следующее упрощенное выражение логической функции: $F = \overline{x_1} \cdot x_4 + \overline{x_1} \cdot \overline{x_2}$.

Очевидно, что данное выражение логической функции сложнее предыдущего.

При минимизации логической функции, содержащий более четырех переменных, используется другие способы минимизации.

Контрольные вопросы:

1. Логические функции и способы их записи?
2. Минтермы и макстермы?
3. Основные законы алгебры логики?
4. Минимизация логических функций.
5. Карты Карно и карты Вейча?

Лекция 5. Логические элементы. Реализация логических функций

План:

1. Реализация логических функций.
2. Особенности построения логических устройств.

Техническая реализация логической функции предполагает построение цифрового устройства, сигналы на выходе которого определяются сигналами на его входах в соответствии с этой функцией. Для построения цифрового устройства достаточно иметь элементы, реализующие три основные логические операции И, ИЛИ, НЕ. На практике также используют элементы, выполняющие другие простейшие логические операции. Такие элементы называют логическими. Их называют также логическими вентилями. Если соединить логические элементы в соответствии со структурой выражения для логической функции, то получим цифровое устройство, реализующее заданную логическую функцию.

Логический элемент может быть реализован в виде интегральной схемы. Часто интегральная схема содержит несколько логических элементов.

На рис.34 приведены примеры условных графических обозначений некоторых логических элементов, булево выражение реализуемой логической функции и их таблицы истинности.

Название элемента	И	И-НЕ	ИЛИ	ИЛИ-НЕ	Исключающее ИЛИ	
F	$x \cdot y$	$\overline{x \cdot y}$	$x + y$	$\overline{x + y}$	$x + y = x \cdot \bar{y} + \bar{x} \cdot y$	
Графическое обозначение						
Таблицы истинности	x	y				
	0	0	0	1	0	0
	0	1	0	1	0	1
	1	0	0	1	0	1
	1	1	1	0	1	0

Рис. 34

Положим, что имеется логическая функция вида

$$F = x_1 x_2 + x_1 x_3 + \overline{x_2} \cdot x_3.$$

По этому выражению можно построить устройство, схема которого приведена на рис.35.

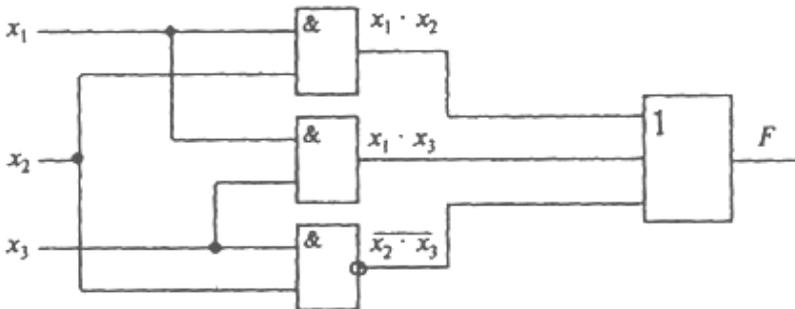


Рис. 35

При проектировании цифрового устройства рекомендуется поступать следующим образом:

1. По условию работы устройства определяется, что именно должно делать устройство, и уточняется алгоритм его работы.

2. Составляется таблица истинности для логической функции, реализуемой устройством.
3. Составляется логическая функция и проводится ее минимизация.
4. Разрабатывается схема проектируемого устройства.

Рассмотрим примеры проектирования некоторых цифровых устройств.

Пример1. Необходимо спроектировать устройства включения звукового сигнала в помещении переключением одного из двух ключей, независимо от остоянбия другого ключа.

Требуется спроектировать логическое устройство, на выходе которого появляется сигнал логической 1 ($F=1$), когда сирена включается. Если ключи (x и y) замкнуты, то это соответствует логическим нулям на входах устройства ($x=0, y=0$), а разомкнутые ключи соответствует логическим единицам на входах устройства ($x=1, y=1$).

Учитывая сказанное, составим таблицу истинности (рис.36).

x	y	F
0	0	1
0	1	0
1	0	0
		1

Рис.36.

Поясним таблицу истинности. При обоих замкнутых ключах сирена включена (первая строка таблицы истинности). Выключение любого из двух ключей приводит к отключению сирены (вторая и третья строки таблицы). Выключение оставшегося включенного ключа приводит к включению сирены (последняя строка).

По данной таблице истинности составим логическую функцию $F = \bar{x} \cdot \bar{y} + x \cdot y$.

Полученное логическое выражение может быть реализовано следующим образом (рис.37).

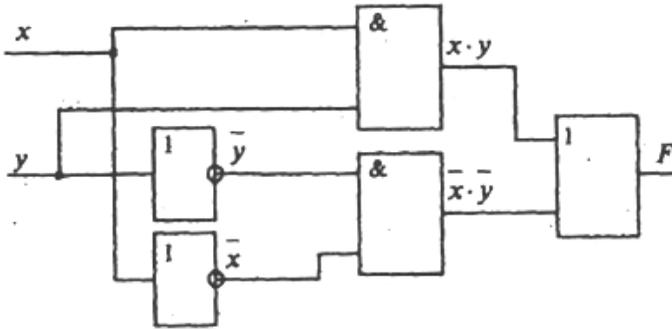


Рис. 37

Пример 2. Требуется спроектировать логическое устройство, осуществляющее передачу данных с одного из четырех входов на один выход о зависимости о комбинации сигналов на адресных входах.

Их описание следует, что проектированное устройство имеет один выход F и четыре выхода x_1, x_2, x_3, x_4 , на которое могут подаваться логические сигналы 0 или 1, и один их входов должен подключаться к выходу в зависимости от комбинации сигналов на адресных входах. Так как входов четыре, то, следовательно, и комбинации на адресных шинах должно быть четыре, а для этого достаточно иметь два адресных входа A_1 и A_2 .

С учетом этого описания можно составить следующую таблицу истинности (рис.38).

A_2	A_1	F
0	0	x_1
0	1	x_2
1	0	x_3
1	1	x_4

Рис.38.

Из данной таблицы следует, что при нулях на обоих адресных входах к выходу устройства подключен первый вход данных x_1 , при $A_1=1, A_2=0$ к выходу подключен вход данных x_2 , при $A_1=0, A_2=1$ к выходу подключен вход данных x_3 , а при $A_1=1, A_2=1$ к выходу подключен вход данных x_4 .

По данной таблице составим логическую функцию

$$F = x_1 \cdot \overline{A_1} \cdot \overline{A_2} + x_2 \cdot A_1 \cdot \overline{A_2} + x_3 \cdot \overline{A_1} \cdot A_2 + x_4 \cdot A_1 \cdot A_2.$$

Используя данное выражение, построим логическую схему проектируемого устройства (рис.39).

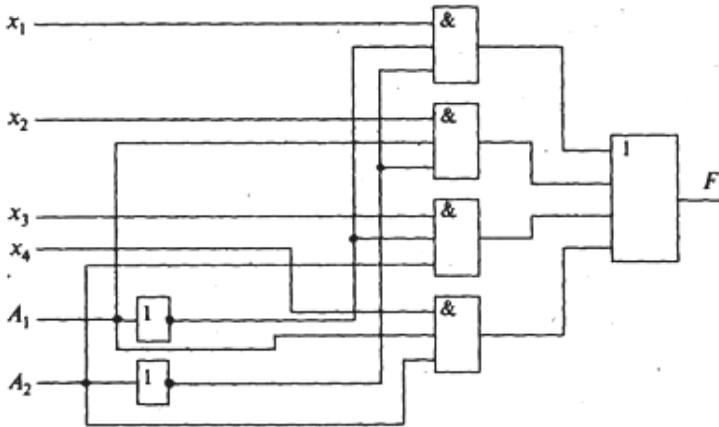


Рис. 39

Далее мы увидим, что спроектированное устройство является мультиплексором на четыре входа и находит широкое применение в цифровой электронике.

Особенности построения логических устройств

Обычно при построение логических устройств, с целью сокращения номенклатуры используемых логических элементов, используют либо два элемента, выполняющих операции И-НЕ и ИЛИ-НЕ, либо только один из этих элементов.

Это обусловлено тем, что каждый их них позволяет реализовать все три основные булевы операции И, ИЛИ, НЕ (рис.40).

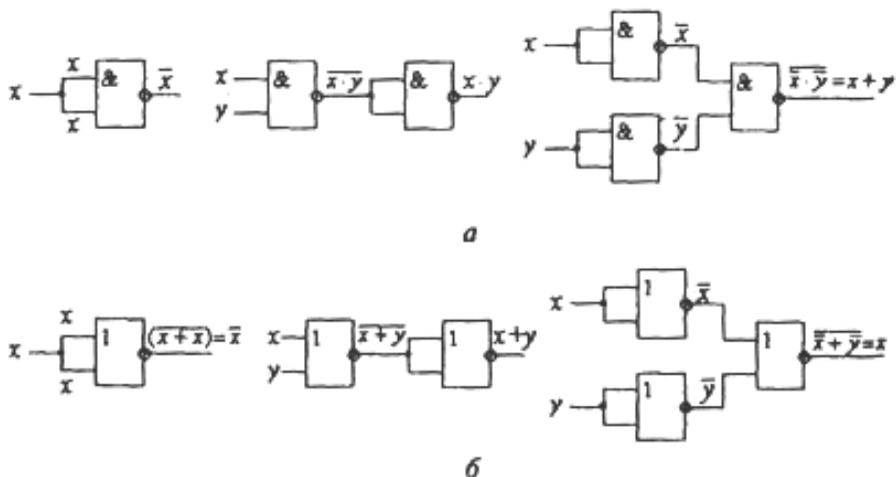


Рис. 40

Следовательно, любую логическую функцию можно реализовать, используя только логические элементы И-НЕ или ИЛИ-НЕ.

При построении логического устройства число входов логических элементов обычно бывает задано, что тоже вносит определенные трудности. Для построения устройства на заданных логических элементах И-НЕ или ИЛИ-НЕ необходимо логическую функцию преобразовать к соответствующему виду так, чтобы в ней присутствовали только логические операции И-НЕ или ИЛИ-НЕ. Для этого используют теоремы 5 и 10 (см.рис.26) булевой алгебры, т.е. двойное отрицание, и теорему Д Моргана. В качестве примера рассмотрим построение логического устройства на двухвходовых элементах И-НЕ и ИЛИ-НЕ по логической функции

$$F = x + \bar{y} \cdot z + \bar{x} \cdot y.$$

Построим вначале устройство на элементах И-НЕ

$$F = \overline{\overline{F}} = \overline{\overline{x \cdot y \cdot z \cdot x \cdot y}}.$$

Полученная форма является алгебраической формой элемента И-НЕ с тремя входами: $\overline{\overline{x}}, \overline{\overline{y \cdot z}}, \overline{\overline{x \cdot y}}$, т.е. схема данного устройства будет иметь следующий вид (рис.41)6

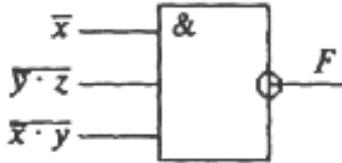


Рис. 41

Путем несложных преобразований, которые понятны из окончательной схемы устройства (рис.42), получим устройство, построенное на двухвходовых элементах И-НЕ с входными сигналами x, y, z .

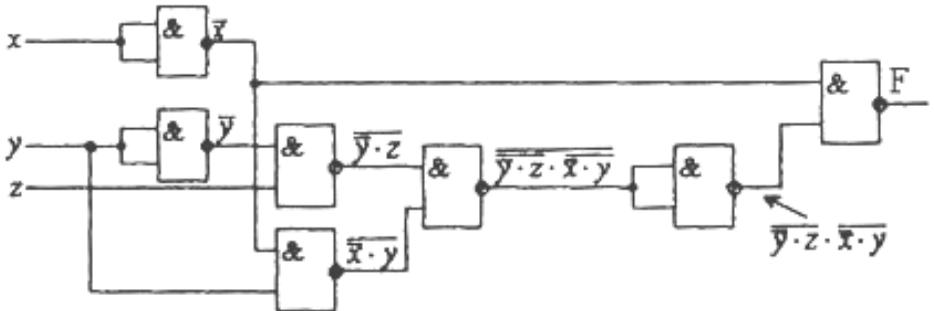


Рис. 42

Проводя аналогичные преобразования, функцию F можно реализовать на двухвходовых элементах ИЛИ-НЕ

$$F = \overline{\overline{\overline{x} + \overline{\overline{y \cdot z}} + \overline{\overline{x \cdot y}}}}$$

Учитывая, что $\overline{\overline{y \cdot z}} = \overline{\overline{y \cdot z}} = \overline{\overline{y + z}} = \overline{\overline{y + z}}$ и

$\overline{\overline{x \cdot y}} = \overline{\overline{x \cdot y}} = \overline{\overline{x + y}} = \overline{\overline{x + y}}$, получим

$$F = \overline{\overline{\overline{x + (y + z)} + \overline{\overline{x + y}}}}$$

Следовательно, схема проектируемого устройства будет иметь следующий вид (рис.43).

При реализации цифровых устройств на конкретных логических элементах не все их входы, по ряду причин, могут быть использованы. Обычно с неиспользуемыми входами поступают следующим образом:

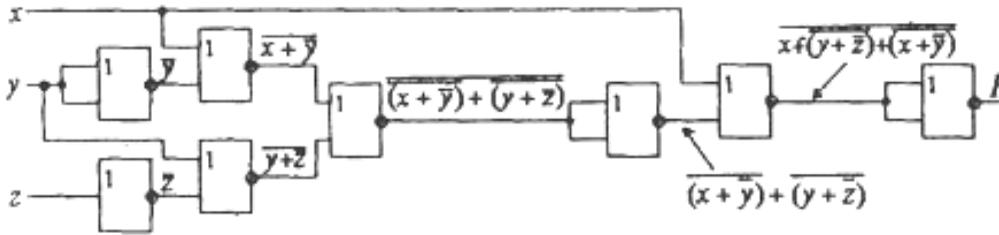


Рис. 43

- объединяют их с неиспользуемыми (с учетом теоремы 3, рис.26), если это не ведет к превышению нагрузочной способности логического элемента, к выходу которого подключены объединенные входы;
- в зависимости от логики работы устройства подают на неиспользуемые входы либо логической 0, либо логическую 1. Для того чтобы не изменять логику работы элемента с неиспользуемыми входами, на них нужно подать: либо логическую 1, если элемент реализует логическую функцию И, так как согласно теореме 1 (см.рис.26) $x + 1 = x$ либо логический 0, если элемент реализует логическую функцию ИЛИ, так как согласно теореме 1 (см.рис.26) $x + 0 = x$.

Для подачи логического 0 неиспользуемые входы просто соединяют с шиной питания («землей»).

Для подачи логической 1 неиспользуемые входы подключают к источникам питания микросхем обычно через резисторы (в единицы кОм), предотвращающие пробой неиспользуемых входов.

Реализовать логическую функцию можно не только на основе логических элементов, как это было только что показано, но и другими способами, о чем речь пойдет ниже.

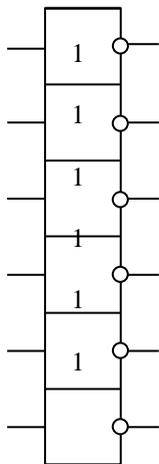
Цифровые логические элементы

План:

1. Инверторы
2. Элементы И
3. Элементы И-НЕ
4. Элементы ИЛИ
5. Элементы ИЛИ-НЕ
6. Двухступенчатые логические элементы
7. Схемы контроля четности
8. Мажоритарный элемент

Цифровые логические элементы являются простейшими КС, реализующими базовые логические функции либо их простые комбинации. ИМС, реализующие ЛЭ, являются микросхемами малой степени интеграции (МИС) и содержат несколько (1-6) ЛЭ. Такие ИМС на аргументах инженеров-схемотехников часто называют «россыпь». Число ЛЭ в одном корпусе ограничено стандартным числом контактов (обычно 14 или 16).

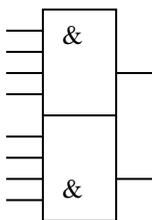
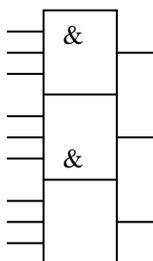
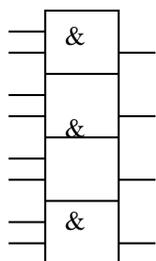
Инверторы



Инверторы – логические элементы, реализующие логическую функцию НЕ. Микросхемы, содержащие инверторы, обозначаются буквами ЛН. Примерами таких ИМС являются 555ЛН1 и 561ЛН2, содержащие 6 инверторов в одном корпусе (рис. 1). Имеются также аналогичные микросхемы инверторов с открытым коллектором (ОК) - 555ЛН2. В сериях ТТЛ (133, 155) есть инверторы с ОК и повышенным выходным напряжением.

Элементы И

Элементы, реализующие логическую функцию И, обозначаются буквами ЛИ. Микросхема 555ЛИ1 имеет четыре 2-входовых элемента И (см. рис. 2). Следует отметить, что в сериях КМОП практически отсутствуют элементы И, имеется лишь одна микросхема в серии 1561:



1561ЛИ2,
аналогичная 555ЛИ1.
Микросхема 555ЛИ2
отличается от ЛИ1
тем, что имеет
выходы с ОК, а
1533ЛИ8 – выходы с
повышенной

нагрузочной способностью.

Микросхема 555ЛИ3 имеет три 3-входовых элемента И (рис. 3). 555ЛИ4 отличается тем, что имеет выходы с ОК, а 555ЛИ10 – выходы с повышенной нагрузочной способностью.

ИМС 555ЛИ6, изображенная на рис. 4, имеет два 4-входовых элемента И.

При необходимости использования элементов И с большим числом входов, производят каскадное соединение имеющихся микросхем И.

Элементы И-НЕ

ИМС, содержащие элементы И-НЕ, обозначаются буквами ЛА. Поскольку элемент И-НЕ является базовым в сериях ТТЛ-ТТЛШ, то в этих сериях имеется наибольшая номенклатура этих элементов.

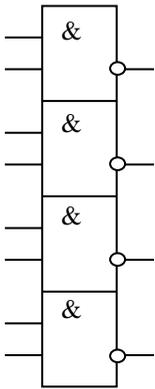


Рис. 5

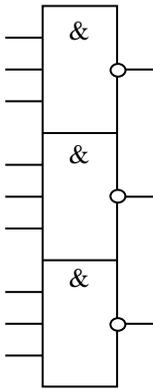


Рис. 6

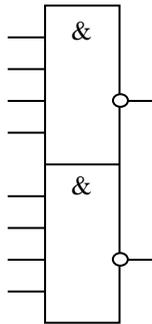


Рис. 7

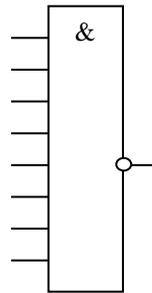


Рис. 8

М
икросхем
а 555ЛА3,
изображе
нная на
рис. 5,
содержит
четыре 2-
входовых
элемента
И-НЕ и
цифровой
561ЛА7.

явл
схе

Существует целый ряд аналогичных микросхем в сериях ТТЛ-ТТЛШ (ЛА8, ЛА9, ЛА11, ЛА12, ЛА13, ЛА15),

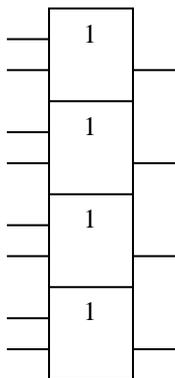
имеющих повышенные выходные токи или напряжения, выход с ОК либо комбинации перечисленных свойств.

ИМС 555ЛА4 (КМОП-аналог – 561ЛА9), изображенная на рис. 6, содержит три 3-входовых ЛЭ И-НЕ. 555ЛА10 отличается тем, что имеет выход с ОК, а 1533ЛА24 имеет выход с повышенной нагрузочной способностью.

ИМС 555ЛА1 (в сериях КМОП – 561ЛА8), изображенная на рис. 7, содержит два 4-входовых элемента И-НЕ. Аналогичная ИМС 555ЛА6 имеет выходы с повышенной нагрузочной способностью, а ЛА7 – с открытым коллектором.

Микросхема 555ЛА2 имеет один 8-входовой элемент И-НЕ. В отечественных микросхемах КМОП-серий аналогичный элемент отсутствует.

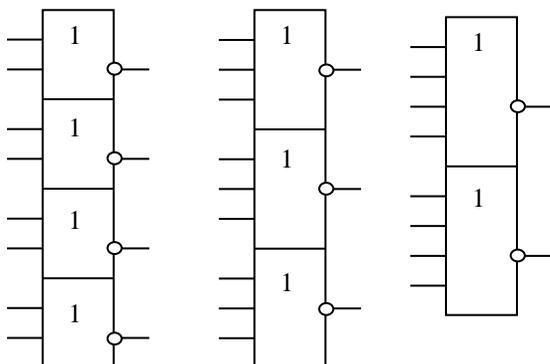
Элементы ИЛИ



Микросхемы, реализующие элементы ИЛИ, обозначаются буква-ми ЛЛ. В сериях ТТЛ-ТТЛШ имеется ИМС 555ЛЛ1 (рис. 9), содержащая четыре элемента 2ИЛИ. В сериях КМОП элементы ИЛИ отсутствуют.

Рис. 9

Элементы ИЛИ-НЕ



Микросхемы ИЛИ-НЕ обозначаются буквами ЛЕ. На рис. 10 изображена ИМС 555ЛЕ1 (КМОП-аналог –

561ЛЕ5). 155ЛЕ6 отличается тем, что имеет выход с повышенной нагрузочной способностью.

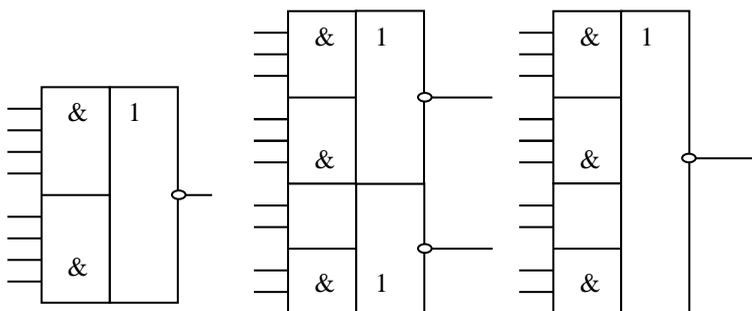
ИМС 555ЛЕ4 (в КМОП-сериях – 561ЛЕ10), изображенная на рис. 11, имеет три 3-входовых элемента ИЛИ-НЕ.

с. 12

Микросхема 561ЛЕ6 (рис. 12) содержит два элемента 4ИЛИ-НЕ. Аналогичная ИМС имеется в сериях ТТЛ: 155ЛЕ5 и 155ЛЕ6 (с повышенной нагрузочной способностью).

Двухступенчатые логические элементы

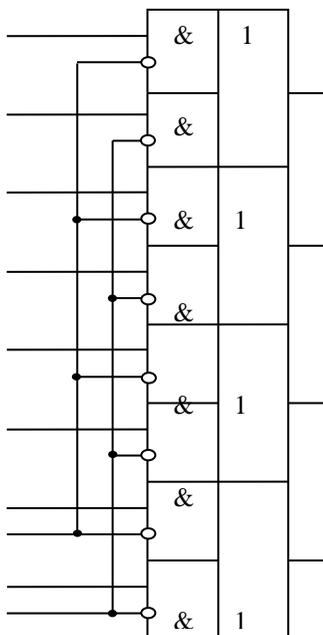
Данные ИМС имеют несколько ЛЭ, причем выходы нескольких ЛЭ подключены ко входам другого ЛЭ. В



ИЛИ-НЕ и обозначаются буквами ЛР.

На рис. 13 изображены микросхемы соответственно 555ЛР4, 555ЛР11 и 555ЛР13.

Менее распространены другие микросхемы И-ИЛИ-НЕ, подробно описанные в [1].



В сериях КМОП отсутствуют элементы И-ИЛИ-НЕ, но есть элементы И-ИЛИ, обозначаемые буквами ЛС: 561ЛС1 и 561ЛС2. ИМС 561ЛС2 изображена на рис. 14.

Схемы контроля четности

Схемы контроля четности, реализующие логическую функцию «сумма по модулю 2», теоретически могут иметь любое количество входов и один выход. При этом, если сумма единиц входов нечетная, то на выходе такой схемы будет единица, если четная – то на выходе ноль.

Рис. 14

В простейшем случае схема имеет 2 входа и называется ИСКЛЮЧАЮЩЕЕ ИЛИ или НЕРАВНОЗНАЧНОСТЬ. Примером такой ИМС является

изображенная на рис. 15 555ЛП5 (в сериях КМОП – 561ЛП2). Микросхема 555ЛП12 отличается тем, что имеет выход с ОК. Микросхема 1564ЛП13 содержит четыре элемента ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ (РАВНОЗНАЧНОСТЬ).

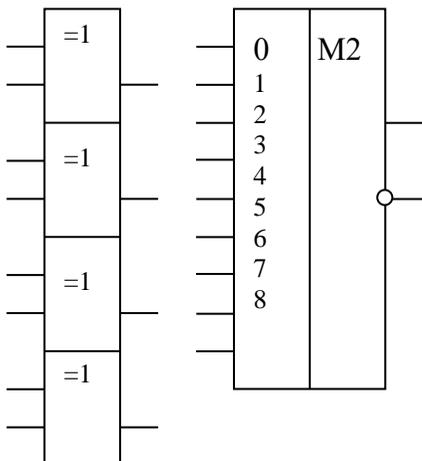


Рис. 15

Рис. 16

Микросхема 555ИП5 (рис. 16), осуществляющая свертку по M2, имеет 9 входов, прямой и инверсный выходы. В сериях КМОП имеется 13-входовая схема контроля четности 561СА1.

Построить схему контроля четности с большим числом входов можно, подключая выход одной ИМС к одному из входов другой,

например, как показано на рис. 17, либо выходы нескольких ИМС подать на входы следующей. Из определения функции M2 ясно, что последовательность входных разрядов не «лишние», не используемые входы единиц, например, все нули.

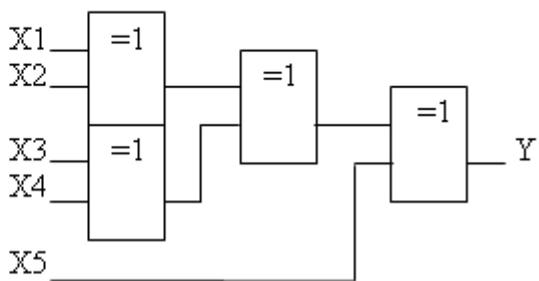
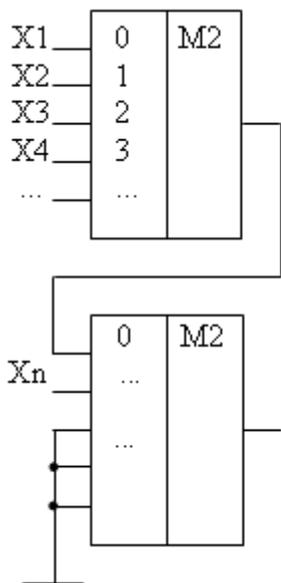


Рис. 17

Построить схему М2 с любым числом входов можно, соединяя произвольным образом элементы ИСКЛЮЧАЮЩЕЕ ИЛИ (рис. 18).

Мажоритарный элемент

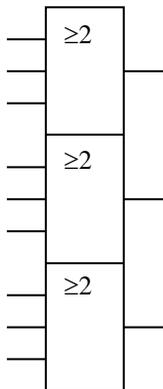


Рис. 19

Мажоритарным элементом (МЭ) называется ЛЭ, имеющий нечетное число входов, выход которого равен «1» в случае, если более чем на половину входов поданы единицы. Другими словами, каких значений сигналов на входах больше, то значение и будет на выходе МЭ.

Функцию 3-входового МЭ (“2 из 3”) выполняет ИМС 555ЛП3 (рис. 19). Данная функция описывается выражением:

$$Y = X1X2 + X1X3 + X2X3$$

Контрольные вопросы:

1. Инверторы
 2. Элементы И
 3. Элементы И-НЕ
 4. Элементы ИЛИ
 5. Элементы ИЛИ-НЕ
 6. Двухступенчатые логические элементы
 7. Схемы контроля четности
1. НЕ»?

Лекция 6. Схемотехника логических элементов различных логик.

План:

1. Элементы транзисторно-транзисторной логики.
 2. Базовый логический элемент ТТЛШ.
 3. Элементы эмиттерно-связанной логики (ЭСЛ).
 4. Логические элементы на полевых транзисторах.
 5. Элементы интегрально-инжекционной логики
- Классификация и основные параметры.

Рассмотрим наиболее широко используемую исторически сложившуюся классификацию. Она построена и с учетом того, какие электронные приборы являются основными в соответствующих интегральных схемах, и с учетом особенностей использованных схемотехнических решений.

Выделяются следующие классы логических элементов (так называемые логики):

- резисторно - транзисторная логика (РТЛ);
- диодно-транзисторная логика (ДТЛ);
- транзисторно-транзисторная логика (ТТЛ);
- эмиттерно-связанная логика (ЭСЛ);
- транзисторно-транзисторная логика с диодами Шоттки (ТТЛШ);
- логика на основе МОП - транзисторов с каналами типа $p(p - \text{МДП})$;
- логика на основе МОП - транзисторов с каналами типа $n(n - \text{МДП})$;
- логика на основе комплементарных ключей на МДП - транзисторах (КМДП, КМОП);
- интегральная инжекционная логика I^2L ;
- логика на основе полупроводника из арсенида галлия GaAs.

В настоящее время наиболее широко используется следующие логики: ТТЛ, ТТЛШ, КМОП, ЭСЛ. Устарела и практически не используется РТЛ. Для разрабатываемых в настоящее время устройств можно рекомендовать использовать КМОП - логику, а также логику на основе GaAs.

Логические элементы и другие цифровые электронные устройства выпускаются в составе серий микросхем. Серия микросхем – это совокупность микросхем, характеризующих общими технологическими и схематическими решениями, а также уровнями электрических сигналов и напряжения питания.

Приведенная классификация охватывает не только собственно логические элементы, но и другие цифровые устройства, в том числе микропроцессорные. Однако, здесь следует учитывать, что при производстве сложных цифровых устройств некоторые логики не использовались и не используются.

Приведем примеры серии микросхем: ТТЛ – К155, КМ155, К133, КМ133; ТТЛШ-530, КР531, КМ531, КР1531,533,К555ЮКМ555,1533,КР1533; ЭСЛ- 100, К500, К1500, КМОП – 564, К561,1564,КР1554; GaAs- К6500.

Каждая серия микросхем, несмотря на то, что она обычно содержит самые разнообразные цифровые устройства, характеризуется некоторым набором параметров, дающих достаточно подробное представление об этой серии. При определении этих параметров ориентируются именно на логические элементы – простейшие устройства серии микросхем. В соответствии с этим говорят о параметрах на серии микросхем, о параметрах логических элементов данной серии.

Рассмотрим наиболее важные из параметров.

Быстродействие характеризуют временем задержки распространения сигнала $t_{зр}$ и максимальной рабочей частотой $F_{\text{макс}}$. Обратимся к идеализированным временным диаграммам, соответствующим элементу НЕ (инвертору) (рис.44). Через $U_{\text{вх1}}$

и $U_{\text{вх}1}$ обозначены уровни входного и выходного напряжений, соответствующие логической единице, а через $U_{\text{вх}0}$ и $U_{\text{вых}0}$ – соответствующие логическому нулю. Различают время задержки $t_{\text{зр}10}$ распространения при переключении из состояния 1 в состояние 0 и при

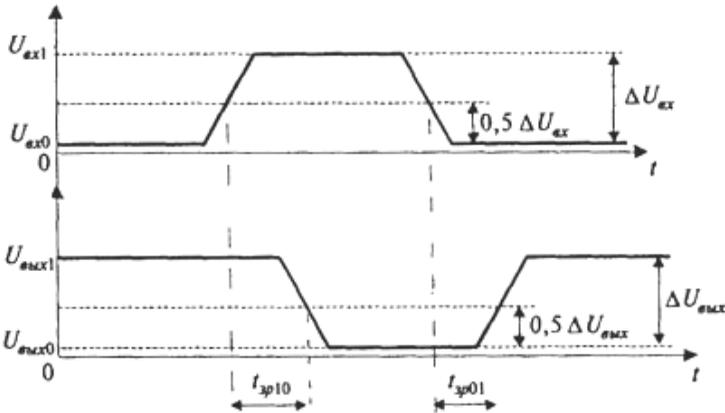


Рис. 44

Переключение из состояния 0 в состояние 1 - $t_{\text{зр}01}$, а также среднее время задержки распространения $t_{\text{зр}}$, причем $t_{\text{зр}} = 0,5(t_{\text{зр}10} + t_{\text{зр}01})$. Время задержки принято определять по перепадам уровней $0,5 \Delta U_{\text{вх}}$ и $0,5 \Delta U_{\text{вых}}$. Максимальная рабочая частота $F_{\text{макс}}$ – это частота, при которой сохраняется работоспособность схемы.

Нагрузочная способность характеризуется коэффициентом объединения по входу $K_{\text{об}}$ и коэффициентом разветвления по выходу $K_{\text{раз}}$ (иногда используют термин «коэффициент объединения по выходу»). Величина $K_{\text{об}}$ – это число логических входов, величина $K_{\text{раз}}$ – максимальное число однотипных логических элементов, которые могут быть подключены к выходу данного логического элемента. Типичные значение их таковы: $K_{\text{об}} = 2 \dots 8$, $K_{\text{раз}} = 4 \dots 10$. Для элементов с повышенной нагрузочной способностью $K_{\text{раз}} = 20 \dots 30$.

Помехоустойчивость в статическом режиме характеризуют напряжением $U_{\text{пст}}$, которое называют статической помехоустойчивостью. Это такое максимально допустимое напряжение статической помехи на входе, при котором еще не происходит изменение выходных уровней логического элемента.

Важным параметром является мощность, потребляемая микросхемой от источника питания. Если это мощность различна для двух логических состояний, то часто указывают среднюю потребляемую мощность для этих состояний.

Важными являются также следующие параметры:

- напряжение питания;
- входные пороговые напряжения высокого и низкого уровня $U_{\text{вх1порог}}$ и $U_{\text{вх0порог}}$, соответствующие изменению состояния логического элемента;
- выходные напряжения высокого и низкого уровней $U_{\text{вых1}}$ и $U_{\text{вых0}}$.

Используют и другие параметры.

Особенности выходных каскадов цифровых микросхем

Часто возникает необходимость подключения выходов нескольких цифровых микросхем к одной нагрузке. Одним из способов объединения выходов является использование в выходных каскадах микросхем транзисторов, один из выводов которых (коллектор, эмиттер, сток, исток) никуда не подключен. Такой вывод называют открытым.

Покажем схематически (рис.45,а), как объединяются выходы микросхем с открытым коллектором. Такой элемент выполняет дополнительную логическую операцию, называемую операцией монтажной логики. Таблица истинности такого устройства с учетом инвертирования сигнала в выходном каскаде принимает уровень логической единицы лишь тогда, когда транзисторы выходных каскадов закрыты, т.е.

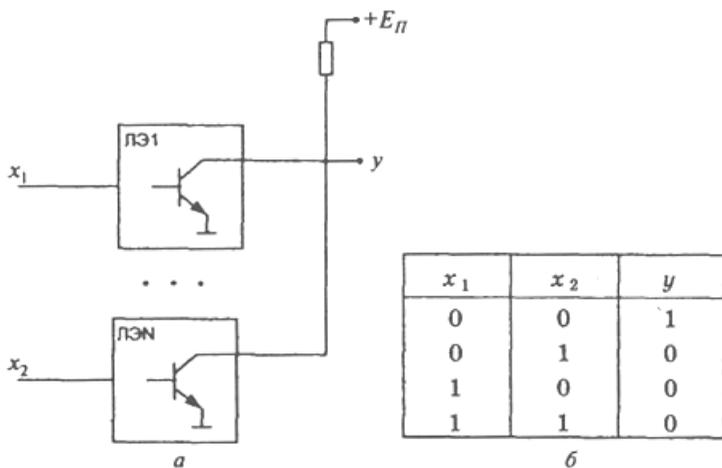


Рис. 45

на выходы поданы логические 0.

Нетрудно видеть, что схема реализует логическую операцию ИЛИ-НЕ, и поэтому такую схему называют «монтажным (проводным) ИЛИ», т.е.

$$y = x_1 + x_2.$$

Используя теорему 10 (см.рис.26), нетрудно получить

$$y = \overline{x_1 \cdot x_2}.$$

С учетом данного выражения такое соединение (рис.3.45,а) иногда называют «монтажное (приводное) И».

Если открытым является коллектор транзистора n-p-n типа, сток транзистора с каналом n-типа, исток транзистора с каналом p-типа, то вывод обозначают символом \diamond . Если открытым является коллектор транзистора n-p-n типа, сток транзистора с каналом p-типа, исток транзистора с каналом n-типа, вывод обозначают символом $\bar{\diamond}$. Если открытым является коллектор транзистора p-n-p типа, эмиттер транзистора n-p-n типа, сток транзистора с каналом p-типа, исток транзистора с каналом n-типа, вывод обозначают символом $\bar{\diamond}$.

Выходные каскады некоторых микросхем могут работать в таком режиме, когда микросхема оказывается фактически

отключенной от нагрузки. Это так называемое третье (высокоимпедансное) состояние микросхемы. Использование третьего состояния является еще одним способом объединения выходов микросхем, которых широко используется в вычислительной технике, при подключении к общей шине многих устройств. Приведем фрагмент схемы, поясняющей возникновение третьего состояния (рис.46). Если оба транзистора закрыты, то микросхема и нагрузка фактически являются разьединенными. Наличие третьего состояния обозначают символом \diamond .

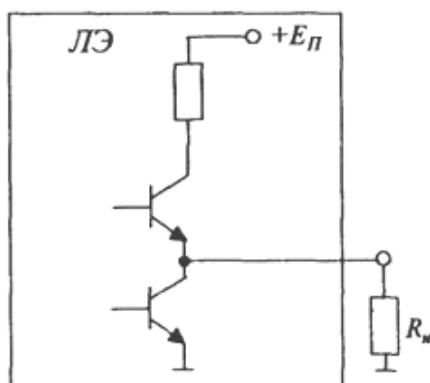


Рис. 46

Если в выходных каскадах микросхем используются мощные транзисторы, то выходные каскады обеспечивают большие выходные токи и на условно графических обозначениях микросхем в этом случае используется символ \triangleright .

Так, например, микросхема К155ЛА18 (два двухвходных элемента И-НЕ) имеет открытый коллектор и выходной ток может достигать 300мА при логическом нуле на выходе, а микросхема КР531ЛА17 (два четырехвходных элемента И-НЕ) имеет три состояния выхода и выходные токи составляют 50 мА при логическом нуле на выходе.

В некоторых микросхемах выходные каскады представляют собой изолированные транзисторы, т.е. коллектор,

эмиттер и база мощных выходных транзисторов подключены только к внешним выводам микросхем.

Так, микросхема К155ЛП7 представляет собой два элемента И-НЕ и два транзистора типа n-p-n, обеспечивающие выходной ток 300 мА и имеющие предельно допустимое коллекторное напряжение, равное 30В.

Такие логические элементы с изолированными транзисторами позволяют более гибко выбирать схему подключения транзисторов как к логическим элементам, так и к нагрузке.

При использовании едином цифровой устройстве микросхем различных серий, и в особенности различных логик, может возникнуть проблема согласования уровней входных и выходных напряжений. Для указанных целей производится специальные микросхемы, которые называют преобразователями уровня сигналов.

Преобразователи уровня сигналов и шинные формирователи

Преобразователи уровней используется для согласования входных и выходных сигналов по напряжению и току при построение цифровых устройств на различных логических элементах.

Логические элементы, в зависимости от элементной базы, на которой они построены, имеют разные напряжения питания и разные значения входных и выходных сигналов. Кроме того, однотипные микросхемы могут допускать разное напряжение питания и при таком использовании в разных частях одного устройства также требуется согласование уровней.

Так, для микросхем транзисторно-транзисторной логике (ТТЛ), которые построены на биполярных транзисторах, уровень логического «0» входного напряжения $\leq 0,8$ В, уровень логического «1» выходного напряжения $\leq 0,4$ В, уровень логической «1» входного напряжения $\geq 2,4$ В, а уровень логической «0» выходного напряжения $\geq 2,4$ В.

1 выходного напряжения $\geq 2,8$ В. Напряжение питания ТТЛ равно 5 В.

Для микросхем, построенных на полевых транзисторах (КМОП), напряжение питания E_{num} обычно лежит в пределах от 5 до 15 В; а уровень логического 0 входного напряжения $\leq 0,2 E_{num}$, уровень логического 0 выходного напряжения равен 0 В, уровень логического 1 входного напряжения $\geq 0,8 E_{num}$, а уровень логического 1 выходного напряжения равен E_{num} .

Пороговое напряжение переключения для ТТЛ составляет 1,2 В, а для КМОП - $E_{num}/2$.

Кроме того, большинство КМОП – элементов имеют малые выходные токи, поэтому к ним нельзя подключать даже один вход ТТЛ даже при одинаковых E_{num} .

Так, для согласования выходов КМОП элементов со входами ТТЛ можно применять микросхемы К176ПУ1, К176ПУ2, К176ПУ3, К176ПУ4, КР156ПУ4. По принципу функционирования они аналогичны друг другу, но имеют разное число входов и некоторые, по мимо преобразования, еще осуществляют инверсию сигнала (ПУ1, ПУ2).

Например микросхема КР1561ПУ4 (рис.47,а) имеет 6 входов и выходов и позволяет при подачи на нее напряжения на питания 5 В и подключении ее входов к выходам КМОП - микросхем подключать к каждому из ее выходов от двух до восьми микросхем ТТЛ в зависимости от их схемотехнической реализации.

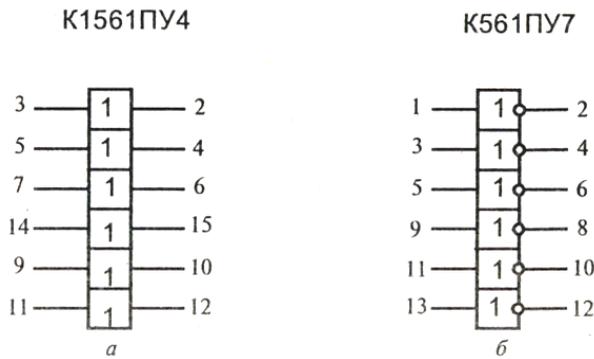


Рис. 47

Для согласования выходов ТТЛ микросхем со входами КМОП микросхем применяются микросхемы К176ПУ5, 564ПУ6, К561ПУ7, К561П8.

Все они аналогичны друг другу по принципу функционирования, но имеют разное число преобразователей, требуют одного или двух источников питания, осуществляют инвертирование сигнала или нет (П561ПУ8).

Так, микросхема К561ПУ7 (рис.47,б) представляет собой шесть инвертирующих преобразователей, требует одного источника питания при напряжении 10-15 В осуществляют хорошее согласование с выходными уровнями ТТЛ микросхем.

Для коммутации сигналов в цифровых устройствах, например, сигналов адреса, сигналов управления, подключения внешних устройств к системной шине данных в микропроцессорной системе, используется шинные формирователи (шинные драйверы, буферные элементы).

Реализуется они на логических элементах с повышенной нагрузочной способностью, имеющих открытой выход (коллекторной или стоковый) или три состояния выхода.

Они могут быть как однонаправленные, так и двунаправленные (могут осуществлять передачу данных как со входов на выход, так и наоборот).

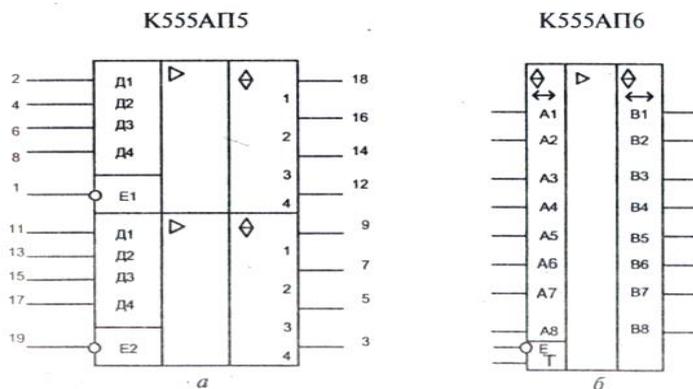


Рис. 48

Так, микросхема К555АП6 (рис.48,б) представляет собой восемь двунаправленных буферных элементов, все выводы которых имеют три состояния, а также имеются два входа управления. Логической нуль на входе Е разрешает включение буферных элементов, и если при этом на вход Т подана логическая 1, то выводы А1-А8 являются входами, а выводы В1-В8 выходами. При логическом 0 на входе Т В1-В8 являются выходами, а выводы А1-А8 входами. При логической 1 на входе Е все выводы переводится в высокоимпедансное состояние.

Контрольные вопросы:

1. Классификация и основные параметры?
2. Особенности выходных каскадов цифровых микросхем?
3. Преобразователи уровня сигналов и шинные формирователи?

Для конкретной серии микросхем характерно использование типового электронного узла – базового логического элемента. Этот элемент является основной постройкой самых разнообразных цифровых электронных устройств. Ниже рассмотрим особенности базовых логических элементов различных логик.

Элементы транзисторно-транзисторной логики.
Характерной особенностью ТТЛ является использование многоэмиттерных транзисторов. Эти транзисторы сконструированы таким образом, что отдельные эмиттеры не оказывают влияния друг на друга. Каждому эмиттеру соответствует свой р-п- переход. В первом приближении многоэмиттерный транзистор может моделироваться схемой на диодах (см. пункт на рис.49).

Упрощенная схема ТТЛ – элемента приведена на рис.49. При мысленной замене

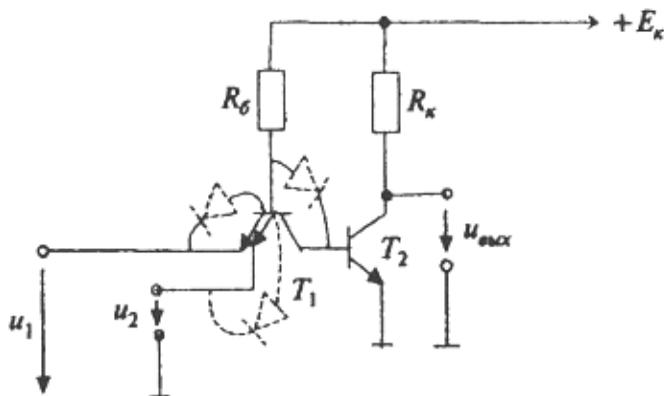


Рис. 49

многоэмиттерного транзистора диодами получаем элемент диодно-транзисторной логики И-НЕ. Из анализа схемы можно сделать вывод, что если на один из входов или на оба входа подать низкий уровень напряжения, то ток базы транзистора T_2

будет равен нулю, и на коллекторе транзистора T_2 будет высокий уровень напряжения, то через базу T_2 транзистора будет протекать большой базовый ток и на коллекторе транзистора T_2 будет низкий уровень напряжения, т.е. данный элемент реализует функцию И-НЕ: $u_{\text{вых}} = \overline{u_1 \cdot u_2}$.

Базовой элемент ТТЛ содержит многоэмиттерный транзистор, выполняющий логическую операцию И, и сложной инвертор (рис.50). Если на один или оба входа одновременно подан низкий уровень напряжения, то многоэмиттерный транзистор находится в состоянии насыщения и транзистор T_2 закрыт, а следовательно, закрыт и транзистор T_4 , т.е. на выходе будет высокий уровень напряжения. Если на обоих входах одновременно действует высокий уровень напряжения, то транзистор T_2 открывается и входит в режим насыщения, что приводит к открытию и насыщению транзистора T_4 и запирающему транзистора T_3 , т.е. реализуется функция И-НЕ.

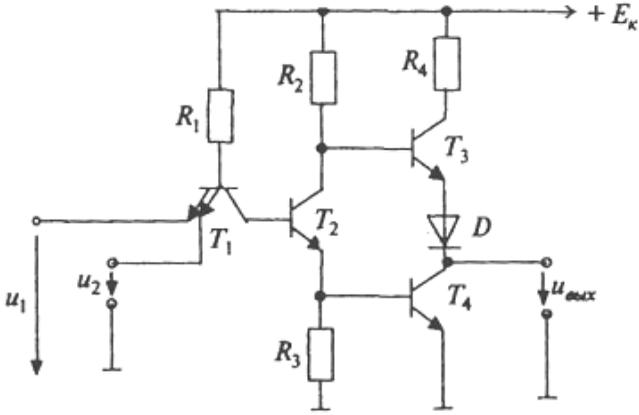


Рис. 50

Выпускаются микросхемы ТТЛ с повышенной нагрузочной способностью, с открытым коллектором, с третьим (высокоимпедансным) состоянием, что значительно расширяет их функциональные возможности.

Для увеличения быстродействия элементов ТТЛ используются транзисторы с диодами Шоттки (транзисторы Шоттки).

Базовый логический элемент ТТЛШ (на примере серии К555). В качестве базового элемента серии микросхем К555 использован элемент И-НЕ. На рис.51,а изображена схема этого элемента, а условное графическое обозначение транзистора Шоттки приведена на рис.51,б. Такой транзистор эквивалентен рассмотренный выше паре из обычного транзистора и диода Шоттки. Транзистор VT_4 – обычный биполярный транзистор.

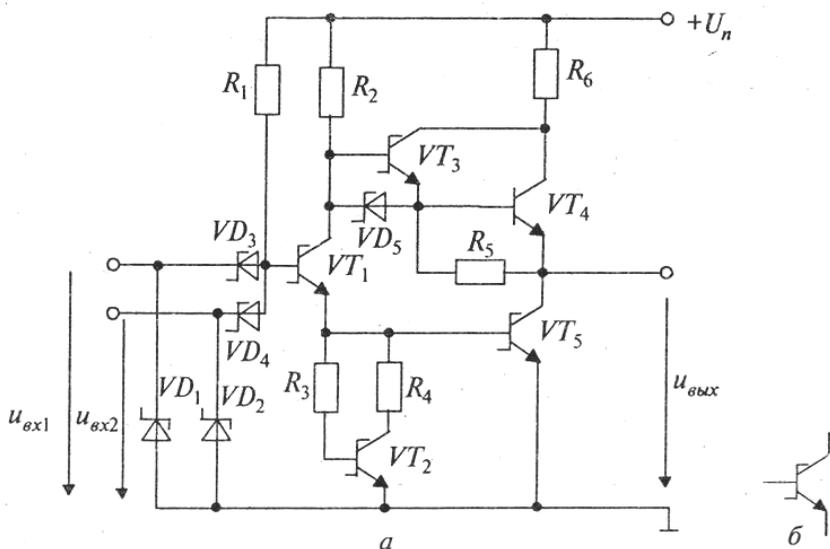


Рис. 51

Если оба входных напряжения $u_{вх1}$ и $u_{вх2}$ имеют высокий уровень, то диоды VD_3 и VD_4 закрыты, транзисторы VT_1 , VT_5 открыты и на выходе имеет место напряжение низкого уровня. Если хотя бы на одном входе имеется напряжение высокого уровня, то транзисторы VT_1 и VT_5 закрыты, а транзисторы VT_3 и VT_4 открыты, и на выходе имеет место напряжение высокого

уровня. Полезно отметить, что транзисторы VT_3 и VT_4 образует как называемый составной транзистор (схему Дарлингтона).

Микросхемы ТТЛШ серии К555 характеризуются следующими параметрами:

- напряжение питания +5 В;
- выходное напряжение низкого уровня – не более 0,4 В;
- выходное напряжение высокого уровня – не менее 2,5 В;
- помехоустойчивость – не менее 0,3 В;
- среднее время задержки распространения сигнала – 20 нс;
- максимальная рабочая частота – 25 МГц.

Микросхемы ТТЛШ обычно совместимы по логическим уровням, помехоустойчивости и напряжению питания с микросхемами ТТЛ. Время задержки распространения сигнала элементов ТТЛШ в среднем в два раза меньше по сравнению с аналогичными элементами ТТЛ. К тому же они значительно меньших размеров, что уменьшает емкости их р-п-переходов. Мощность, потребляемая ими, в 4-10 раз меньше.

Элементы эмиттерно-связанной логики (ЭСЛ). Основой базового логического элемента ЭСЛ является токовый ключ. Схема токового ключа (рис.52) подобно схеме дифференциального усилителя. Необходимо обратить внимание на то, что микросхемы ЭСЛ питаются отрицательным напряжением (к примеру, - 4,5 В для серии К1500). На базу транзистора VT_2 подано отрицательное постоянное опорное напряжение $U_{оп}$. Изменение входного напряжения $u_{вх1}$ приводит к перераспределению постоянного тока $I_{Э0}$, заданного сопротивлением $R_э$, между транзисторами, что имеет следствием изменение напряжений на их коллекторах. Транзисторы не входят в режим насыщения, и это является одной из причин высокого быстродействия, и это является одной из причин высокого быстродействия элементов ЭСЛ.

На транзисторы VT_1 , VT_2 , VT_3 подаются входные сигналы, и они совместно с транзистором VT_4 образует токовой ключ. Транзистор VT_5 элементами R_4 , R_5 , R_6 и VD_1 , VD_2 является стабильным источником напряжения, задающим постоянное напряжение $U_{оп}$ на базе транзистора VT_4 , который находится в активном режиме работы.

На транзисторах VT_6 и VT_7 реализованы эмиттерные повторители, обеспечивающие малые выходные сопротивления. Цепи нагрузок транзисторов VT_6 и VT_7 (резисторы R_7 и R_8) обычно внесены за микросхему ЭСЛ, что расширяет ее функциональные возможности.

В схеме ЭСЛ реализован принцип положительной логики, при котором большему выходному напряжению (в нашем случае, менее отрицательному) соответствует сигнал логический 1, а меньшему (более отрицательному) сигнал логического 0.

Когда на всех входах схемы U_1 , U_2 , U_3 действуют сигналы логического 0 (большое отрицательное напряжение), то транзисторы $VT_1 - VT_3$ закрыты, VT_4 открыт. В результате транзистор VT_7 будет закрыт, т.е. на его выходе установится менее отрицательное напряжение (логическая 1).

Если любой из выходов $U_1 - U_3$ подана логическая единица (менее отрицательное, чем $U_{оп}$ на базе VT_4), то откроется соответствующий транзистор, что приведет к перераспределению токов между этим транзистором и транзистором VT_4 , после чего транзистор VT_6 закроется, и.е. на его выходе установится большое отрицательное напряжение (логической 0), а транзистор VT_7 откроется, т.е. на его выходе установится логическая 1.

Таким образом, данная схема одновременно выполняет функции ИЛИ и ИЛИ-НЕ

$$U_{вых1} = \overline{U_1 + U_2 + U_3}, U_{вых2} = U_1 + U_2 + U_3,$$

что значительно расширяет ее функциональные возможности.

Логические элементы на полевых транзисторах. В микросхемах n-МОП и р-МОП используются ключи соответственно на МОП- транзисторах с р-каналом.

В качестве примера рассмотрим элемент логики n-МОП, реализующий функцию ИЛИ-НЕ (рис.54). Он состоит из нагрузочного транзистора T_3 и двух управляющих

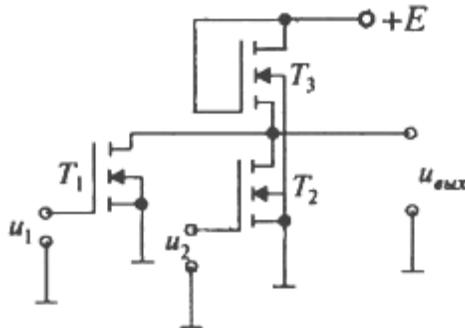


Рис. 54

Транзисторов T_1 и T_2 . Если оба транзистора T_1 и T_2 закрыты, то на выходе устанавливается высокий уровень напряжения, Если одно или оба напряжения u_1 и u_2 имеют высокий уровень, то открывается один или оба транзистора T_1 и T_2 и на выходе устанавливается низкий уровень напряжения, т.е. реализуется функция $u_{\text{вых}} = \overline{u_1 + u_2}$.

Для исключения потребления мощности логическим элементом в статическом состоянии используются комплементарные МДП- логические элементы (КМДП или КМОП - логика). В микросхемах КМОП используются комплементарные ключи на МОП - транзисторах. Они отличаются высокой помехоустойчивостью. Логика КМОП является очень перспективной. Рассмотренный ранее комплементарный ключ фактически является элементом НЕ (инвертором).

Рассмотрим КМОП – логический элемент, реализующий функцию ИЛИ-НЕ (рис.55). Если входные напряжения имеют низкие уровни (u_1 и u_2 меньше порогового

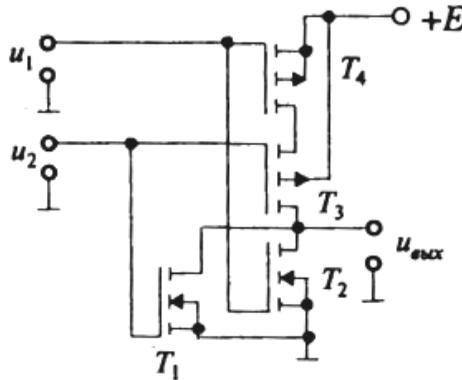


Рис. 55

напряжения n-МОП – транзистора $U_{зи.порог.n}$), то транзисторы T_1 и T_2 закрыты, транзисторы T_3 и T_4 открыты и выходное напряжение имеет высокий уровень. Если одно или оба входных напряжения u_1 и u_2 имеют высокий уровень, превышающий $U_{зи.порог.n}$, то открывается один или оба транзистора T_1 и T_2 , а между истоком и затвором одного или обоих транзисторов T_3 и T_4 устанавливается низкое напряжение, что приводит к запиранию одного или обоих транзисторов T_3 и T_4 , а следовательно, на выходе устанавливается низкое напряжение. Таким образом, этот элемент реализует функцию $u_{вых} = u_1 + u_2$ и потребляет мощность от источника питания лишь в короткие промежутки времени, когда происходит его переключение.

Достоинствами КМОП микросхем по сравнению с ТТЛ микросхемами являются:

- мала потребляемая мощность в статическом режиме;
- очень высокое входное сопротивление;

- большая нагрузочная способность (коэффициент разветвления 50-100);
- большой диапазон питания (3-15 В);
- малая зависимость характеристик от температуры.

К недостаткам КМОП микросхем можно отнести :

- повышенное выходное сопротивление;
- большие времена задержки (200 нс)
- большой разброс всех параметров.

Элементы интегрально-инжекционной логики. Интегральная инжекционная логика (ИИЛ или И²Л) построена на использовании биполярных транзисторов и применение оригинальных схемотехнических и технологических решений. Для нее характерно очень экономичное использование площади кристалла полупроводника. Элементы И²Л могут быть реализованы только в интегральном исполнении и не имеют аналогов в дискретной схемотехнике. Структура такого элемента и его эквивалентная схема приведены на рис.56, из которого видно, что транзистор Т₁ (р-п-п) расположен горизонтально, а

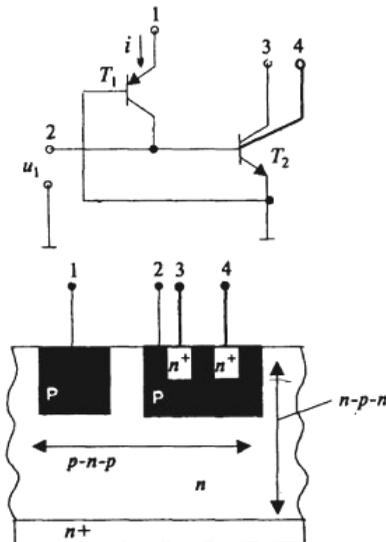


Рис. 56

многоколлекторный транзистор T_2 (n-p-n) расположен вертикально. Транзистор T_1 выполняет роль инжектора, обеспечивающего поступление дырок из эмиттера транзистора T_1 (при подаче на него положительного напряжения через ограничивающий резистор) в базу транзистора T_2 . Если u_1 соответствует логическому «0», то инжекционный ток не протекает по базе многоколлекторного транзистора T_2 и токи в цепях коллекторов транзистора T_2 не протекают, т.е. на выходах транзистора T_2 устанавливаются логические 1. При напряжении u_1 , соответствующем логической 1, инжекционный ток протекает по базе транзистора T_2 и на выходах транзистора T_2 – логические нули.

Рассмотрим реализацию элемента ИЛИ-НЕ на основе элемента, представленного на рис..57 (для упрощения другие коллекторы многоколлекторных транзисторов T_3 и T_4 на рисунке не показаны). Когда на один или оба входа подается логический сигнал 1, то напряжение $u_{\text{вых}}$ соответствует логическому нулю. Если на обоих входах логические

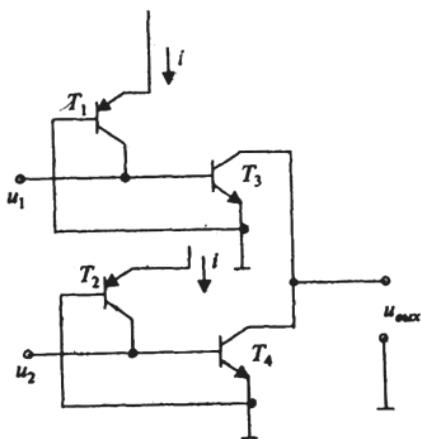


Рис. 57.

Сигналы 0, то напряжение $u_{\text{вых}}$ соответствует логической единице.

Логика на основе полупроводника из арсенида галлия GaAs характеризуется наиболее высоким быстродействием, что является следствием высокой подвижности электронов (в 3...6 раз больше по сравнению с кремнием). Микросхемы на основе GaAs могут работать на частотах порядка 10 ГГц и более.

Сравнительные характеристики логических элементов и их особенности.

В таблице (рис.58) приведено сравнение элементов различных логик по основным параметрам, причем 1 соответствует лучшему значению параметра, а 7- худшему.

Тип элемента	Быстродействие	Рассеиваемая мощность	Разветвление по входу	Помехоустойчивость
ТТЛ	3	4	4	4
ТТЛШ	2	5	4	4
p-МОП	7	2	2	2
n-МОП	5	2	2	3
КМОП	6	1	1	1
ЭСЛ	1	6	3	4
И ² Л	4	3	4	4

Рис.58

Из всех логических элементов наибольшее быстродействие имеют элементы ЭСЛ, а элементы КМОП наименьшее потребление, причем они же имеют лучшую нагрузочную способность.

Для выбора типа микросхем при построение электронного устройства обычно в начале определяют, какой из перечисленных в таблице параметров имеют наибольшее значение. Затем определяют следующий по значимости параметр и т.д.

В зависимости от заданных приоритетов и выбирается тот или иной тип микросхемы. Следует подчеркнуть, что опыт разработчика играет при этом весьма существенную роль.

Как отмечалось ранее, логические элементы выпускаются в составе серий микросхем, причем конкретная микросхема может выполнять ряд логических операций. Приведем для примера некоторые выпускаемые микросхемы.

Рис. 59

Так, микросхема КР531ЛР11 (рис.59,а) выполнена по технологии ТТЛ и представляет собой два одинаковых элемента, каждый из которых содержит по два двухвходовых элемента И, объединенных функций ИЛИ-НЕ, т.е. каждый из элементов выполняет функцию $2И + 2И - ИЛИ - НЕ$, т.е.

$$y = x_1 \cdot x_2 + x_1 \cdot x_2.$$

Микросхема К155ЛЕ3 (рис.59,б) выполнена по технологии ТТЛШ и представляет собой два четырехвходовых ИЛИ-НЕ со стробированием, т.е. реализует функцию

$$y = (x_1 + x_2 + x_3) \cdot E.$$

Микросхема К531ЛА17 (рис.60,а) выполнена по технологии ТТЛШ и представляет два четырехвходовых элемента И-НЕ со стробированием. Микросхема имеет мощные входы и может обеспечивать три состояния выхода, в том числе и высокоимпедансное состояние Z. Каждый элемент микросхем реализует функцию

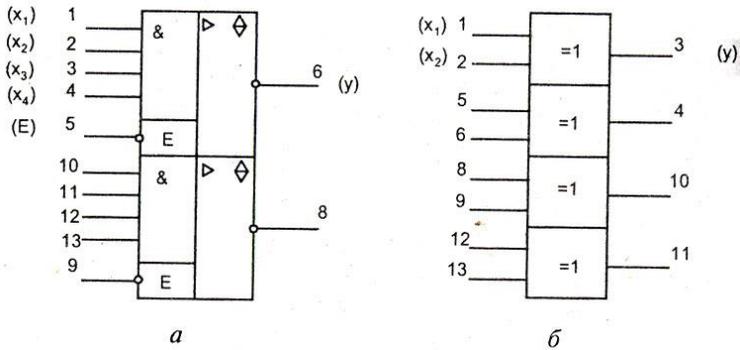


Рис. 60

$$y = \begin{cases} x_1 \cdot x_2 \cdot x_3 \cdot x_4, & \text{при } E=0, \\ Z, & \text{при } E=1(Z). \end{cases}$$

Микросхема К176ЛП2 (рис.3.60,б) выполнена по технологии КМОП и представляет собой четыре двухвходовых элемента «Исключающее ИЛИ», т.е. каждый элемент реализует функцию $y = x_1 \oplus x_2$.

Контрольные вопросы:

1. Элементы транзисторно-транзисторной логики?
2. Базовый логический элемент ТТЛШ?
3. Элементы эмитторно-связанной логики (ЭСЛ)?
4. Логические элементы на полевых транзисторах?
5. Элементы интегрально-инжекционной логики?

Лекция 7. Тема: Комбинационные цифровые устройства.

План:

1. Введение.
2. Шифраторы.
3. Дешифраторы.

Логические устройства разделяют на два класса: комбинационные и последовательностные.

Устройство называют комбинационным, если его выходные сигналы в некоторый момент времени однозначно определяются входными сигналами, имеющими место в этот момент времени.

Иначе устройство называют последовательностным, или конечным автоматом (цифровым автоматом, автоматом с памятью). В последовательностных устройствах обязательно имеются элементы памяти. Состояние этих элементов зависит от предыстории поступления входных сигналов. Выходные сигналы последовательностных устройств определяются не только сигналами, имеющимися на входах в данный момент времени, но и состоянием элементов памяти. Таким образом, реакция последовательностного устройства на определенные входные сигналы зависит от предыстории его работы.

Среди как комбинационных, так и последовательностных устройств типовые, наиболее широко используемые на практике.

Шифраторы, дешифраторы и преобразователи кодов

Шифратор – это комбинационное устройство, преобразующее десятичные числа в двоичную систему счисления, причем каждому входу может быть поставлено в соответствии десятичное число, а набор выходных логических сигналов соответствует определенному двоичному коду. Шифратор иногда называют «кодером» (от англ. *coder*) и используют, например, для перевода десятичных чисел,

набранных на клавиатуре кнопочного пульта управления, в двоичные числа. Если количество входов настолько велико, что в шифраторе используются все возможные комбинации сигналов на выходе, то такой шифратор называется полным, если не все, то не полным. Число входов и выходов в полном шифраторе связано соотношением $n=2^m$, где n - число входов, m - число выходов. Так, для преобразования кода кнопочного пульта в четырехразрядное двоичное число достаточно использовать лишь 10 входов, в то время как полное число возможных входов будет равно 16 ($n=2^4=16$), поэтому шифратор 10×4 (из 10 в 4) будет неполным.

Рассмотрим пример построения шифратора для преобразования десятиразрядного единичного кода (десятичных цифр от 0 до 9) в двоичный код. При этом предполагается, что сигнал, соответствующий логической единице, в каждый момент времени подается только на один вход. Условное обозначение такого шифратора и таблица соответствия кода приведены на рис.61. Используя данную таблицу соответствия, запишем логические выражения, включая в логическую сумму те входные переменные, которое соответствует единице некоторой входной переменной. Так, на выходе y_1 будет логическая «1» тогда, когда логическая «1» будет или на входе « X_1 », или X_3 , или X_5 , или X_7 , или X_9 , т.е.

$$y_1 = X_1 + X_3 + X_5 + X_7 + X_9.$$

Аналогично получаем

$$y_2 = X_2 + X_3 + X_6 + X_7,$$

$$y_3 = X_4 + X_5 + X_6 + X_7, \quad y_4 = X_8 + X_9.$$

Представим на рис.62 схему такого шифратора, используя элементы ИЛИ.

На практике часто используют шифратор с приоритетом. В таких шифраторах код двоичного числа соответствует наивысшему номеру входа, на который подан сигнал «1»,

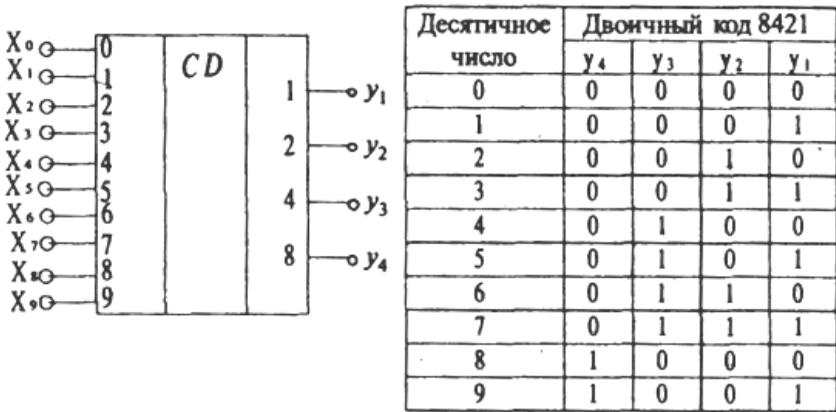


Рис.61

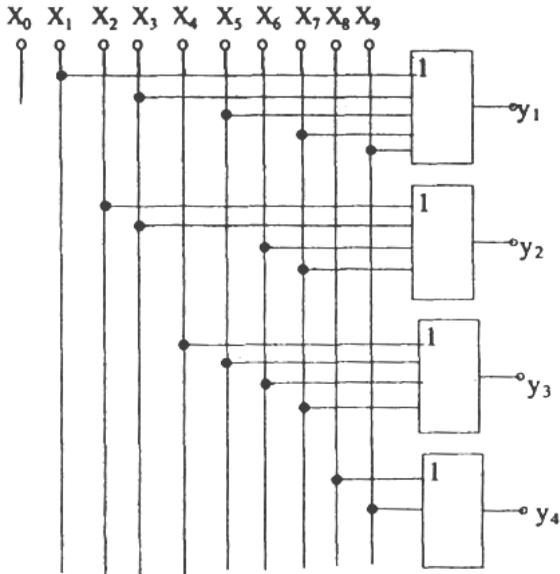


Рис.62

т.е.на приоритетный шифратор подавать сигналы на несколько входов, а он выставляет на выходе код числа, соответствующего старшему входу.

Рассмотрим в качестве примера (рис.63) шифратор с приоритетом (приоритетный шифратор) К555ИВ3 серии микросхем К555 (ТТЛШ). Шифратор имеет 9 инверсных

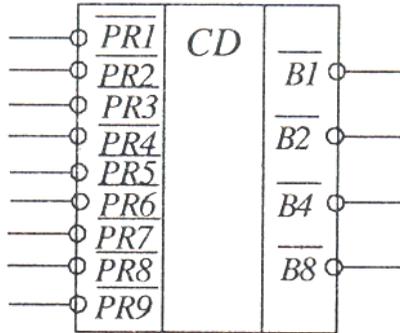


Рис.63

входов, обозначенных через $\overline{PR1}, \dots, \overline{PR9}$. Аббревиатура PR обозначает «приоритет». Шифратор имеет четыре инверсных входа $\overline{B1}, \dots, \overline{B8}$. Аббревиатура В обозначает «шина» (от англ. *bus*). Цифры определяют значение активного уровня (нуля) в соответствующем разряде двоичного числа. Например, $\overline{B8}$ обозначает, что ноль на этом выходе соответствует числу 8. Очевидно, что это неполный шифратор.

Если на всех входах – логическая единица, то на всех выходах также логическая единица, что соответствует числу 0 в так называемом инверсном коде (1111). Если хотя бы на одном входе имеется логический ноль, то состояние выходных сигналов определяется наибольшим номером входа, на котором имеется логический ноль, и не зависит от сигналов на входах, имеющих меньший номер.

Например, если на входе $\overline{PR1}$ - логический ноль, а на всех остальных входах – логическая единица, то на выходах имеются следующие сигналы: $\overline{B1}-0, \overline{B2}-1, \overline{B4}-1, \overline{B8}-1$, что соответствует числу 1 в инверсном коде (1110).

Если на входе $\overline{PR9}$ логический ноль, то независимо от других входных сигналов на выходах имеются следующие сигналы: $\overline{B1}-0, \overline{B2}-1, \overline{B4}-1, \overline{B8}-0$, что соответствует числу 9 в инверсном коде (0110).

Основное назначение шифратора – преобразование номера источника сигнала в код (например, номера нажатой кнопки некоторой клавиатуры).

Для получения шифратора с большим числом входов, т.е. наращивания размерности шифратора, объединяют микросхемы шифраторов с дополнительными входами.

Так микросхема K555ИВ1 (рис. 64) представляет собой приоритетный шифратор 8х3, т.е. имеет 8 инверсных входов и 3 инверсных выхода. Помимо этого она имеет вход разрешения EI, выход переноса E0 и выход G, определяющий признак

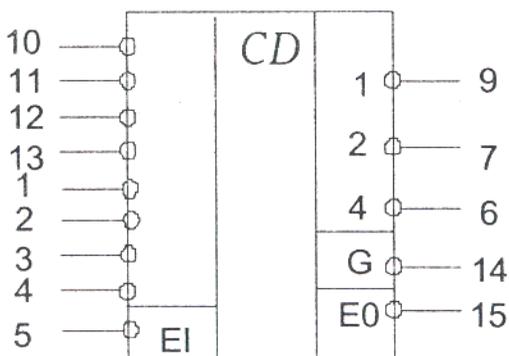


Рис.64

входного информационного сигнала.

Если на всех информационных входах логическая 1, то при подаче на вход EI логического 0, на выходах 1-2-4 и G будут такие логические 1, а на выходе переноса E0- логический 0.

Если активизировать один из информационных входов (подать на него логический 0), то на выходах 1-2-4 появится инверсный код, соответствующий номеру активизированного входа, на входе G – логический 0, являющийся признаком подачи входного сигнала, а на выходе E0 – логическая 1.

Если же микросхема не активизирована, т.е. на вход разрешения EI подана логическая 1, то на всех выходах микросхемы также будет логическая 1 независимо от того, что будет подана на информационные входы.

Дешифратором называется комбинационное устройство, преобразующий разрядный двоичный код в логический сигнал, появляющийся на том выходе, десятичный номер которого соответствует двоичному коду. Число входов и выходов в так называемом полном дешифраторе связано соотношением $m=2^n$, где n -число входов, а m - число выходов. Если в работе дешифратора используется неполное число выходов, то такой дешифратор называется неполным. Так, например, дешифратор, имеющий 4 входа и 16 выходов, будет полным, а если бы выходов было только 10, то он являлся бы неполным.

Обратимся для примера к дешифратору К555ИД6 серии К555 (рис.65).

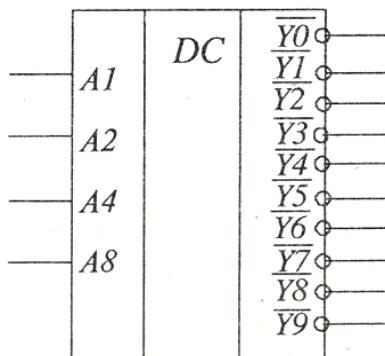


Рис. 65

Дешифратор имеет 4 прямых входа, обозначенных через $A1, \dots, A8$. Аббревиатура А обозначает адрес (от англ. *address*). Указанные входы называют адресными. Цифры определяют значения активного уровня (единицы) в соответствующем разряде двоичного числа.

Дешифратор имеет 10 инверсных входов $\overline{Y_0}, \dots, \overline{Y_9}$. Цифры определяют десятичное число, соответствующее заданному двоичному числу на входах. Очевидно, что этот дешифратор неполный.

Значение активного уровня (нуля) имеет тот выход, номер которого равен десятичному числу, определяемому двоичным числом на входе. Например, если на всех входах – логические нули, то на выходе $\overline{Y_0}$ – логический ноль, а на остальных выходах – логическая единица. Если на выходе $\overline{A_2}$ – логическая единица, а на остальных входах – логический ноль, то на выходе $\overline{Y_2}$ – логический ноль, а на остальных выходах – логическая единица. Если на входе – двоичное число, превышающее 9 (например, на всех входах единицы, что соответствует двоичному числу 1111 и десятичному числу 15), то на всех выходах – логическая единица.

Помимо информационных имеется один или более входов, называемыми входами разрешения, или адресными входами. Так, микросхема КР531ИД14 представляет собой два дешифратора имеет два информационных входа и четыре инверсных выхода, а также инверсный вход разрешения (рис.66).

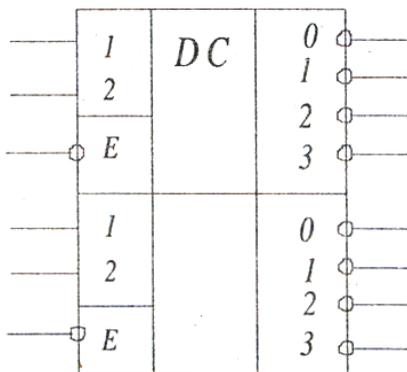


Рис.66

Цифры на входе (1,2) обозначают вес разряда двоичного числа, а цифры на выходе (0-3) определяют десятичное число, соответствующее заданному числу на входе.

При логической 1 на входе разрешения на всех выходах будут также логические 1. При активизации входа разрешения, т.е. при $E=0$, логический 0 появляется на том выходе дешифратора, номер которого соответствует десятичному эквиваленту двоичного числа, поданного на информационные входы. Благодаря наличию входа разрешения можно наращивать размерность дешифраторов. Так, используя 5 дешифраторов 2×4 , можно построить дешифратор 4×16 (рис.67).

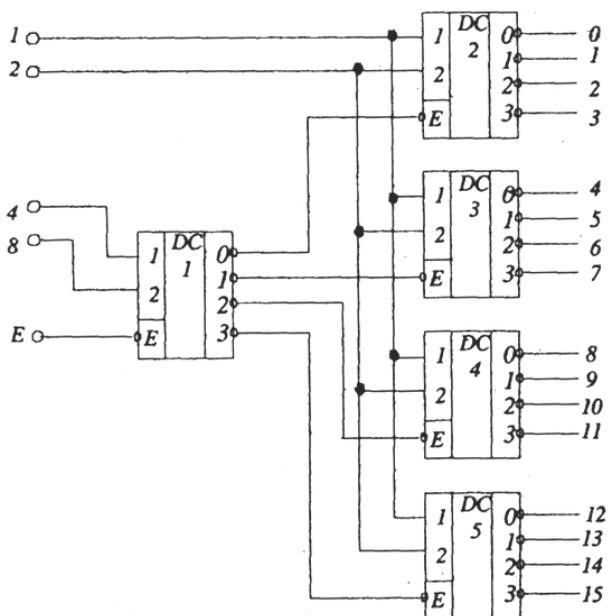


Рис.67

Понять принцип работы такой схемы несложно. Так, при подаче а вход числа 0100 (двоичный эквивалент десятичного число 4) и при $E=0$ логический 0 появится лишь на втором (сверху) выходе дешифратора DC1, а на всех остальных выходах будут логические 1. Это приведет к активизации лишь

дешифратора DC3 и активизируется (появится логический 0) лишь его верхний выход, что и будет соответствовать десятичному числу 4. При подаче на вход 1111 будет активизирован дешифратор DC5 и на его нижнем выходе появится логический 0, что будет соответствовать десятичному числу 15.

Очевидно, что если использовать две микросхемы КР531ИД14, т.е. четыре дешифратора 2х4, можно построить неполный дешифратор.

Дешифратор – одно из широко используемых логических устройств. Его применяют для построения различных комбинационных устройств.

Это основано на том обстоятельстве, что на выходе дешифратора вырабатываются все возможные логические произведения всех входных переменных (конъюнктивные минтермы).

Подключая к определенным выводам дешифратора логический элемент ИЛИ или используя дешифратор с открытым выходом и реализуя на нем «монтажное ИЛИ», можно реализовать любую функцию.

Так дешифратор 3х8 (рис.68) можно описать следующей системой логических выражений:

$$Y_0 = \overline{X_1} \cdot \overline{X_2} \cdot \overline{X_3};$$

$$Y_1 = X_1 \cdot \overline{X_2} \cdot \overline{X_3};$$

$$Y_2 = \overline{X_1} \cdot X_2 \cdot \overline{X_3};$$

$$Y_3 = X_1 \cdot X_2 \cdot \overline{X_3};$$

$$Y_4 = \overline{X_1} \cdot \overline{X_2} \cdot X_3;$$

$$Y_5 = X_1 \cdot \overline{X_2} \cdot X_3;$$

$$Y_6 = \overline{X_1} \cdot X_2 \cdot X_3;$$

$$Y_7 = X_1 \cdot X_2 \cdot X_3.$$

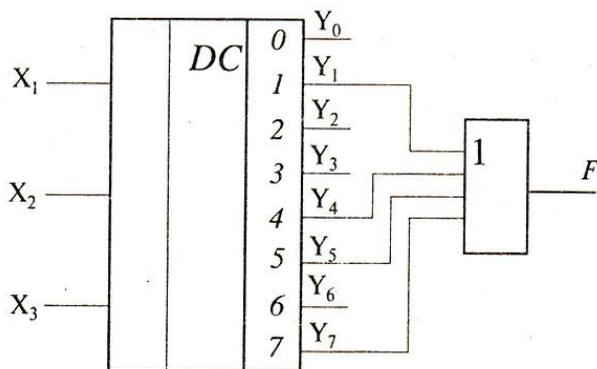


Рис.68

Соединяя соответствующие выходы дешифратора (например, Y_1 , Y_4 , Y_5 и Y_7) со входами элемента ИЛИ, получим следующую логическую функцию:

$$F = Y_1 + Y_4 + Y_5 + Y_7 = \overline{X_1} \overline{X_2} \overline{X_3} + \overline{X_1} \overline{X_2} X_3 + X_1 \overline{X_2} X_3 + X_1 X_2 X_3.$$

После несложных преобразований получим

$$F = \overline{X_1} \overline{X_2} + X_1 X_3.$$

Особенно, целесообразно такое использование дешифратора, когда нужно получить несколько различных логических функций одних и тех же переменных. В этом случае к соответствующим выходам дешифратора следует подключить то или иное число логических элементов ИЛИ.

Рассмотренные шифраторы и дешифраторы являются примерами простейших преобразователей кодов.

Преобразователями кодов, в общем случае, называют устройства, предназначенные для преобразования одного кода в другой, при этом часто они выполняют нестандартные преобразование кодов. Преобразователи кодов обозначают через X/Y.

Рассмотрим особенности реализации преобразователя на примере преобразователя трехэлементного кода в пятиэлементный. Допустим, что необходимо реализовать

таблицу соответствия кодов, приведенную на рис.69. Здесь через N обозначено десятичное число, соответствующее входному двоичному коду. Преобразователи кодов часто создают

N	Трехэлементный код			Пятиэлементный код				
	X ₃	X ₂	X ₁	y ₁	y ₂	y ₃	y ₄	y ₅
0	0	0	0	0	0	0	1	1
1	0	0	1	0	0	1	1	0
2	0	1	0	0	1	0	0	1
3	0	1	1	1	0	0	0	1
4	1	0	0	0	1	1	0	0
5	1	0	1	1	0	1	0	0
6	1	1	0	1	1	0	0	0
7	1	1	1	0	0	1	1	0

Рис.69

По схеме дешифратор – шифратор. Дешифратор преобразует входной код в некоторое десятичное число, а затем шифратор формирует выходной код. Схема преобразователя, созданного по такому принципу, приведена на рис.70, где использован матричный диодный шифратор. Принцип работы такого преобразователя довольно прост. Например, когда на всех входах дешифратора логический «0», то на его выходе 0 появляется логическая «1», что приводит к появлению «1» на выходах y₄ и y₅, т.е.реализуется первая строка таблицы соответствия.

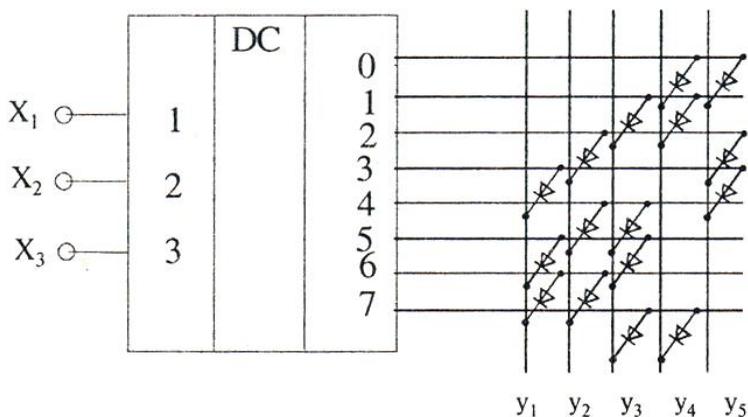


Рис.70

Преобразователи кодов в виде микросхем выпускаются для выполнения таких операций, как преобразование двоично-десятичного кода в код Грея, для преобразования двоичного кода в код управления шкальными или матричными индикаторами, для преобразования двоичного кода в код управления сегментными индикаторами.

Так, микросхема К155ПП15 (рис.3.71,а) представляет преобразователь двоично-десятичного кода в код семисегментного индикатора.

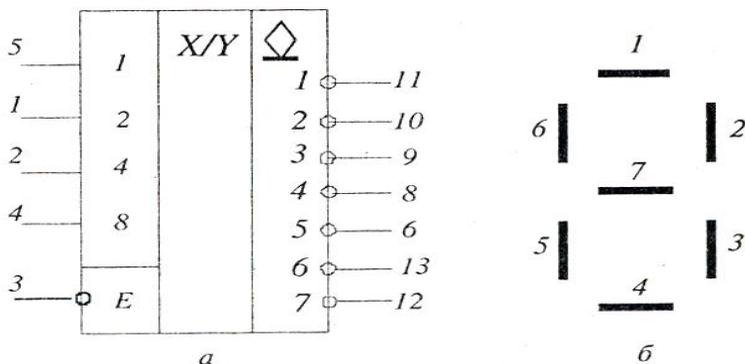


Рис.71

На рис.71,б показано стандартное обозначение сегментов сегментного индикатора.

Вход *E* используется либо для осуществления индикации (подачей на него логического 0), либо для гашения индикатора (подачей на него логической1).

Промышленность выпускает большое число шифраторов, дешифраторов и преобразователей кодов, таких как дешифратор 4x16 со стробированием (К555ИД3), преобразователь кода для управления светодиодной матрицей 7x5 (К155ИД8), преобразователь кода для управления шкальным индикатором (К155ИД15) и др.

Контрольные вопросы:

1. Шифраторы?
2. Дешифраторы?
3. Принцип работы дешифратора?
4. Принцип работы шифратора?

Мультиплексоры и демультиплексоры.

Мультиплексором называют комбинационное устройство, обеспечивающее передачу в желаемом порядке цифровой информации, поступающей по нескольким входам на один выход. Мультиплексоры обозначают через MUX (от англ. Multiplexor), а также через MS (от англ. multiplexor selector). Схематически мультиплексор можно изобразить в виде коммутатора, обеспечивающего подключение одного из нескольких входов (их называют информационными) к одному выходу устройства. Кроме информационных входов в мультиплексоре имеются адресные входы и, как правило, разрешающие (стробирующее). Сигналы на адресных входах определяют, какой конкретно информационный канал подключен к выходу. Если между числом информационных входов n и числом адресных входов m действует соотношение $n=2^m$, то мультиплексор называют полным. Если $n < 2^m$, то мультиплексор называют неполным.

Разрешающие входы используют для расширения функциональных возможностей мультиплексора. Они используются для наращивания разрядности мультиплексора, синхронизации его работы с работой других узлов. Сигналы на разрешающих входах могут разрешать, а могут и запрещать подключение определенного входа к выходу, т.е. могут блокировать действие всего устройства.

Рассмотрим функционирование двухвходового мультиплексора ($2 \rightarrow 1$), которой условно изображен в виде коммутатора, а состояние его входов X_1 , X_2 и выхода Y приведено в таблице (рис.72). Исходя из таблицы, можно написать следующее уравнение:

$$Y = X_1 \cdot \bar{A} + X_2 \cdot A.$$

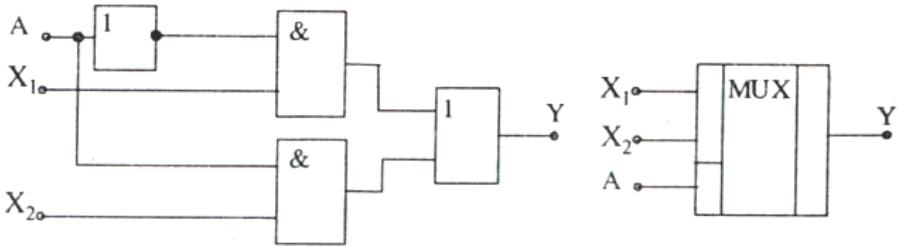


Рис. 73

На рис.73 показаны реализация такого устройства и его условное графическое обозначение. Основной данной схемы являются две схемы совпадения на элементах И, которые при логическом уровне «1» на одном из своих входов повторяют на выходе то, что есть на другом входе.

Если необходимо расширить число входов, то используют каскадное включение мультиплексов. В качестве примера рассмотрим мультиплексор с четырьмя входами (4→1), построенный на основе мультиплексора (2→1). Схема и таблица состояний такого мультиплексора приведены на рис.74.

Мультиплексы являются универсальными логическими устройствами, на основе которых создают различные комбинационные и последовательностные схемы. Мультиплексы могут использоваться в делителях частоты, триггерных устройствах, сдвигающих устройствах и др. Мультиплексы часто используют для преобразования

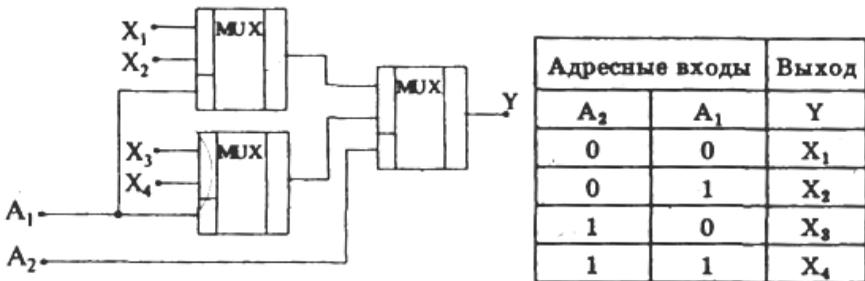


Рис.74

параллельного двоичного кода в последовательный. Для такого преобразования достаточно подать на информационные входы мультиплексора параллельный двоичный код, а сигналы на адресные входы, начиная с первого и кончая последним.

Рассмотрим пример использования мультиплексоров для реализации так называемого комбинационного устройства сдвига, обеспечивающего сдвиг двоичного числа по разрядам. Принцип функционирования данного устройства понятен из схемы устройства и таблицы состояний его выходов.

Мультиплексор может использоваться для реализации любой логической функции, содержащей до $(n+1)$ переменных, где n - число адресных входов мультиплексора.

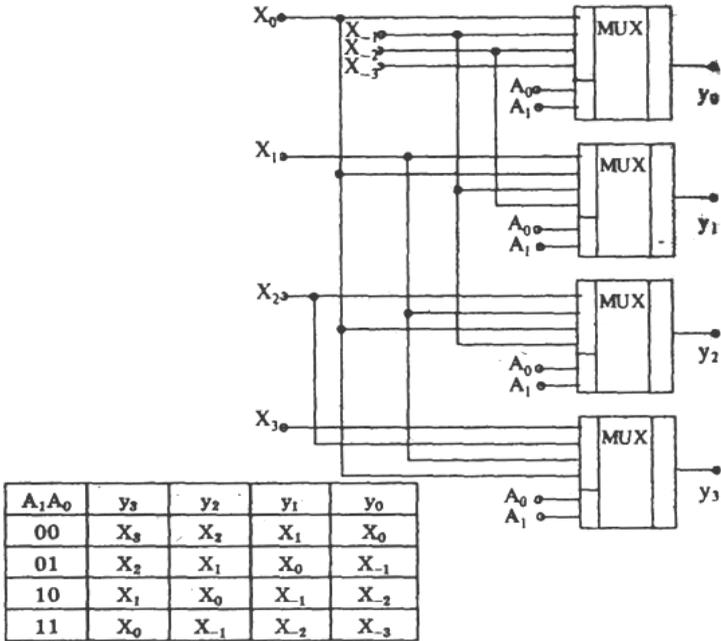


Рис.75

Рассмотрим такое использование мультиплексора на примере восьмивходового мультиплексора (8→1). Работа такого мультиплексора описывается уравнением

$$Y = X_1 \cdot \overline{A_3} \cdot \overline{A_2} \cdot \overline{A_1} + X_2 \cdot \overline{A_3} \cdot \overline{A_2} \cdot A_1 + X_3 \cdot \overline{A_3} \cdot A_2 \cdot \overline{A_1} + \\ + X_4 \cdot \overline{A_3} \cdot A_2 \cdot A_1 + X_5 \cdot A_3 \cdot \overline{A_2} \cdot \overline{A_1} + X_6 \cdot A_3 \cdot \overline{A_2} \cdot A_1 + \\ + X_7 \cdot A_3 \cdot A_2 \cdot \overline{A_1} + X_8 \cdot A_3 \cdot A_2 \cdot A_1,$$

где X_i – информационные входы;

A_i – адресные входы, причем больший номер адресного входа соответствует более старшему разряду адресного входа.

Положим, что нужно реализовать следующую функцию трех переменных:

$$F = \overline{A_3} \cdot \overline{A_2} \cdot \overline{A_1} + \overline{A_3} \cdot A_2 \cdot \overline{A_1} + A_3 \cdot \overline{A_2} \cdot A_1 + A_3 \cdot A_2 \cdot A_1.$$

Сравнивая выражение для логической функции F с уравнением мультиплексора, нетрудно видеть, что если входные переменные логической функции F подать на адресные входы мультиплексора, а на информационных входах мультиплексора установить $X_1 = 1, X_2 = 0, X_3 = 1, X_4 = 0, X_5 = 0, X_6 = 1, X_7 = 0, X_8 = 1$, то на выходе мультиплексора получим требуемую функцию F (рис.76).

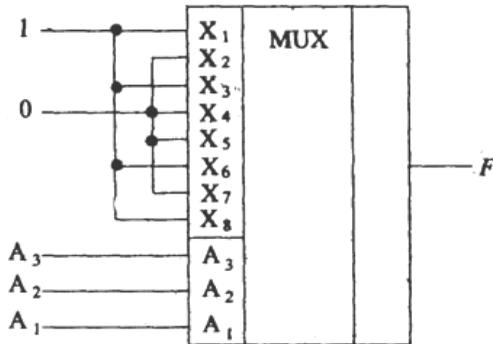


Рис.76

Положим, что нужно реализовать следующую логическую функцию: $F = \overline{A_3} \cdot \overline{A_2} \cdot A_1 + A_3 \cdot A_2$.

Составим для нее таблицу истинности (рис.77).

N	A ₃	A ₂	A ₁	F
1	0	0	0	0
2	0	0	1	1
3	0	1	0	0
4	0	1	1	0
5	1	0	0	0
6	1	0	1	0
7	1	1	0	1
8	1	1	1	1

Рис.77

Очевидно, что если входные переменные A_i подать на адресные входы мультиплексора, на его втором, седьмом и восьмом информационных входах установить логические единицы, а на остальных – логические 0, то мы получим требуемую логическую функцию (рис.78).

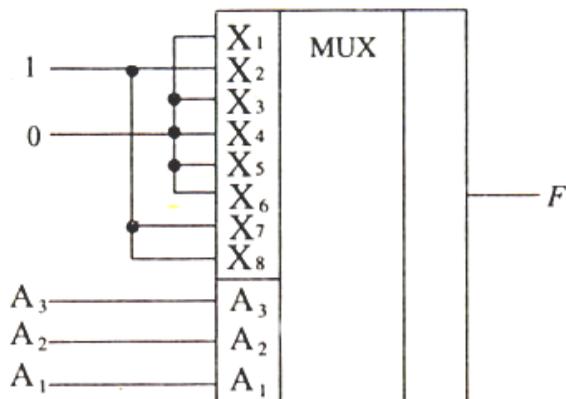


Рис.78

Реализовать логическую функцию, содержащую 3 переменные $F = \overline{A_3} \cdot \overline{A_2} \cdot A_1 + A_3 \cdot A_2$, можно и на мультиплексоре, у которого не три, а два адресных входа, т.е. на мультиплексоре 4→1.

В этом случае сигналы, подаваемые на информационные входы мультиплексора (сигналы настройки), определяются следующим образом. Одна из переменных переносится в число сигналов настройки, а на адресные входы подаются две оставшиеся переменные. В качестве переносимой переменной принимается та переменная, которая входит в выражение для логической функции меньше число раз (в нашем примере в качестве такой переменной возьмем A_1). Составляют таблицу истинности для переменных, подаваемых на адресные входы (в нашем примере это A_3, A_2), и находят функцию для переносимой переменной, фиксируя в выражении для этой искомой функции переменные, подаваемые на адресные входы. Полученная функция называется остаточной (рис.79,а), и именно ее значения нужно подать на информационные входы мультиплексора (рис.79,б).

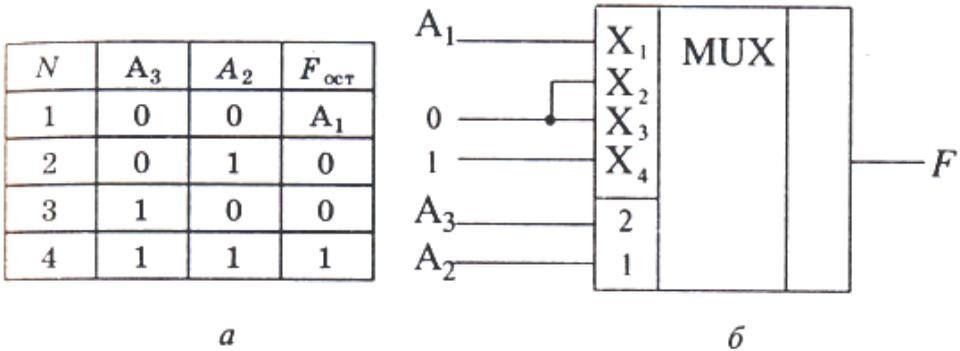


Рис.79

Так, при $A_3=0$ и $A_2=0$ из выражения для логической функции F следует, что $F_{ост}$ будет равна

$$F_{ост} = 1 \cdot 1 \cdot A_1 + 0 \cdot 0 = A_1,$$

$$F_{ост} = 0 \cdot 1 \cdot A_1 + 1 \cdot 0 = 0,$$

при $A_3=1, A_2=0$.

Очевидно, что такое применение мультиплексора позволило использовать более простой, чем ранее, мультиплексор.

Рассмотренное применение мультиплексоров для реализации логических функций гораздо удобнее, чем реализация логических функций И, НЕ, ИЛИ и др. Кроме того, очевидно, что меняя лишь сигналы настройки на информационных входах мультиплексора, можно реализовать различные логические функции, что позволяет избежать дополнительных затрат.

В обозначении мультиплексоров используют две русские буквы КП, например, промышленностью выпускаются такие мультиплексоры, как К155КП1, К531КП18, К561КП3, К555КП17 и др.

Демультимплексором называют устройство, в котором сигналы с одного информационного входа поступают в желаемой последовательности по нескольким выходам в зависимости от кода на адресных шинах. Таким образом, демультимплексор в функциональном отношении противоположен мультиплексору. Демультимплексоры обозначают через DMX или DMS.

Если соотношение между числом выходов n и числом адресных входов m определяется равенством $n=2^m$, то такой демультимплексор называется полным, при $n < 2^m$ демультимплексор является неполным.

Рассмотрим функционирование демультимплексора с двумя выходами, который условно изображен в виде коммутатора, а состояние его входов и выходов приведено в таблице (рис.80). Из этой таблицы следует:
 $Y_1 = X \cdot \bar{A}; Y_2 = X \cdot A$, т.е. реализовать такое устройство можно так, как показано на рис.80.

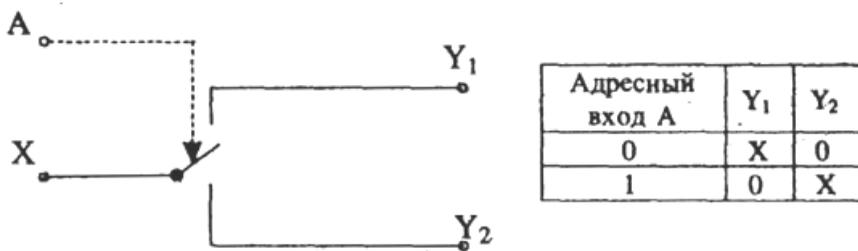


Рис.80

Для наращивания числа выходов демультиплексора используют каскадное включение демультиплексоров. В качестве примера (рис.81) рассмотрим построение демультиплексоров с 16 выходами (1→16) на основе демультиплексоров с 4 выходами (1→4). При наличии на адресных шинах A_0 и A_1 нулей информационный вход X подключен к верхнему выходу DMX_0 и в зависимости от состояния адресных шин A_2 и A_3 он может быть подключен из выходов DMX_1 . Так, при $A_2=A_3=0$ вход X подключен к Y_0 . При $A_0=1$ и $A_1=0$ вход X подключен к DMX_2 , в зависимости от состояния A_2 и A_3 вход соединяется с одним из выходов $Y_4 \rightarrow Y_7$ и т.д.

Функции демультиплексоров сходны с функциями дешифраторов. Дешифратор можно рассматривать как демультиплексор, у которого информационный вход поддерживает напряжение выходов в активном состоянии, а адресные входы выполняют роль входов дешифратора. Поэтому обозначение как дешифраторов, так и демультиплексоров используется одинаковые буквы - ИД. Выпускают дешифраторы (демультиплексоры) К155ИД3, К531ИД7 и др.

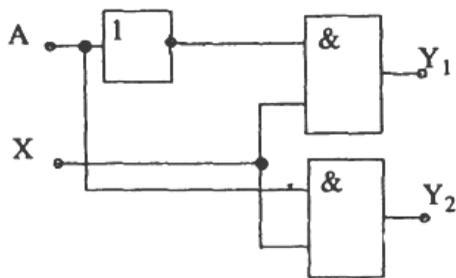


Рис. 81

Так, если в дешифраторе КР531ИД14А вход разрешение E считать за информационной и поскольку он инверсный, то подать на него 0, а информационные входы дешифратора считать за адресные входы демультиплексора, то получим демультиплексор 1→4 (см.рис.66).

При использовании КМОП -технологии можно построить двунаправленные ключи, которые обладают возможностью пропускать ток в обоих направлениях и передавать не только цифровые, но и аналоговые сигналы. Благодаря этому можно строить мультиплексоры – демультиплексоры, которые могут использоваться либо как мультиплексоры, либо как демультиплексоры. Мультиплексоры – демультиплексоры обозначаются через МХ (рис.82).

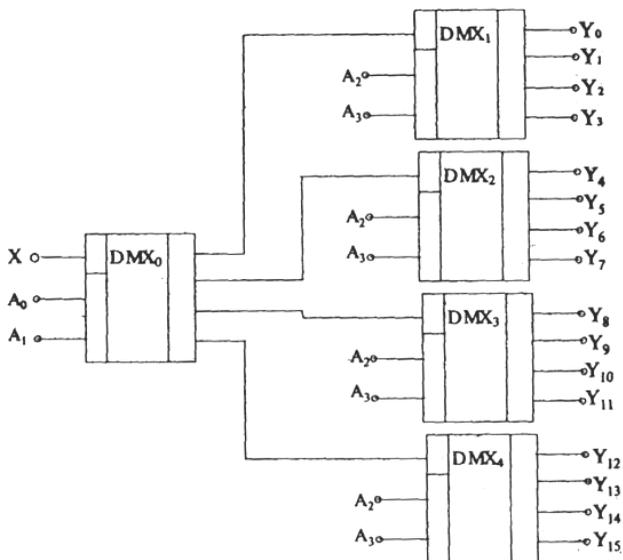


Рис.82

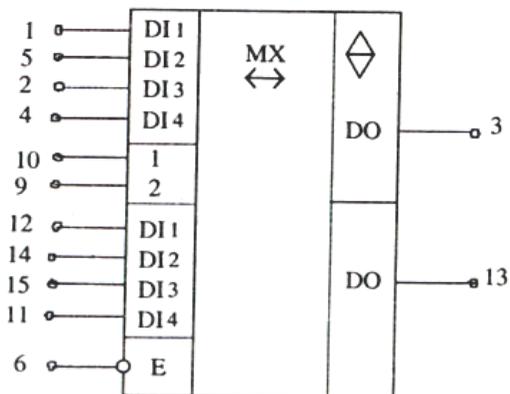


Рис.83

Так мультиплексор – демультиплексор К561КП1 (рис.83) содержит два четырехвходовых мультиплексора $4 \rightarrow 1$, которые могут использоваться и как демультиплексоры $1 \rightarrow 4$.

Микросхема содержит один общий инверсный вход разрешения (стробирования) и два общих адресных входа. При

логический 1 на входе разрешения выходы отключаются от информационных входов и переходят в высокоимпедансное состояние.

При активизации входа разрешения, т.е. при подаче на логического 0, происходит соединение одного из информационных входов (в соответствии с кодом на адресных входах) с выходом микросхемы. Поскольку это состояние происходит при помощи двунаправленных ключей на КМОП – транзисторах, то сигнал может передаваться как со входов на выход (режим мультиплексора), так и с выхода на входы (режим демультимплексора). Кроме того, передаваемый сигнал может быть как аналоговым, так и цифровым.

Среди выпускаемых мультиплексоров - демультимплексоров можно выделить такие, как К564КП2, К590КП1. Мультиплексоры – демультимплексоры входят в состав серий К176, К561, К591, К1564.

Контрольные вопросы:

1. Мультиплексоры?
2. Демультимплексоры?
3. Принцип работы демультимплексора КР531ИД14А?

Сумматоры.

Сумматоры – это комбинационные устройства, предназначенные для сложения чисел. Рассмотрим сложение двух одноразрядных двоичных чисел, для чего составим таблицу сложения (таблицу истинности), в которой отразим значения входных чисел A и B , значение результата суммирования S и значение переноса в старший разряд P (рис.84).

A	B	P	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Рис.84

Работа устройства, реализующего таблицу истинности, описывается следующим уравнениями: $S = A \cdot \bar{B} + \bar{A} \cdot B$; $P = A \cdot B$. Очевидно, что по отношению к столбцу S реализуется логическая функция «исключающее ИЛИ», т.е. $S = A \oplus B$. Устройство, реализующее таблицу (см.рис.84), называют полусумматором, и оно имеет логическую структуру, изображенную на рис.3.85. Поскольку полусумматор имеет только два входа,

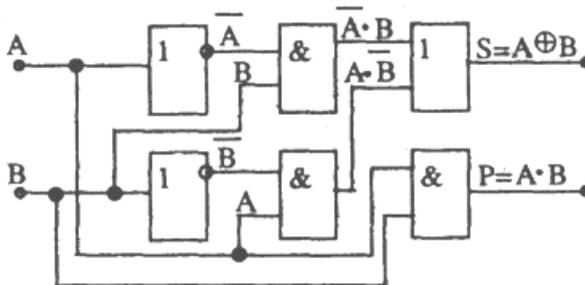


Рис.85

он может использоваться для суммирования лишь в младшем разряде.

При суммировании двух многоразрядных чисел для каждого разряда (кроме младшего) необходимо использовать устройство, имеющее дополнительный вход переноса. Такое устройство (рис.86) называют полным сумматором и его можно представить как объединение двух полусумматоров ($P_{вх}$ – дополнительный вход переноса).

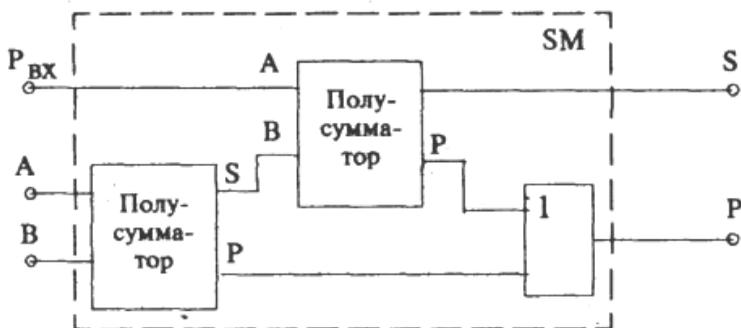


Рис.86

Сумматор обозначают через SM.

Соединяя определенным образом полусумматоры и полные сумматоры друг с другом, получают устройство для выполнения сложения нескольких разрядов двоичных чисел. В качестве примера рассмотрим устройство для сложения двух трехразрядных двоичных чисел $A_2 A_1 A_0$ и $B_2 B_1 B_0$, где A_0 и B_0 – младшие разряды двоичных чисел (рис.87).

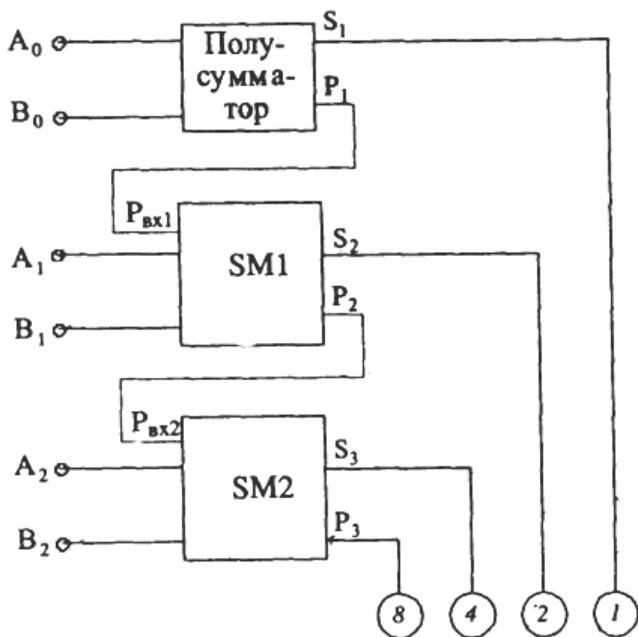


Рис.87

На выходах S_1-S_3 формируется код суммы чисел $A_2 A_1 A_0$ и $B_2 B_1 B_0$, а на выходе P_3 - сигнал переноса в следующую микросхему, так как при сложении двух трехразрядных двоичных чисел может получиться четырехразрядное число.

Рассмотренный сумматор называется параллельным сумматором.

В виде интегральных микросхем выпускаются одноразрядное, двухразрядное и четырехразрядные двоичные сумматоры.

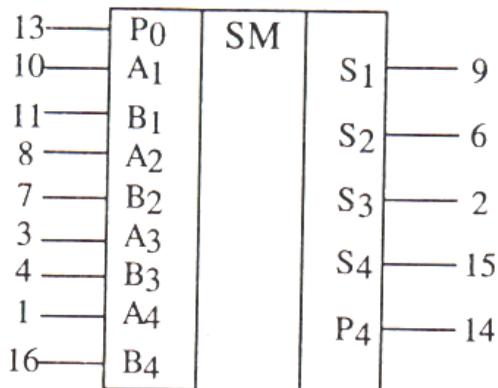


Рис. 88

Микросхема К155ИМ3 (рис.88) является четырехразрядным сумматором, имеющим входы A_i и B_i для подачи разрядов суммы чисел S_i , вход переноса P_0 , имеющийся у младшего разряда входных чисел, и выход переноса P_4 .

С целью наращивания разрядности суммируемых чисел микросхемы соединяют последовательно, для чего выход переноса непосредственно соединяют со входом переноса микросхем, принадлежащим более высоким разрядам.

У микросхемы, суммирующие младшие разряды чисел, вход переноса P_0 следует соединять с общим проводом.

Следует отметить, что в рассмотренных параллельных сумматорах для суммирования в каждом разряде используется отдельный сумматор, но перенос из разряда в разряд осуществляется последовательно, что и определяет время выполнения суммирования в таком параллельном сумматоре с последовательным переносом.

Для повышения быстродействия сумматоров необходимо уменьшить время переноса, что достигается использованием вместо последовательного параллельного переноса. Так микросхема К555ИМ6 представляет собой четырехразрядный сумматор с параллельным переносом.

Рассмотренные сумматоры могут использоваться для вычитания двоичных чисел. В этом случае операция вычитания заменяется сложением уменьшаемого с вычитаемым, представленным в дополнительном коде, т.е. операцией

$$A_{\text{пр}} - B_{\text{пр}} = A_{\text{пр}} + B_{\text{доп}} = A_{\text{пр}} + B_{\text{обр}} + 1,$$

где, А и В – многоразрядные двоичные числа, например, четырехразрядные.

Тогда

$$A_{\text{пр}} = A_4 \cdot A_3 \cdot A_2 \cdot A_1, B_{\text{пр}} = B_4 \cdot B_3 \cdot B_2 \cdot B_1,$$

$$B_{\text{обр}} = \overline{B_4} \cdot \overline{B_3} \cdot \overline{B_2} \cdot \overline{B_1}, B_{\text{доп}} = B_{\text{обр}} + 1.$$

Рассмотрим пример вычитания двух десятичных чисел: из 10 вычесть 5.

Двоичный эквивалент 10 равен 1010, а 5-0101.

Для реализации описанного алгоритма вычитаемого нужно преобразовать в обратное, т.е. получим 1010, затем это преобразованное вычитаемое сложить с уменьшаемым и к результату прибавить 1, т.е.

$$\begin{array}{r} 1010 \\ +1010 \\ \hline 10100 \\ \hline + \quad 1 \\ \hline 10101 \end{array}$$

Четыре младших разряда результата представляют собой результат 0101, т.е. 5-десятичное число.

Следует подчеркнуть, что если $A > B$, т.е. результат – положительное число, то ответ формируется в прямом коде, при этом формируется 1 переноса в более старший разряд, при $A < B$ ответ формируется в обратном коде и 1 переноса в более старший разряд не образуется.

Рассмотрим реализацию операции вычитания на примере четырехразрядного сумматора (рис.3.89).

Наличие или отсутствие логической 1 на выходе переноса P_4 используют для распознавания знака результата, образуя циклический перенос, т.е. соединяя выход переноса P_4 со входом переноса P_0 . Когда сигнал переноса соответствует логической 1, то реализуется описанный выше алгоритм и на

выходе S_i формируется результат в прямом коде, при нулевом значении сигнала переноса результат формируется в обратном коде, которой несложно преобразовать в прямой.

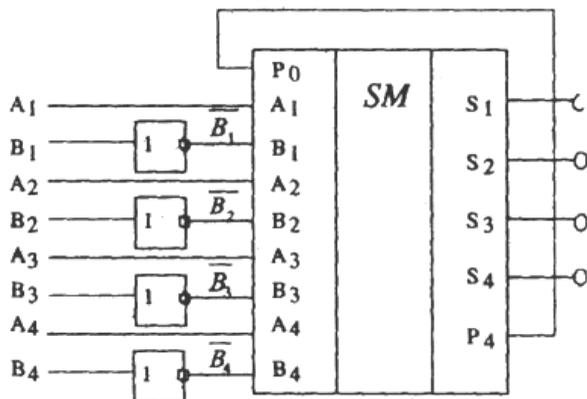


Рис.89

Если вместо инверторов включить логические элементы «исключающие ИЛИ» и на один из входов каждого элемента подавать соответствующие разряды вычитаемого, а вторые входы всех элементов объединить, то при подаче на этот объединенный вход с логического 0 устройство будет работать как сумматор, а при подаче на этот объединенный вход логической 1 – как вычитатель. В цепи циклического переноса включен логический элемент И, который в режиме сложения блокирует эту цепь (рис.90). В справедливости сказанного легко убедиться самостоятельно.

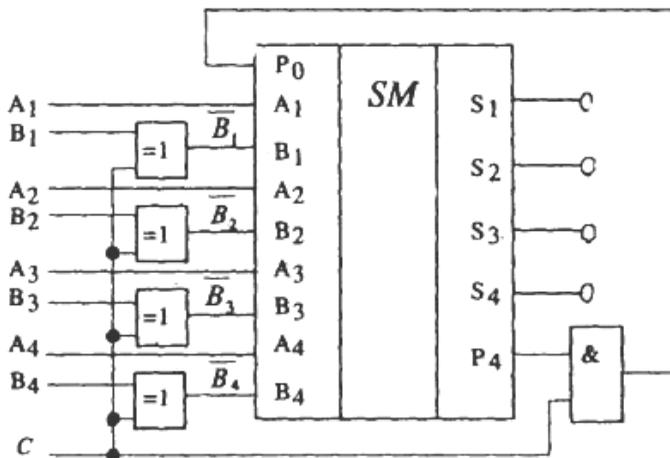


Рис.90

1. ?

Цифровые компараторы.

Цифровые компараторы выполняют сравнение двух чисел, заданных в двоичном коде. Они могут определять равенство двух двоичных чисел A и B с одинаковым количеством разрядов либо вид неравенство $A > B$ или $A < B$. Цифровые компараторы имеют три выхода.

Схема одноразрядного компаратора представляет собой структуру логического элемента «исключающие ИЛИ-НЕ» (рис.91).

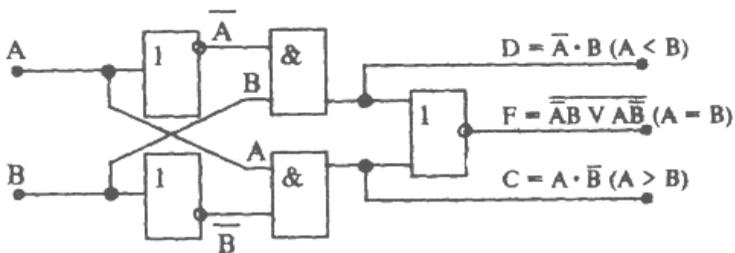


Рис.91

Из анализа схемы следует, что если $A=B$, то $F=1$, в противном случае, т.е. при $A \neq B$, $F=0$. Если $A > B$, т.е. $A=1, B=0$, то $C=1$, а если $A < B$, т.е. $A=0, B=1$, то $D=1$.

Если попарно равны между собой все разряды двух n -разрядных двоичных чисел, то равны эти два числа A и B . Применяя цифровой компаратор для каждого разряда, например, четырехзначных чисел, и определяя значения F_1, F_2, F_3, F_4 логических переменных на выходах компараторов, факт равенства $A=B$ установим в случае, когда $F = F_1 \cdot F_2 \cdot F_3 \cdot F_4 = 1$. Если же $F=0$, то $A \neq B$.

Неравенство $A > B$ обеспечивается (для четырехразрядного числа) в четырех случаях: или $A_4 > B_4$, или $A_4 = B_4$ и $A_3 > B_3$, или $A_4 = B_4, A_3 = B_3$ и $A_2 > B_2$, или $A_4 = B_4, A_3 = B_3, A_2 = B_2$ и $A_1 > B_1$ (где A_4 и B_4 – старшие разряды чисел A и B). Очевидно, что если поменять местами A_i и B_i , то будет выполняться неравенство $A < B$.

Цифровые компараторы выпускают, как правило, в виде самостоятельных микросхем. Так, микросхема К564ИП2 (рис.92) является четырехразрядным компаратором, в котором каждой из одноразрядных компараторов аналогичен рассмотренный ранее схеме. Даня микросхема имеет расширяющие входы $A < B, A = B, A > B$, что позволяет наращивать разрядность обоих чисел. Для этого компараторы соединяют каскадно или параллельно (пирамидально).

Если используется одна микросхема, то на ее вход 5 следует подать логический 0, а

На входы 6 и 4 – логические 1.

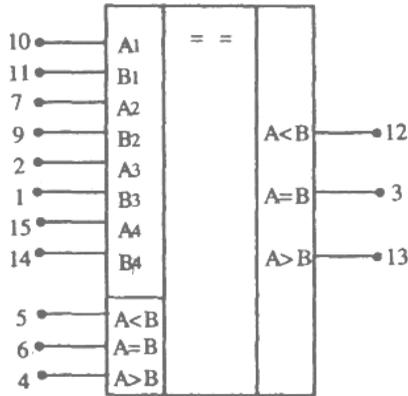


Рис.92

Рассмотрим каскадное соединение компараторов К564ИП2 для сравнения двух восьмиразрядных чисел (рис.93). При этом соединении выходы $A=B$ и $A<B$ предыдущей микросхемы (младшие разряды) подключают к соответствующим входам последующий. На входы $A<B$, $A=B$, $A>B$ микросхемы младших разрядов подают соответственно потенциалы U^0 , U^1 и (U^0 соответствует логическому 0, а U^1 – «1»). В последующих микросхемах на входах $A>B$ поддерживают потенциал логической единицы U^1 .

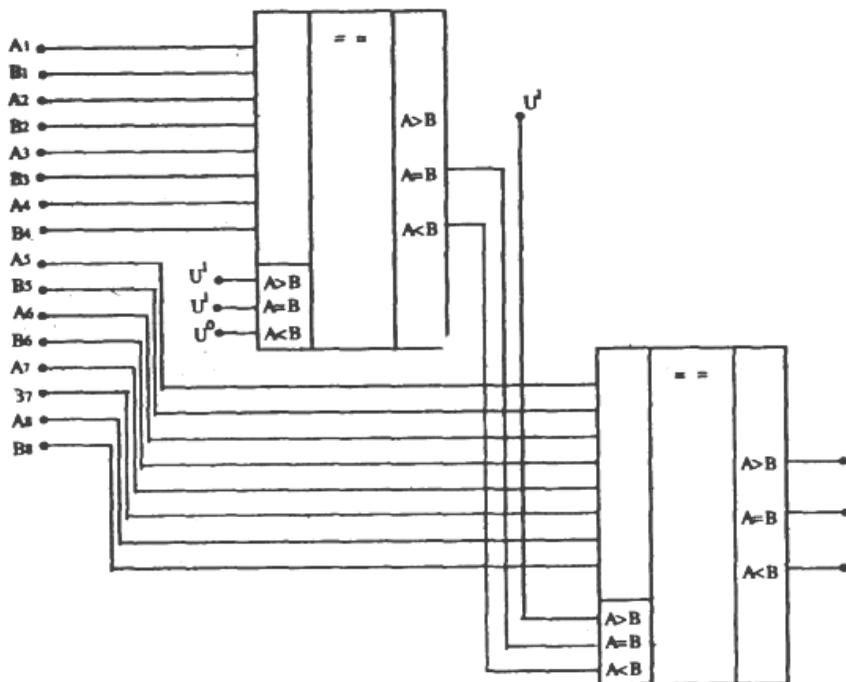


Рис.93

Контрольные вопросы::

1. Полусумматоры и сумматоры?
2. Принцип работы микросхемы К155ИМ3?
3. Многоразрядные сумматоры
4. Схема одноразрядного компаратора?
5. Каскадные соединения компараторов?

Лекция 8 Последовательностные цифровые устройства. Триггеры.

План:

1. Основные понятия.
2. Асинхронные RS-триггеры.
3. Двухтактные MS-триггеры.

Триггер — простейшее последовательностное устройство, которое может находиться в одном из двух возможных состояний и переходить из одного состояния в другое под воздействием входных сигналов. Триггер является базовым элементом последовательностных логических Устройств. Входы триггера разделяют на информационные и Управляющие (вспомогательные). Это разделение в значительной степени условно. Информационные входы используются для управления состоянием триггера. Управляющие входы обычно используются для предварительной установки триггера в некоторое состояние и для синхронизации.

Триггеры могут иметь 2 выхода: прямой Q и инверсный Q.

Триггеры классифицируют по различным признакам, поэтому существует достаточно большое число классификаций. К сожалению, эти классификации не образуют стройной системы, но инженеру необходимо их знать. Триггеры классифицируют по следующим признакам:

- способу приема информации;
- принципу построения;
- функциональным возможностям.

Различают асинхронные и синхронные триггеры.

Асинхронный триггер изменяет свое состояние непосредственно в момент появления соответствующего информационного сигнала.

Синхронные триггеры реагируют на информационные сигналы только при наличии соответствующего сигнала на так называемом входе синхронизации С (от англ. clock). Этот вход также обозначают терминами «строб», «такт».

Синхронные триггеры в свою очередь подразделяют на триггеры со статическим (статические) и динамическим (динамические) управлением по входу синхронизации С. Статические триггеры воспринимают информационные сигналы при подаче на вход С логической единицы (прямой вход) или логического нуля (инверсный вход). Динамические триггеры воспринимают информационные сигналы при изменении (перепаде) сигнала на входе С от 0 к 1 (прямой динамический С-вход) или от 1 к 0 (инверсный динамический С-вход).

Статические триггеры в свою очередь подразделяют на одноступенчатые (однотактные) и двухступенчатые (двухтактные). В одноступенчатом триггере имеется одна ступень запоминания информации, а в двухступенчатом — две такие ступени. Вначале информация записывается в первую ступень, а затем переписывается во вторую и появляется на выходе. Двухступенчатый триггер обозначают через ТТ.

По функциональным возможностям триггеры разделяют на следующие классы:

- с отдельной установкой состояния 0 и 1 (RS-триггеры);
- универсальные (JK-триггеры);
- с приемом информации по одному входу D (D-триггеры, или триггеры задержки);
- со счетным входом Т (Т-триггеры).

Входы триггеров обычно обозначают следующим образом:

- S — вход для установки в состояние «1»;
- R — вход для установки в состояние «0»;
- J — вход для установки в состояние «1» в универсальном триггере;
- K — вход для установки в состояние «0» в универсальном триггере;
- T — счетный (общий) вход;

- D — вход для установки в состояние «1» или в состояние «0»;
- V — дополнительный управляющий вход для разрешения приема информации (иногда используют букву E вместо V).

Рассмотрим некоторые типы триггеров и их реализацию на логических элементах.

Обратимся к асинхронному RS-триггеру, имеющему условное графическое обозначение, приведенное на Рис. 94. Триггер имеет два информационных входа: S (от англ. set) и R (от англ. reset).

Закон функционирования триггеров удобно описывать таблицей переходов, которую иногда также называют таблицей истинности (рис. 95). Через S^t , R^t , Q^t обозначены

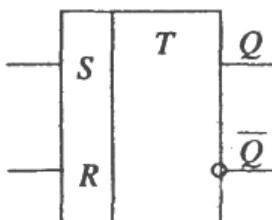


Рис. 94

S^t	R^t	Q^{t+1}	Режим
0	0	Q^t	Хранение
1	0	1	Установка 1
0	1	0	Установка 0
1	1	-	Неопределенность

Рис. 95

соответствующие логические сигналы, имеющие место в некоторый момент времени t , а через Q^{t+1} - выходной сигнал в следующий момент времени $t+1$. Комбинацию входных сигналов $S^t=1, R^t=1$ часто называют запрещенной, так как после нее триггер оказывается в состоянии (1 или 0), предсказать которое заранее невозможно. Подобных ситуаций нужно избегать.

Рассматриваемый триггер может быть реализован на двух элементах ИЛИ-НЕ (рис. 96). Необходимо убедиться

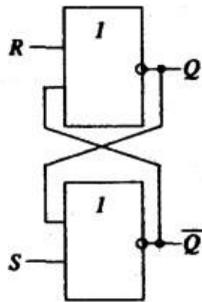


Рис. 96

что эта схема функционирует в полном соответствии с приведенной выше таблицей переходов, которая на рис. 3.95 приведена в сокращенном виде. Полная таблица истинности (таблица переходов) ЛУ-триггера имеет следующий вид (рис. 97).

S^t	R^t	Q^t	Q^{t+1}	Режим
0	0	0	0	Хранение
0	0	1	1	
1	0	0	1	Установка 1
1	0	1	1	
0	1	0	0	Установка 0
0	1	1	0	

1	1	0	-	Неопределенность
1	1	1	-	

Рис. 97

Составим карту Вейча (рис. 98) ЛУ-триггера, используя таблицу переходов (см. рис. 97).

Из карты Вейча получим характеристическое уравнение RS-триггера

$$Q^{t+1} = S^t \cdot \overline{R^t} + \overline{R^t} \cdot Q^t.$$

Поскольку комбинация $S^t = R^t = 1$ является запрещенной, то характеристическое уравнение должно быть дополнено условием $S^t * R^t = 0$.

С учетом этого условия получим

$$Q^{t+1} = S^t + \overline{R^t} \cdot Q^t, S^t \cdot R^t = 0.$$

Микросхема К564ТР2 содержит 4 асинхронных RS-триггера и один управляющий вход (рис. 99). При подаче на вход V низкого уровня выходы триггеров отключаются от выводов микросхем и переходят в третье (высокоимпедансное) состояние. При подаче на вход V логического сигнала «1» триггеры работают в соответствии с вышеприведенной таблицей переходов.

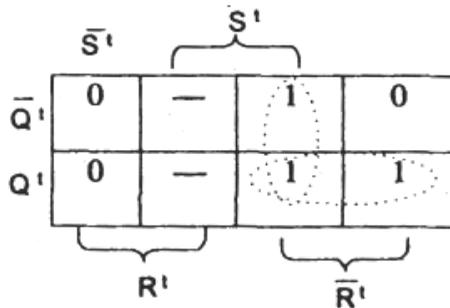


Рис. 98

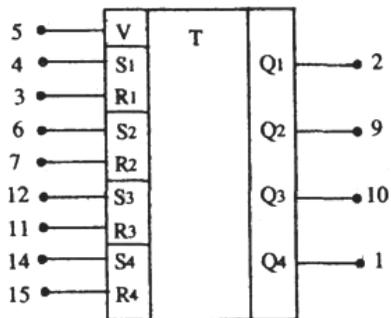


Рис. 99

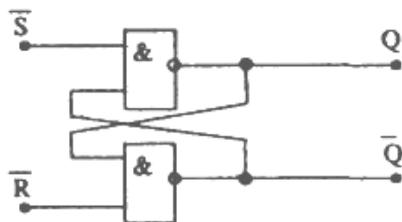


Рис. 100

В асинхронном RS-триггере на элементах И-НЕ переключение производится логическим «0», подаваемым на вход R или \bar{S} , т. е. реализуется обратная рассмотренной ранее таблица переходов (рис. 100). Запрещенная комбинация соответствует логическим «0» на обоих входах. Для такого триггера с инверсными входами аналогично можно получить следующее характеристическое уравнение:

$$Q^{t+1} = \bar{S}^t + Q^t \cdot R.$$

Рассмотрим синхронный RS-триггер (рис. 101). Если на входе C — логический «0», то и на выходе верхнего входного элемента «И-НЕ», и на выходе нижнего будет логическая «1». А это, как отмечалось выше, обеспечивает хранение информации. Таким образом, если на входе C — логический «0», то

воздействие на входы К, 8 не приводит к изменению состояния триггера. Если же на вход синхронизации С подана логическая единица, то схема реагирует на входные сигналы точно так же, как и рассмотренная ранее (см. рис. 96).

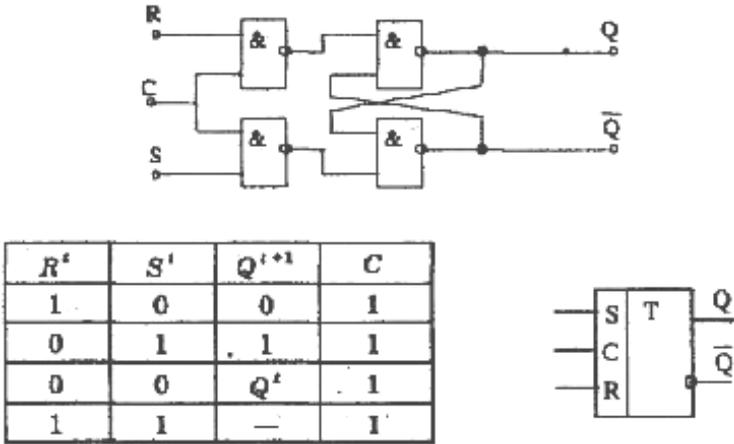


Рис. 101

Рассмотрим принцип построения двухступенчатого триггера, который называют также триггером типа М8 (от англ. master,slave, что переводят обычно как «ведущий» и «ведомый»). Его упрощенная структурная схема приведена на рис. 102. В схеме имеются два одноступенчатых триггера (ведущий М и ведомый 8) и два электронных ключа (Кл1 и Кл2).

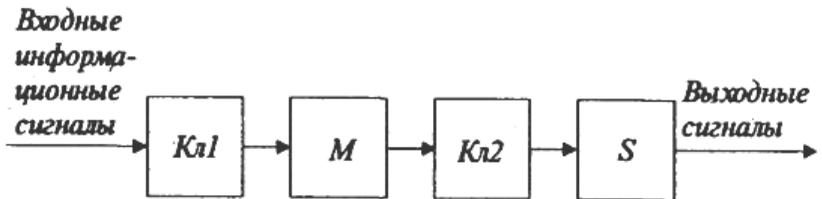


Рис. 102

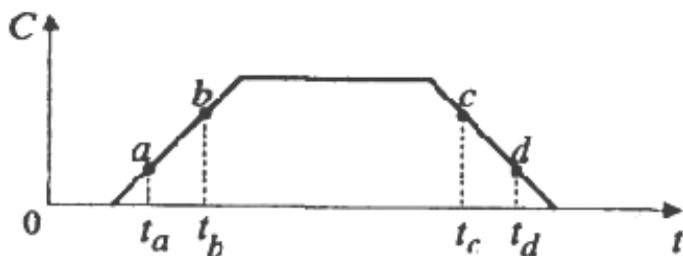


Рис. 103

Временная диаграмма сигнала синхронизации, поясняющая работу триггера, приведена на рис.103.

Рассмотрим ряд временных интервалов указанной диаграммы:

- $t < t_a$ — ведущий триггер отключен от информационных входов, ведомый триггер подключен к ведущему;
- $t_a < t < t_b$ — ведущий триггер отключен от информационных входов, ведомый триггер отключен от ведущего;
- $t_b < t < t_c$ — ведущий триггер подключен к информационным входам, ведомый триггер отключен ждущего. В ведущий триггер записывается информация, поданная на входы;
- $t_c < t < t_d$ — ведущий триггер отключен от информационных входов, ведомый триггер отключен от ведущего;
- $t_d < t$ — ведущий триггер отключен от информационных входов, ведомый триггер подключен к ведущему, информация из ведущего триггера переписывается в ведомый. Это происходит сразу после момента времени t_d и означает, что фактически двух ступенчатый триггер срабатывает при изменении сигнала синхронизации от 1 к 0. При этом выходные сигналы определяются теми входными информационными сигналами, которые имели место не посредственно перед отрицательным фронтом сигнала синхронизации.

Контрольные вопросы:

1. Асинхронные RS-триггеры?
2. Двухтактные MS-триггеры?
3. Особенности асинхронных триггеров?
4. Особенности синхронных триггеров?

Универсальные синхронные триггеры.

1. JK-триггеры.
2. D-триггеры.
3. Счетные T-триггеры.

Рассмотрим JK-триггер (от англ. jump и keep), отличающийся от рассмотренного RS-триггера тем, что появление на обоих информационных входах (J и K) логических единиц (для прямых входов) приводит к изменению состояния триггера. Такая комбинация сигналов для JK-триггера не является запрещенной. В остальном JK-триггер подобен RS-триггеру, причем роль входа S играет вход J, роль входа R — вход K. JK-триггеры реализуют в виде триггеров типа MS или в виде динамических триггеров (т. е. JK-триггеры являются синхронными).

На рис. 104 приведено условное графическое обозначение двухступенчатого JK-триггера.

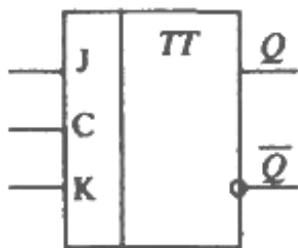


Рис. 104

Полная таблица истинности JK-триггера (таблица переходов, таблица истинности) аналогична таблице истинности RS-триггера (см. рис. 97), но не имеет неопределенных состояний (рис. 105).

Y^t	K^t	Q^t	Q^{t+1}	Режим
0	0	0	0	Хранение

0	0	1	1	
0	1	0	0	Установка 1
0	1	1	0	
1	0	0	1	Установка 0
1	0	1	1	
1	1	0	1	$Q^{t+1} = Q^t$
1	1	1	0	

Рис. 105

Данная таблица справедлива при активизации входа синхронизации. Составив по ней карту Вейча (см. рис. .106), получим характеристическое уравнение JK-триггера

$$Q^{t+1} = J^t \cdot \bar{Q}^t + \bar{K}^t \cdot Q^t .$$

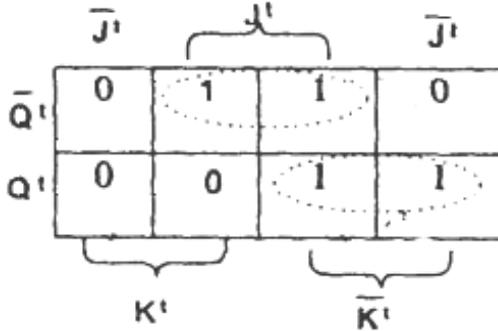


Рис. 106

Следует отметить, что JK-триггер может снабжаться дополнительными входами и служит для установки триггера в состояние 0 и 1 независимо от сигналов на информационных входах и входах синхронизации.

Обратимся к динамическим триггерам. Для них характерно блокирование информационных входов в тот момент, когда полученная информация передается на выход. Нужно отметить, что в отношении реакции на входные сигналы динамический триггер, срабатывающий при изменении сигнала на входе С от 1 к 0, подобен рассмотренному двухступенчатому триггеру, хотя они отличаются внутренним устройством.

Для прямого динамического С-входа используют обозначения, приведенные на рис. 107, а, а для инверсного динамического С-входа используют обозначения, приведенные на рис. 107, б.

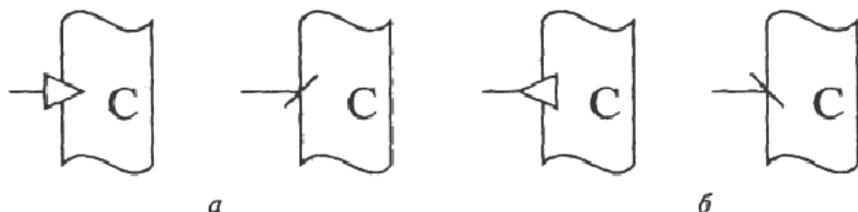


Рис. 107

Микросхема К555ТВ6 (рис. 108) представляет собой два JK-триггера с динамическим управлением по входу синхронизации, имеющие инверсные входы асинхронной установки R и S.

При подаче логического 0 на вход S и логической 1 на вход R триггер устанавливается в единичное состояние ($Q = 1$). При подаче на вход S логической 1, а на вход R логического 0 триггер устанавливается в нулевое состояние ($Q = 0$). При $S = R = 1$ триггер работает как синхронный JK-триггер, причем срабатывает он при изменении сигнала на входе синхронизации С от 1 к 0.

Рассмотрим D-триггер (от англ. *delay*), повторяющий на своем выходе состояние входа. Рассуждая чисто теоретически D-триггер можно образовать из любых RS- или

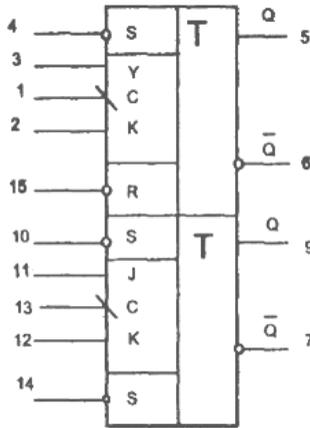


Рис. 108

JK-триггеров, если на их входы одновременно подавать взаимно инверсные сигналы. Хранение информации в D-триггерах обеспечивается за счет синхронизации, поэтому все реальные D-триггеры имеют два входа: информационный D и синхронизации C (рис. 109). В этом триггере сигнал на входе по сигналу синхронизации записывается и передается на выход.

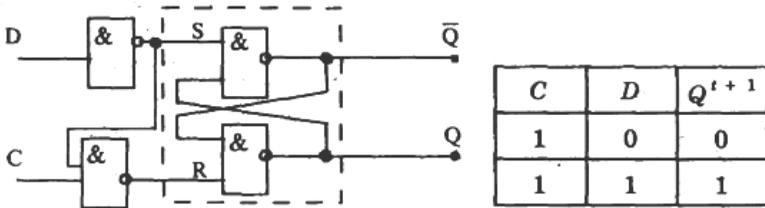


Рис. 109

Так как информация на выходе остается неизменной до прихода очередного импульса синхронизации, D-триггер называют также триггером с запоминанием информации или триггером-защелкой. Условное графическое обозначение D-триггера приведено на рис.110.

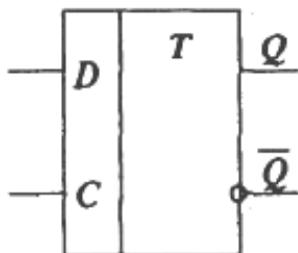


Рис. 110

D-триггер также может быть снабжен дополнительными входами асинхронной установки.

Так, микросхема K561TM2 (рис. 111) представляет собой два триггера с динамическим управлением по входу синхронизации, имеющие входы асинхронной установки R и S.

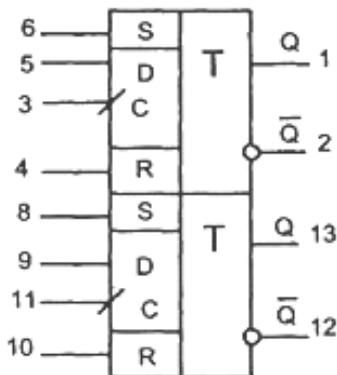


Рис. 111

Так, микросхема K561TM2 (рис. 111) представляет собой два триггера с динамическим управлением по входу синхронизации, имеющие входы асинхронной установки R и S.

При подаче на вход S логической 1 и на вход R логического 0 триггер устанавливается в единичное состояние ($Q = 1$). При подаче на вход S логического 0 и на вход R логической 1 триггер устанавливается в нулевое состояние. При $S = R = 0$ триггер

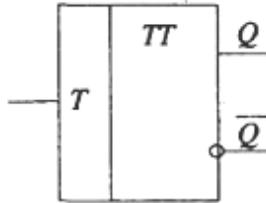


Рис. 112

работает как D-триггер, повторяя Q выходе 2 сигнал на входе \bar{Q} при воздействии положительного напряжения на входе синхронизации.

Рассмотрим T-триггер, который изменяет свое логическое состояние на противоположное по каждому активному сигналу на информационном входе T . Условное графическое обозначение двухступенчатого T-триггера приведено на рис. 112.

Согласно таблице истинности JK-триггера (см. рис. 105) JK-триггер переходит в инверсное состояние каждый раз при одновременной подаче на входы J и K логической 1. Это свойство позволяет создать на базе JK-триггера T-триггер, объединяя входы J и K . T-триггер часто называют счетным триггером.

Контрольные вопросы:

1. JK-триггеры?
2. D-триггеры?
3. Счетные T-триггеры?

Лекция 9. Тема.Регистры.

План:

1. Классификация регистров.
2. Параллельные регистры.
3. Последовательные регистры.
4. Универсальные регистры.

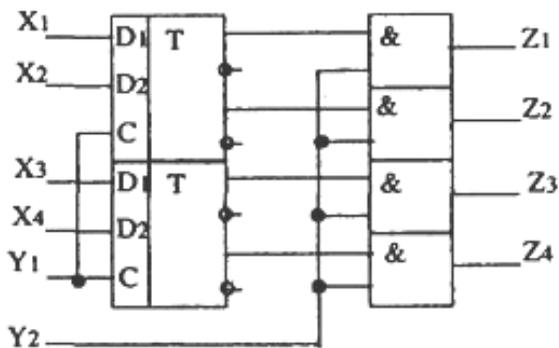
Регистр — это последовательностное логическое устройство, используемое для хранения и-разрядных двоичных чисел и выполнения преобразований над ними. Регистр представляет собой упорядоченную последовательность триггеров, число которых соответствует числу разрядов в слове.

С каждым регистром обычно связано комбинационное цифровое устройство, с помощью которого обеспечивается выполнение некоторых операций над словами.

Типичными являются следующие операции:

- прием слова в регистр;
- передача слова из регистра;
- поразрядные логические операции;
- сдвиг слова влево или вправо на заданное число разрядов;
- преобразование последовательного кода слова в параллельный и обратно;
- установка регистра в начальное состояние (сброс). Фактически любое цифровое устройство можно представить в виде совокупности регистров, соединенных друг с другом при помощи комбинационных цифровых устройств. Регистры классифицируются по следующим видам:
 - накопительные (регистры памяти, хранения);
 - сдвигающие. В свою очередь сдвигающие регистры делятся:
 - по способу ввода-вывода информации на:
 - параллельные,
 - последовательные,
 - комбинированные;

- по направлению передачи информации на:
—однаправленные,
реверсивные.



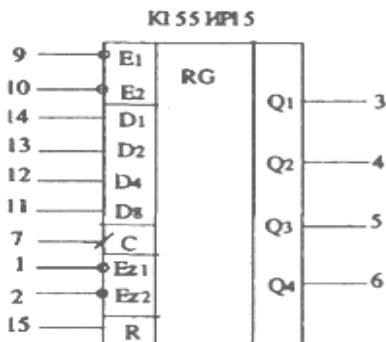
$Y_1 = 1$ — параллельная запись;
 $Y_1 = Y_2 = 0$ — хранение;
 $Y_2 = 1$ — параллельное считывание.

Рис. 120

Рассмотрим накопительный регистр с параллельным вводом и выводом информации (рис. 120). Основой регистра являются D-триггеры, которые на своих выходах повторяют значения сигналов на входах X_1 — X_4 (информационные входы) при логическом сигнале 1 на входе синхронизации (т. е. осуществляется параллельный ввод входной информации в регистр). На четырех двухвходовых элементах «И» реализованы схемы совпадения, входные сигналы которых совпадают с выходными сигналами триггеров в том случае, когда на вход Y_2 подана логическая единица. Таким образом осуществляется параллельный вывод информации. В качестве примера рассмотрим микросхему регистра К135ИР15. Приведем условное обозначение и таблицы внутренних и выходных состояний (рис. 121).

Микросхема К155ИР15 представляет собой четырехразрядный параллельный регистр памяти с тремя входные -

состояниями. Микросхема имеет следующие выводы: D_1 - D_4 — информационные входы, Q_1 - Q_4 — выходы регистра C - вход синхронизации, R — вход сброса триггеров регистра в нулевое состояние, входы EZ_1 - EZ_2 — для перевода выходов регистра в высокоимпедансное состояние.



R	C	E_1	E_2	D_i	Q_i	Режим
0		0	0	0	0	Параллельный ввод
0		0	0	1	1	Параллельный ввод
0	*	1	*	*	Q_i^0	Хранение
0	*	*	1	*	Q_i^1	Хранение
1	*	*	*	*	0	Установка 0

Выходы регистров	EZ_1	EZ_2	Q_i	Режим
0	0	0	0	Вывод цифр
1	0	0	1	Вывод цифр
*	1	*	Z	Выходы отключ.
*	*	1	Z	Выходы отключ.

Знак * означает любое состояние.

Знак означает передний фронт импульса.

Знак Z означает третье состояние.

Рис. 121

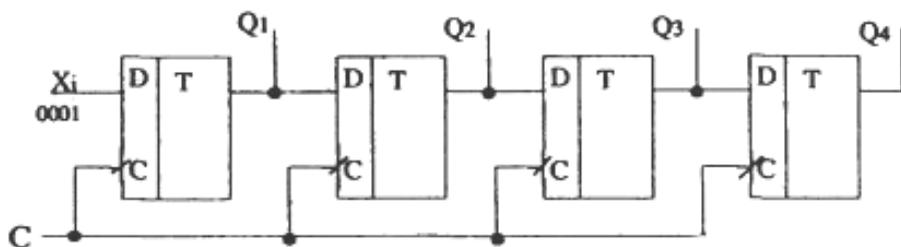
При $E_1 = E_2 = 0$ осуществляется параллельный ввод информации со входов $D_1 - D_4$ при воздействии положительного перепада на входе синхронизации C .

Хранение информации осуществляется, если хотя бы на одном из входов E_1 или E_2 действует логическая 1.

При подаче 1 на вход R осуществляется сброс триггеров регистра.

Если хотя бы на одном из входов EZ_1 , или EZ_2 действует логическая 1, то все выходы отключены, т. е. они переведены в высокоимпедансное состояние.

На рис. 122 представлен сдвигающий регистр. В исходном состоянии на выходах всех триггеров логический сигнал «0». При подаче логического сигнала «1» младшего разряда числа на вход 1-го триггера он запоминается в нем в момент действия положительного перепада тактового импульса. Состояние же остальных триггеров не меняется, так как на их входах были логические сигналы «0». Во время второго тактового импульса на входе первого триггера действует логический сигнал «0», на входе второго триггера — логический сигнал «1», на входе третьего и четвертого — логические сигналы «0». Эти сигналы запоминаются триггерами, на входе которых они действовали, т. е. осуществляется сдвиг единицы вправо, и т. д. Таким образом, за четыре такта осуществляется последовательный ввод в регистр 4-разрядного двоичного числа.

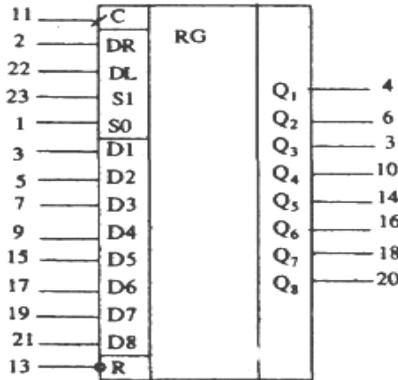


№ такта	Данные	Q ₁	Q ₂	Q ₃	Q ₄
0	0	0	0	0	0
1	1	1	0	0	0
2	0	0	1	0	0
3	0	0	0	1	0
4	0	0	0	0	1

Рис. 122

В качестве примера приведем микросхему сдвигающего регистра К155ИР13 и его таблицу состояний (рис. 123).

К155 ИР13



R	C	S1	S0	DR	DL	Q ₁ ...Q ₈	Режим
1		1	1	1	*	Q ₁ ...Q ₈	Параллельный ввод
1		0	0	*	*	D ₁ ...D ₈	Хранение
1		1	0	*	0	Q ₂ ...Q ₈ 0	Сдвиг влево
1		1	0	*	1	Q ₂ ...Q ₈ 1	Сдвиг влево
1		0	1	0	*	0 Q ₁ ...Q ₇	Сдвиг вправо
1		0	1	1	*	1 Q ₁ ...Q ₇	Сдвиг вправо
0	*	*	*	*	*	0...0	Сброс

Знак * означает любое состояние.

Знак означает передний фронт импульса.

Рис. 123

Микросхема К155ИР13 является универсальным восьмиразрядным реверсивным сдвигающим регистром и может работать в режимах последовательного ввода информации со сдвигом вправо или влево, параллельного ввода информации, хранения информации, сброса (установки нулей).

Микросхема имеет следующие входы:

D1—D8 — для параллельного ввода информации, DR и DL — информационные входы для последовательного ввода информации при сдвиге соответственно вправо или влево, входы S1 и S0 — для выбора режима работы, R — вход сброса триггеров регистра в нулевое состояние и C — вход синхронизации.

Сброс триггеров осуществляется при подаче логического 0 на вход R.

При $S1=0$ и $S0=1$ осуществляется последовательный ввод информации со входа DR в первый разряд регистра со сдвигом вправо.

При $S1=1$, $S0=0$ осуществляется последовательный ввод информации со входа DR в восьмой разряд регистра со сдвигом влево.

При $S1 = S0 = 1$ осуществляется параллельная запись информации со входов D1-D8 при воздействии положительного перепада на входе синхронизации C.

При $S1 = S0 = 0$ осуществляется режим хранения информации.

Контрольные вопросы:

1. Классификация регистров?
2. Параллельные регистры?
3. Последовательные регистры?
4. Универсальные регистры?

Лекция 10. Тема. Счетчики импульсов.

План:

1. Классификация счетчиков.
2. Микросхема К155ИЕ5.
3. Вычитающие счетчики.
4. Реверсивные счетчики.

Счетчик импульсов — это последовательностное цифровое устройство, обеспечивающее хранение слова информации и выполнение над ним микрооперации счета, заключающейся в изменении значения числа в счетчике на 1. По существу счетчик представляет собой совокупность соединенных определенным образом триггеров. Основным параметром счетчика — модуль счета. Это максимальное число единичных сигналов, которое может быть сосчитано счетчиком. Счетчики обозначают через СТ (от англ. counter).

Счетчики классифицируют:

по модулю счета:

- двоично-десятичные;
- двоичные;
- с произвольным постоянным модулем счета;
- с переменным модулем счета;

по направлению счета:

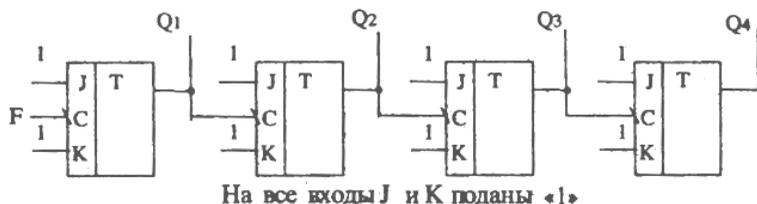
- суммирующие;
- вычитающие;
- реверсивные;

по способу формирования внутренних связей:

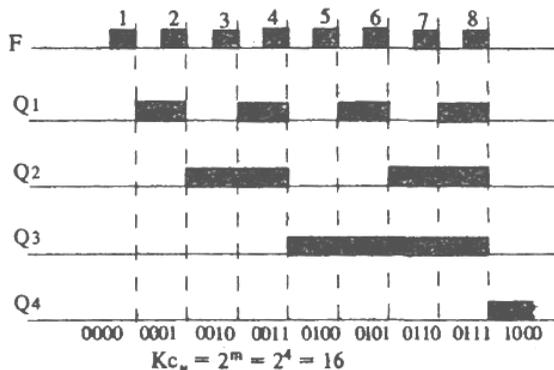
- с последовательным переносом;
- с параллельным переносом;
- с комбинированным переносом;
- кольцевые.

Рассмотрим суммирующий счетчик (рис. 113, а). Такой счетчик построен на четырех JK-триггерах, которые при наличии на обоих входах логического сигнала «1» переключаются в моменты

появления на входах синхронизации отрицательных перепадов напряжения.



а



б

Рис. 113

Временные диаграммы, иллюстрирующие работу счетчика, приведены на рис. 113, б. Через $K_{сч}$ обозначен модуль счета (коэффициент счета импульсов). Состояние левого триггера соответствует младшему разряду двоичного числа, а правого — старшему разряду. В исходном состоянии на всех триггерах установлены логические нули. Каждый триггер меняет свое состояние лишь в тот момент, когда на него действует отрицательный перепад напряжения. Таким образом, данный счетчик реализует суммирование входных импульсов. Из временных диаграмм видно, что частота каждого последующего импульса в два раза меньше, чем предыдущая, т. е. каждый триггер делит частоту входного сигнала на два, что и используется в делителях частоты.

Микросхема К155ИЕ5 является суммирующим счетчиком с последовательным переносом.

Структура микросхемы и ее условно-графическое обозначение приведены на рис. 114.

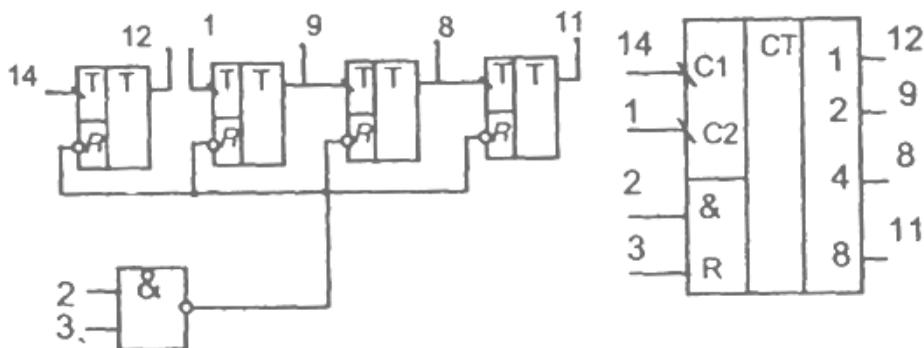


Рис. 114

Данная микросхема содержит четыре счетных триггера, причем первый триггер имеет отдельный вход и прямой выход, а оставшиеся три триггера образуют трехразрядный двоичный счетчик.

При соединении между собой выводов 12 и 1 образуется четырехразрядный суммирующий счетчик с модулем счетчика $K_{\text{СИ}} = 16$. Установка счетчика в нулевое состояние (сброс триггеров в нулевое состояние, т. е. $Q_i = 0$) производится при подаче логической 1 одновременно на два входа установки R. Входы установки объединены по схеме и. Наличие таких входов установки позволяет строить счетчики с различными модулями счета без использования дополнительных логических элементов. Для этого используют метод управляемого сброса, т. е. формируют сигнал сброса триггеров счетчика появлением на выходе счетчика кода, совпадающего с требуемым модулем счета.

Так, например, на микросхеме К155ИЕ5 можно получить счетчик с модулем счета $K_{\text{СИ}} = 10$, соединяя выводы 9 и 11 с выводами 2 и 3 (рис. 115).

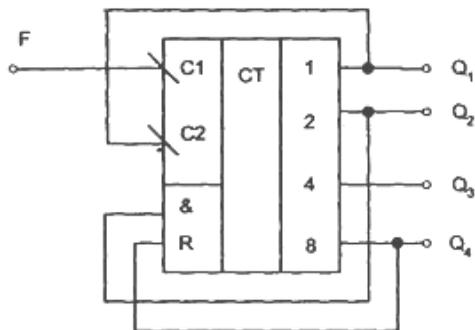


Рис. 115

Микросхема К155ИЕ2 и К155ИЕ4 также содержат 4 триггера, причем первый из них отделен от остальных, как в К155ИЕ5, а три оставшихся соединены так, что образуют трехразрядные счетчики с модулем счета 5 в К155ИЕ2 и с модулем счета 6 в К155ИЕ4. Рассмотрим трехразрядный вычитающий счетчик с последовательным переносом, схема и временные диаграммы работы которого приведены на рис. 116. В счетчике

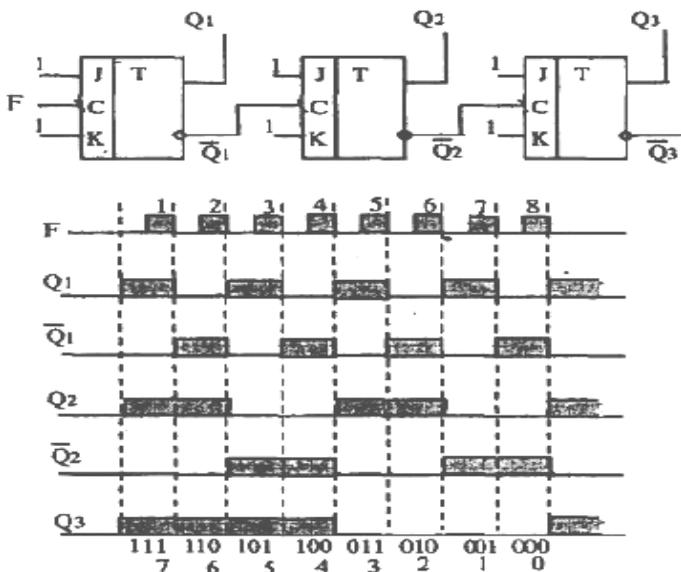


Рис. 116

используются три JK-триггера, каждый из которых работает в режиме Т-триггера (триггера со счетным входом). На входы J и K каждого триггера (рис.115) поданы логические 1, поэтому по приходу заднего фронта импульса, подаваемого на его вход синхронизации C, каждый триггер изменяет предыдущее состояние. Вначале сигналы на выходах всех триггеров равны 1. Это соответствует хранению в счетчике двоичного числа 111 или десятичного числа 7. После окончания первого импульса F первый триггер изменяет состояние: сигнал станет равным 0, Q_1 — 1. Остальные триггеры при этом свое состояние не изменяют. После окончания второго импульса синхронизации первый триггер вновь изменяет свое состояние, переходя в состояние 1 ($\overline{Q}_1 = 0$). Это обеспечивает изменение состояния второго триггера (второй триггер изменяет состояние с некоторой задержкой по отношению к окончанию второго импульса синхронизации, так как для его опрокидывания необходимо время, соответствующее времени срабатывания его самого и

первого триггера). После первого импульса F счетчик хранит состояние 110. Дальнейшее изменение состояния счетчика происходит аналогично изложенному выше. После состояния 000 счетчик вновь переходит в состояние 111. Рассмотрим трехразрядный самоостанавливающийся вычитающий счетчик с последовательным переносом (рис. 117).

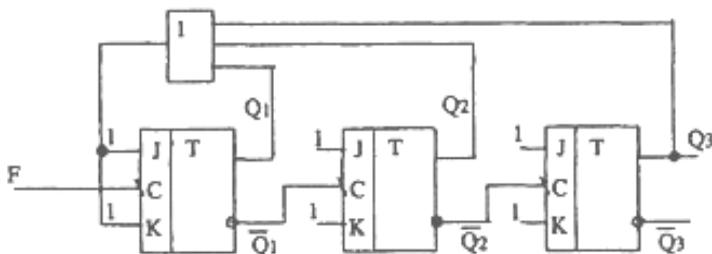
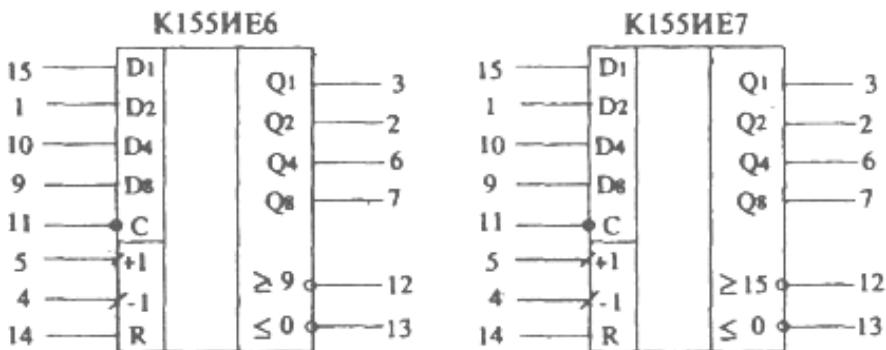


Рис. 117

После перехода счетчика в состояние 000 на выходах всех триггеров возникает сигнал логического 0, который подается через

логический элемент ИЛИ на входы J и K первого триггера, после чего этот триггер выходит из режима T-триггера и перестает реагировать на импульсы F.

Рассмотрим трехразрядный реверсивный счетчик с последовательным переносом. В режиме вычитания входные сигналы должны подаваться на вход T_B .



R	C	+1	-1	D1	D2	D4	D8	Q1	Q2	Q4	Q8	≥ 9	≥ 15	≤ 0	Режим
1	*	*	0	*	*	*	*	0	0	0	0	1		0	Установка 0
1	*	*	1	*	*	*	*	0	0	0	0	1		1	Установка 0
0	0	*	0	0	0	0	0	0	0	0	0	1		0	Предустановка
0	0	*	1	0	0	0	0	0	0	0	0	1		1	Предустановка
0	0	0	*	1	*	*	1	Q = D				0		1	Предустановка
0	0	1	*	1	*	*	1	Q = D				1		1	Предустановка
0	1		1	*	*	*	*	Суммирующий				1		1	Прямой счет
0	1	1		*	*	*	*	Вычитающий				1		1	Обратный счет

Знак * означает любое состояние.

Рис. 119

На вход T_c при этом подается сигнал логического 0. Пусть все триггеры находятся в состоянии 111. Когда первый сигнал поступает на вход T_b , на входе T первого триггера появляется логическая 1, и он изменяет свое состояние. После этого на его инверсном входе возникает сигнал логической 1. При поступлении второго импульса на вход T_b на входе второго триггера появится логическая 1, поэтому второй триггер изменит свое состояние (первый триггер также изменит свое состояние по приходу второго импульса). Дальнейшее изменение состояния происходит аналогично. В режиме сложения счетчик работает аналогично 4-разрядному суммирующему счетчику. При этом сигнал подается на вход T_c . На вход T_b подается логический 0.

В качестве примера рассмотрим микросхемы реверсивных счетчиков (рис. 119) с параллельным переносом серии 155 (ТТЛ):.

ИЕ6 — двоично-десятичный реверсивный счетчик,

ИЕ7 — двоичный реверсивный счетчик.

Направление счета определяется тем, на какой вывод (5 или 4) подаются импульсы. Входы 1,9, 10, 15 — информационные, а вход 11 используется для предварительной записи.

Эти 5 входов позволяют осуществить предварительную запись в счетчик (предустановку). Для этого нужно подать соответствующие данные на информационные входы, а затем подать импульс записи низкого уровня на вход 11, и счетчик запомнит число. Вход 14 – вход установки 0 при подаче высокого уровня напряжения. Для построения счетчиков большой разрядности используются выходы прямого и обратного счета.

Контрольные вопросы:

1. Классификация счетчиков?
2. Микросхема К155ИЕ5?
3. Вычитающие счетчики?
4. Реверсивные счетчики?

Лекция 11. Тема: Аналоговые функции. Основные аналоговые структуры.

План:

1. Функции, сигналы, цепи.
2. Основные и специальные аналоговые функции.
3. Операционные усилители.

Функции, сигналы, цепи.

Выполняемые реальными АИС (аналоговые интеграционные схемы) преобразования можно представить в виде аналоговых функций (АФ), описывающих действия, производимые АИС над сигналами.

Аналоговые сигналы – это физические величины (напряжение, ток, частота колебаний и т.д.), мера которых отображает (кодирует) информацию.

Аналоговые функции (АФ) – математическая формулировка операций, т.е. преобразований, совершаемых над аналоговыми сигналами. АФ не учитывают ошибок, присущих реальным АИС и вызываемых такими факторами, как конечное значение сопротивлений АИС, частотные и температурные зависимости, дрейф параметров, взаимное рассогласование элементов, шумы, нестабильности при изменении питающих напряжений и т.д.

Примерами АФ могут являться функция усиления напряжений, фильтрации составляющих спектра колебаний и другие функции (аналоговая функция – аналоговая операция).

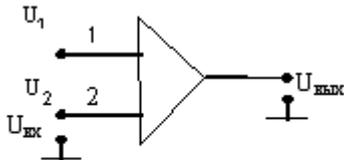
Основные и специальные АФ.

Введём в рассмотрение пять основных АФ (ОАФ):

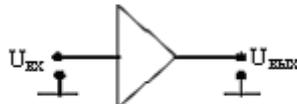
- ✓ Усиление.
- ✓ Сравнение.
- ✓ Ограничение.
- ✓ Перемножение.
- ✓ Частотную фильтрацию.

Пять ОАФ в совокупности образуют набор операций, аналогичный какой-либо функционально-полной или избыточной системе переключательных функций в цифровой технике.

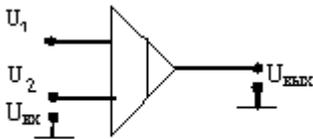
ОАФ – обозначения устройств:



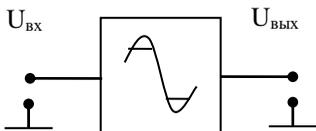
А) Операционный усилитель



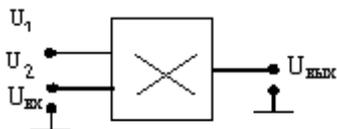
Б) Усилитель с одним входом



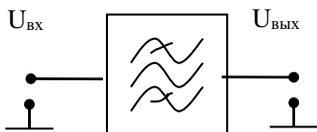
В) Компаратор



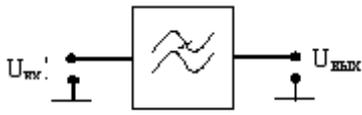
Г) Двусторонний ограничитель.



Д) Перемножитель



Ж) ВЧ фильтр



З) НЧ фильтр

ОАФ усиления.

Под ОАФ усилением будем понимать увеличение напряжения (или тока) точно в k_u раз в неограниченной полосе частот без нелинейных искажений сигнала. Такую функцию приближенно реализуют ОУ.

ОУ имеет два входа, соответствующие напряжениям U_1 и U_2 ; Сигнал на выходе ОУ можно записать в виде:

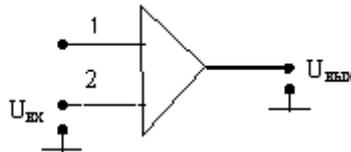
$$U_{\text{вых}} = k'_u \cdot U_v = k'_u (U_2 - U_1) \quad (1)$$

Где $U_v = U_2 - U_1 = 2U_g$ разность входных напряжений; удвоенный дифференциальный сигнал $U_g = \left(U_2 - \frac{U_1}{2} \right)$;

U'_u - коэффициент усиления ОУ по напряжению без обратной связи. Значение k_y указывается в технической документации на ОУ.

Будем поочередно на выходы 1 и 2 подавать одинаковый сигнал R_1 . Поскольку при $U_2 = 0$ справедливо

$$U_{\text{вых}} = -k'_u U_{\text{вх}}$$



А при $U_1=0$ соответственно

$U_{\text{вых}} = -k'_u U_{\text{вх}}$ т.е. приращение $U_{\text{вых}}$ равны по величине и противоположны по знаку; входы ОУ называются дифференциальными.

Одновременная подача $U_1 = U_2 = U_{\text{вх}}$ одинакового (синфазного) сигнала $U_{\text{вх}}$ на входы 1,2 идеального ОУ не приводит к изменению напряжения на его выходе $U_{\text{вых}}$. Этот факт, присущий идеальному ОУ называют подавлением синфазного сигнала (у реального ОУ синфазный сигнал не подавляется, а существенно ослабляется).

(ОУ называется идеальным, когда не имеется обратная связь; K_u – коэффициент усиления ООС. Поскольку чаще всего $K_u \ll K'_u$; $K'_u \approx 10^5 - 10^7$ и выше.)

Если положить $U_2 = U_{\text{вх}} = U_g$, а $U_1 = -U_{\text{вх}} = -U_g$ т.е. показать на входы 2 и 1, напряжения, равные по величине, но противоположные по знаку (дифференциальный сигнал), то получим $U_{\text{вых}} = -k'_u 2U_{\text{вх}} = 2K'_u \cdot U_g$; т.е. приращения от входных напряжений U_1 и U_2 на входе ОУ складываются.

Наличие дифференциальных входов, таким образом, приводит к существенной разнице в прохождении синфазной и дифференциальной составляющих реального сигнала, тем большей, чем симметричнее входы.

Коэффициент усиления такого усилителя

$$K_u = \frac{U_{\text{вых}}}{U_{\text{вх}}} = (R_1 + R_2) / R_1$$

Чтобы не нагружать выходы ОУ, резисторы R_1 и R_2 в реальных схемах принимают порядка десятков и сотен кило Ом.

Из схемы видно, что не инвертирующий усилитель имеет большое входное сопротивление, которое зависит только от входного тока ОУ i_1 , приближающегося к нулю. На линейном участке характеристики коэффициент усиления такого усилителя может быть весьма большим (достигать нескольких сотен).

ОАФ сравнения.

ОАФ сравнения. Функция сравнения позволяет сопоставить две аналоговые величины U_1 и U_2 с некоторой точностью

При совпадении U_1 и U_2 функция сравнения отождествляется с одним из состояний двузначной логики – нулём или единицей, $U_{\text{вых}} = A$; при отсутствии совпадения состояние считается противоположным,

$$U_{\text{вых}} = A;$$

Поскольку физически на выходной клемме компараторы приближённо реализующего ОАФ сравнения, может присутствовать одно из двух значений напряжения $U'_{\text{вых}}$ и $U^0_{\text{вых}}$ (высокое и низкое), этим напряжениям присваиваются булевы символы 0 и 1;

Например,

$$U_{\text{вых}} = A \text{ при } U_2 - \frac{\Delta}{2} \leq U_2 + \frac{\Delta}{2};$$

$$U_{\text{вых}} = \bar{A} \text{ при } U_1, \text{ расположенные вне интервала}$$

$$\left[U_2 - \frac{\Delta}{2}, U_2 + \frac{\Delta}{2}\right]$$

Знаком: = обозначена известная из курса программы операция присваивания.

Идеальный компаратор реализует с $\Delta = 0$; т.е. с нулевой погрешностью.

$$U_{\text{вых}} := A \text{ при } U_1 = U_2$$

$$U_{\text{вых}} := \bar{A} \text{ при } U_1 \neq U_2.$$

ОАФ ограничения.

ОАФ ограничения преобразуя зависимость $f(U_1)$ в функцию, состоящую из трёх участков.

$$U_2 = f(U_1) \text{ при } U_2' < U_2 < U_2''$$

$$U_2 = U_2'' \text{ при } U_2 \geq U_2''$$

$$U_2 = U_2' \text{ при } U_2 \leq U_2'$$

ОАФ перемножения.

4. ОАФ перемножения определяет результат $U_{\text{вых}}$ умножения аналоговой величины U на другую величину V ;

$$U_{\text{вых}} = kUV, (1)$$

Где k - масштабный коэффициент, не зависящий от U и V ;

(1) формула реализуется с помощью АИС перемножителей U_X аппаратное применение позволено унифицировать разнообразные АФ радиотехнических преобразований (такие, как модуляция, умножение, деление, гетероденирование и демодуляция частот). В измерительной технике АИС перемножителей осуществляют калибровку и масштабирование сигналов.

ОАФ частотной фильтрации.

5. ОАФ частотной фильтрации реализует выделение требуемого диапазона частот из полного спектра, подвергаемого преобразованию. К традиционным фильтрам в виде LC контуров, пьезокварцевым или электромеханическим резонатором микроэлектроника добавила специфические устройства фильтрации в виде активных RE цепей и устройств на основе поверхностных волн и приборов с зарядовой связью.

Аналоговые эталоны (АЭ) часто являются составными подсхемами аналоговых структур. Существует также АИС эталоны, например стабилизаторы (регуляторы) напряжения. Таким образом, АЭ – это конфигурации, которые в условиях решаемой задачи могут без ущерба для синтеза или анализа более сложных структур, в которых они исполняются.

Простейшими АЭ являются часто применяемые при анализе цепей источники сигналов ЭДС и тока (рис. а, б).

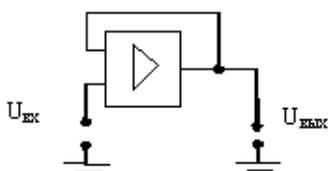
Если требуется получить постоянное напряжение номинала $E_0 < E$, применяют $p-n$ переходы, используемые как стабилизаторы в обратном (рис. в) или прямом (г) включении. Выходы цепей (в, г) могут считаться выходами эталонов и замещаться источником E_0 (д) лишь тогда, когда точности реализации номиналов элементов, присоединяемых к АЭ, заведомо меньше точности самого эталона.

Примером АЭ может служить цепь стабилизатора постоянного напряжения. Структурная схема такого АЭ (рис. е) состоит из делителя 1, проходного элемента 3 и усилителя сигнала ошибки 2. сигналом ошибки является разность между эталонным напряжением E_0 и напряжением $E_0'' = E_0' R_1 / (R_1 + R_2)$ в средней точке делителя. Разность $U_0 + U_2 - U_1 = E_0 - E_0''$ усиливается и, воздействуя на проходной элемент, изменяет напряжение E_0' на выходе линейного стабилизатора, так чтобы U_0 свелось к минимальному значению (в идеале к нулю).

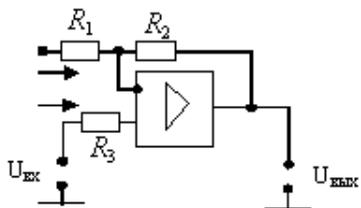
Конфигурация содержит, таким образом, цепи отрицательной обратной связи (ООС), подаваемой с выхода на вход.

Операционные усилители.

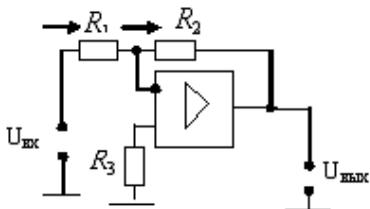
К числу наиболее часто применяемых функциональных элементов следует в первую очередь отнести схемы усилителей, содержащих ОУ.



а - повторитель напряжения



б - не инвертирующий усилитель



в - инвертирующий усилитель

Повторитель напряжения

Повторитель напряжения – схема, в которой выход ОУ соединен непосредственно с инвертирующим входом через сопротивление, равное нулю. Управляющий сигнал подается прямо на не инвертирующий вход. Подобный обратной связи называют 100%-ной отрицательной обратной связью: При $U_{вх}=0$ напряжение на выходе тоже будет оставаться равным нулю, так как на непосредственно связанном с ним инвертирующим входе не возникает разности напряжений по отклонению к не инвертирующему входу. В случае изменения входного напряжения на инвертирующем входе между входами будет поддерживаться ничтожно малая разность напряжений, определяемая значением напряжения суммирующей точки. Напряжение на выходе ОУ практически сравняется с поступающим сигналом, и по мере его изменения будет совпадать с меняющимися значениями входного сигнала. Таким образом, рассматриваемая схема является следящей, повторяющей на выходе входной сигнал. Отсюда ее название коэффициент усиления повторителя напряжения.

$$K_u = \frac{U_{вых}}{U_{вх}} = 1$$

Не инвертирующий усилитель.

Не инвертирующий усилитель. Применяется для усиления сигналов, подаваемых на не инвертирующий вход (схема б)

По схеме : ОУ охвачен отрицательной обратной связью через резистор R_2 , а резистор R_1 соединяет инвертирующий вход с нулевой

Ток i_1 , проходящий по цепи обратной связи, определяется значением $U_{вых}$. Резисторы R_1 и R_2 представляют собой делитель напряжения. Так как входные токи ОУ можно не учитывать, то напряжение на инвертирующем входе имеет тоже

значение, что и поступающий на не инвертирующий вход сигнал. Отсюда

$$U_{\text{ex}} = U_{\text{вых}} R_1 / (R_1 + R_2)$$

Инвертирующий усилитель.

Инвертирующий усилитель. Схема его отличается от предыдущей тем, что управляющий сигнал подается на инвертирующий вход через резистор R_1 , а не инвертирующий вход соединяется с нулевой шиной через резистор R_3 . Поэтому потенциал суммирующей точки в рассматриваемой схеме равен примерно потенциалу нулевой шины.

Контрольные вопросы:

1. Определения функции, сигналы, цепи?
2. Основные и специальные аналоговые функции?
3. Операционные усилители?
4. Повторитель напряжения?
5. Не инвертирующий усилитель?
6. Инвертирующий усилитель?

12-лекция. Тема: Аналого – цифровые и цифроаналоговые преобразователи и преобразователи.

План:

1. Микропроцессорные цифроаналоговые преобразователи.
2. Последовательные аналого-цифровые преобразователи «напряжение-код».
3. Параллельные аналого-цифровые преобразователи «напряжение-код».
4. Параллельный микропроцессорный АЦП.

Микропроцессорные цифроаналоговые преобразователи.

При создании микропроцессорного преобразователя «код—напряжение» для вывода из микропроцессора цифрового кода могут применяться как параллельные, так и последовательные интерфейсные устройства. В ЦАП повышенного быстродействия целесообразно использовать параллельные интерфейсы, такие, как шинные формирователи типа К5.89 АШ6, К589АП26, многорежимный буферный регистр типа К589ИР12 или параллельный периферийный интерфейс типа К.Р580ВВ55, подробное описание которых дано в главах 3 и 4. При этом вывод цифрового кода из микропроцессора осуществляется либо по инициативе микропроцессора (программный вывод), либо по запросу внешнего устройства в режиме прерываний.

Схема 7-разрядного микропроцессорного параллельного ЦАП с программным выводом кода через БИС параллельного периферийного интерфейса ППИ типа КР580ВВ55 приведена на рис. 12.3. В данную схему включены лишь те блоки и связи, ко-

торые принципиально необходимы для реализации процесса

преобразования информации, а именно, центральный процессорный элемент ЦПЭ типа КР580ИК80А, генератор тактовых импульсов ГТИ типа КР580ГФ24, системный контроллер и шинный формирователь СКФ типа КР580ВК28, шинные формирователи типа К589АП16, параллельный периферийный интерфейс ППИ типа КР580ВВ55, параллельный 7-разрядный ЦАП с резистивной матрицей на весовых сопротивлениях и дешифратор адреса ДША. Описание центрального процессорного элемента, генератора тактовых импульсов, системного контроллера и шинного формирователя приведено в гл. 3. Интерфейс в рассматриваемой схеме выступает по отношению к микропроцессору как внешнее устройство с номером, который дешифрируется в дешифраторе адреса ДША, и тем самым формируется сигнал выборки БИС интерфейса CS. Младшие адресные линии А0 и А1 шины адреса подключаются к одноименным входам интерфейса и адресуют его каналы А, В и С. Системные управляющие сигналы вывода информации во внешнее устройство I/OW и ввода информации из внешнего устройства I/OR, снимаемые с системного контроллера и шинного формирователя, подводятся соответственно ко входам записи WR и чтения RD интерфейса и определяют направление передачи информации. Фиксация слова состояния микропроцессора для формирования системных управляющих сигналов I/OR и I/OW осуществляется системным контроллером по сигналу STSTB, снимаемому с генератора тактовых импульсов.

Вывод информации из микропроцессора происходит через канал А интерфейса по команде вывода OUT, второй байт которой является адресом канала А. Канал А программируется в режим О на вывод информации. При этом линии а0—а6 канала А содержат код выводимого числа, а линия а7 — знак числа. Линии а0—а7 непосредственно подключаются к соответствующим входам ЦАП. После прохождения команды

на своем выходе INT устанавливает нулевой уровень. Сигнал запроса прерывания INT с регистра через инвертор поступает на вход INT центрального процессорного элемента ЦПЭ. Если режим прерывания программно предусмотрен, то на выходе ШТА системного контроллера СКФ устанавливается нулевой уровень, который иницирует регистр МБР по входу DS1. В результате регистр передает на шину данных ШД код операции RST и микропроцессор входит в прерывающую программу. По команде OUT, записанной в подпрограмме обработки прерывания, микропроцессор сигналом вывода информации I/O ^переписывает байт данных из аккумулятора в регистр канала А интерфейса ППИ. Цифровой код с выхода канала А поступает в параллельный ЦАП и преобразуется в аналоговый сигнал U. Одновременно с выводом в канал А интерфейса байта информации на линии с7 формируется сигнал готовности канала А к выводу информации OBFA. В ответ на этот сигнал внешнее устройство сбрасывает сигнал запроса прерывания INT и на линию с6 интерфейса выдает сигнал подтверждения вывода АСКА, по которому интерфейс снимает сигнал OBFA, разрешая вывод из микропроцессора нового байта информации по очередному запросу внешнего устройства.

Рассмотренные цифроаналоговые преобразователи находят широкое использование при построении различных аналого-цифровых преобразователей типа «напряжение—код». По методу преобразования аналоговой величины в цифровой код АЦП делят на последовательные, параллельные, о промежуточным преобразованием и комбинированные. Из перечисленных преобразователей наивысшим быстродействием при хороших точностных характеристиках обладают параллельные АЦП. Наивысшую точность обеспечивают последовательные преобразователи.

2. Последовательные аналого-цифровые преобразователи «напряжение—код».

Данные преобразователи делятся на АЦП последовательного приближения, со ступенчатым пилообразным напряжением, следящие, конвейерные и АЦП, построенные по методу последовательного счета [6, 27].

Принцип работы АЦП последовательного приближения основан на последовательном делении входного напряжения на эталонное напряжение, определяемое весом старшего разряда, затем полученного остатка — на эталонное напряжение, определяемое весом следующего разряда и т. д. до получения «разрядного цифрового кода».

Наиболее широкое распространение на практике получили АЦП со ступенчатым пилообразным напряжением и следящие АЦП, реализующие принцип последовательного счета. На рис. 12.5 приведена схема АЦП со ступенчатым пилообразным напряжением. Принцип действия преобразователя заключается в следующем. Импульсом начала преобразования t_H сбрасывается счетчик СТ и устанавливается R—S триггер Т, разрешающий поступление импульсов с генератора тактовой частоты ГТЧ на вход С счетчика. По мере поступления импульсов счетчик на своем выходе формирует ступенчатый нарастающий код, который в параллельном ЦАП преобразуется в ступенчатое пилообразное напряжение U_K с шагом ΔU . В момент времени t_K когда входной сигнал $U_{вх} < U_K$, срабатывает компаратор К, сбрасывающий по входу R триггер Т и прекращающий поступление импульсов на счетчик. Процесс преобразования заканчивается. Цифровой код счетчика СТ является цифровым аналогом входного сигнала. Для преобразования разнополярных входных сигналов используется компаратор знака $K_{зн}$ формирующий знаковый разряд $a_{зн}$ и инвертирующий входной код и полярность выходного напряжения U_K преобразователя «код—напряжение» при изменении полярности входного

сигнала. Недостатком рассмотренного преобразователя является низкое быстродействие.

Значительное увеличение быстродействия достигается в АЦП

следящего типа, в которых осуществляется сравнение преобразуемого напряжения $U_{вх}$ с выходным напряжением УК и изменяется код в счетчике в зависимости от результата сравнения до тех пор, пока $U_{вх}$ не будет скомпенсировано напряжением УК с точностью ΔU

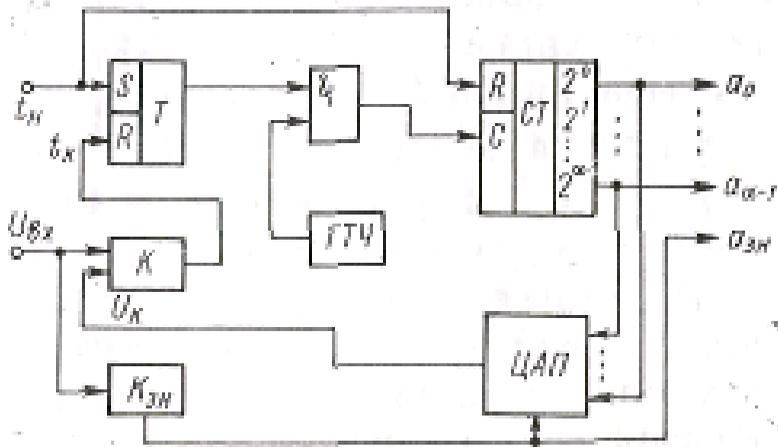


Рис. 12.5. Последовательный АЦП со ступенчатым пилообразным напряжением

Структурная схема следящего АЦП с преобразованием разно-полярного входного сигнала приведена на рис. 12.6. В состав преобразователя входит реверсивный счетчик, который управляется компаратором К и выполняет суммирование или вычитание импульсов генератора тактовой частоты. Для преобразования двух полярных входных сигналов используется знаковый компаратор Кт, инвертирующий, как и в предшествующем случае, входной код и полярность выходного напряжения ЦАП при изменении полярности входного сигнала.

Другие типы последовательных аналого-цифровых преобразователей рассмотрены в работе [6].

3. Параллельные аналого-цифровые преобразователи «напряжение-код»

В основе работы АЦП параллельного типа лежит метод сравнения непрерывной входной величины с помощью $2^n - 1$ компараторов с набором $2^n - 1$ эталонных значений [6]. Код, сформированный компараторами, преобразуется в двоичный код специальными шифраторами.

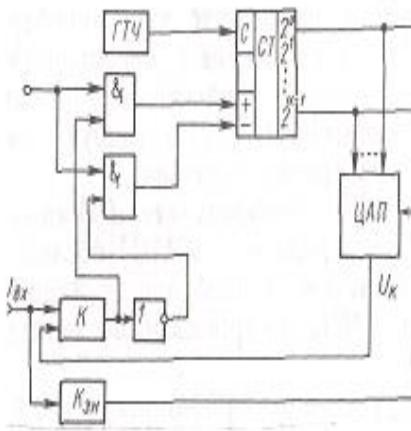


Рис. 12.6. Последовательный АЦП следящего типа

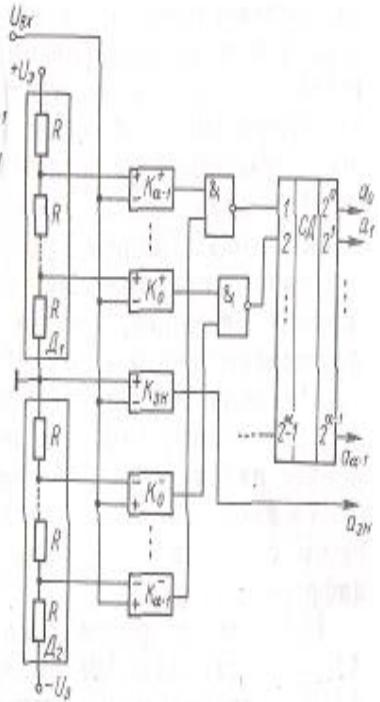


Рис. 12.7. Параллельный АЦП

Схема параллельного АЦП биполярных сигналов приведена на рис. 12.7. Резистивными делителями, содержащими по 2^n резисторов с одинаковыми сопротивлениями R , и двумя эталонными напряжениями $+Uэ$ и $-Uэ$ формируются $2(2^n - 1)$ по-

роговых уровней U_{ni} перекрывающих весь возможный диапазон изменения входного сигнала $\pm U_{max}$. В исходном состоянии на выходах всех компараторов устанавливается уровень логической

единицы. При $U_{вх} > 0$ и $U_{ni+1} > U_{вх} > U_{ni}$ срабатывают компараторы K^*0, \dots, K_i . В результате на выходах компараторов K_0, \dots, K_n устанавливается нулевой уровень, а на выходах остальных компараторов остается уровень логической единицы. Следовательно, компараторы K_0, \dots, K_{n-1} формируют код $n_1 = 11 \dots 1100 \dots 0$, а компараторы K_0, \dots, K_{n-1} — $n_2 = 11 \dots 1111 \dots 1$. На выходах логических элементов И—НЕ устанавливается нормальный единичный код $n_3 = 00 \dots 001 \dots 1$, который является инверсией кода n_1 . Для отрицательного входного напряжения на выходах логических элементов И—НЕ образуется нормальный единичный код, который является инверсией кода n_2 .

Шифратором CD нормальные единичные коды преобразуются в двоичные коды. Знак преобразуемой величины задается напряжением, снимаемым с компаратора знака K_{lti} . В рассмотренной схеме отрицательным значениям Цвк соответствует $a_{ан} = 1$, положительным — $a_{SH} = 0$. Схемные решения и принцип работы последовательно-параллельных аналого-цифровых преобразователей изложены в работах [6, 27].

В состав аналого-цифровых преобразователей «напряжение— код» входят как цифровые, так и непрерывные элементы. Цифровые элементы (счетчики, регистры, триггеры и т. д.) управляют процессом преобразования в соответствии с принятым алгоритмом и аналогично схемам ЦАП могут быть реализованы на интегральных микросхемах серий К155, 133, 1.30, 530, 100, 500 и др. Для построения непрерывных узлов АЦП можно использовать гибридные микросхемы серий 228, 240, 265, 250. Серия 240 содержит функционально полный набор интегральных микросхем для построения 10-разрядных АЦП с диапазоном входных напряжений ± 5 В и со временем

преобразования 100 мкс. В состав 240 серии входят компаратор напряжения 240СА1, операционный усилитель 240УД1, аналоговый ключ 240КН1А.Б, ключ эталонного напряжения 240КН2, 4-разрядный коммутатор 240КН3, стабилизатор напряжения 240 ЕН1. Комплект БИС серии 240 может быть дополнен резистивной матрицей типа 301НС1. Другим набором интегральных микросхем, предназначенным для построения АЦП, является серия 252, состав которой приведен выше.

Микропроцессорные аналого-цифровые преобразователи. При построении микропроцессорного аналого-цифрового преобразователя «напряжение—код» ввод информации в микропроцессор может осуществляться как по инициативе собственно микропроцессора, так и по запросу внешнего устройства. При этом для последовательных АЦП цифровой код, соответствующий ступенчатому пилообразному напряжению, формируется либо программно микропроцессором и выводится через интерфейсное устройство в ЦАП, либо формируется отдельным счетчиком, что резко повышает скорость преобразования.

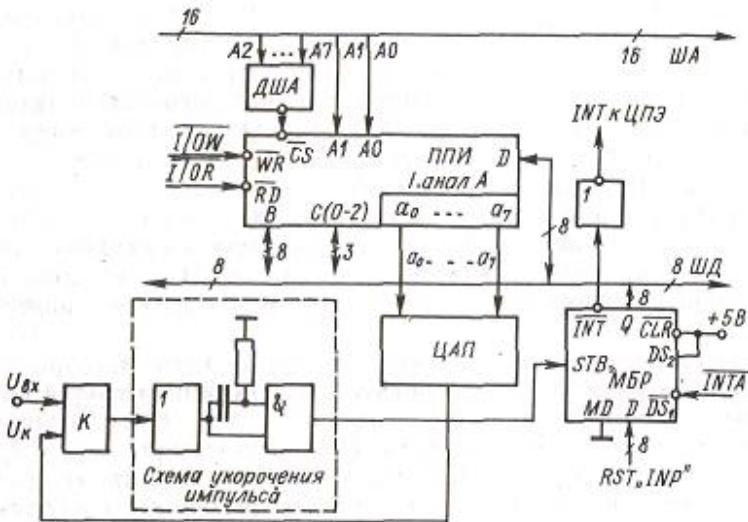


Рис. 12.8. Микропроцессорный АЦП со ступенчатым пилообразным напряжением

Схема микропроцессорного АЦП со ступенчатым пилообразным напряжением при считывании информации по инициативе микропроцессора представлена на рис. 12.8.

В начале цикла преобразования микропроцессор обращается к подпрограмме циклического инкрементирования содержимого аккумулятора с выводом результата в канал. А периферийного параллельного интерфейса ППИ типа KP580BV55. При этом на выходах канала А цифровой код изменяется на единицу за цикл вывода, приводя. К ступенчатому пилообразному увеличению выходного непрерывного сигнала U_k на выходе параллельного ЦАП. В момент превышения напряжением U_k входного сигнала U_x на выходе компаратора К формируется положительный перепад напряжения, которым запускается схема укорочения импульса, вырабатывающая короткий положительный импульс. Выходной импульс схемы укорочения поступает на вход STB многорежимного буферного регистра МБР типа K589IP12. В результате на выходе INT регистра возникает сигнал запроса прерывания, который через инвертор подается на вход INT центрального процессора. Микропроцессор входит в режим прерывания и по входу DSi сигналом разрешения прерывания $INTA$ инициирует БИС регистра МБР. В результате сбрасывается сигнал TNT , а на шину данных ШД микропроцессора регистр МБР выдает код операции RST со стартовым адресом прерывающей программы. В число команд обработки прерывания должна входить команда IN — ввод в микропроцессор содержимого канала А интерфейса ППИ, являющегося цифровым аналогом входного сигнала. На этом процесс преобразования завершается. Время преобразования в данном микропроцессорном АЦП приблизительно равно 2 мс. Оно сокращается в среднем на порядок в АЦП следящего типа. Дальнейшее повышение быстродействия микропроцессорных АЦП достигается применением микропроцессорных комплектов БИС серий K589, 585, выполненных на диодах Шотки.

4. Параллельный микропроцессорный АЦП

Схема параллельного микропроцессорного аналого-цифрового преобразователя со считыванием информации по запросу прерывания от внешнего устройства ВУ представлена на рис. 12.9. Для ввода в микропроцессор цифрового кода с аналого-цифрового преобразователя используется параллельный периферийный интерфейс ППИ типа KP580BB55, в котором линии а0 а6 канала А непосредственно соединены с одноименными выходами параллельного АЦП. Знаковый разряд АЦП подключен к линии а7 интерфейса. Ввод информации с АЦП в микропроцессор производится в режиме прерывания. При этом интерфейс ППИ программируется в режим 1 с вводом информации по каналу А. Многорежимный буферный регистр МБР используется для передачи в микропроцессор кода операции RST, содержащей стартовый адрес прерывающей программы INP. В рассматриваемом устройстве интерфейс ППИ и регистр МБР имеют типовое включение.

Данный микропроцессорный АЦП работает следующим образом. Внешнее устройство ВУ посылает импульс строба на схему выборки и хранения СВХ, которая за время действия строба берет выборку непрерывного входного сигнала U_{вх} и запоминает его значение на время преобразования. В результате на линиях а0, ..., а7 АЦП появляется

Контрольные вопросы:

1. Параллельные аналого-цифровые преобразователи «напряжение—код»?
2. Параллельный микропроцессорный АЦП?
3. Знаковый разряд АЦП?
4. Прерывания в микропроцессоре?

14-лекция. Тема: Интерфейсы микропроцессорных систем.

План:

1. Интерфейсы микропроцессорных систем.
2. Интерфейсы в системе MULTIBUS.
3. Параллельная локальная магистраль.
4. Магистраль многоканального в/в MSN.
5. Магистраль локального в/в SBX.
6. Магистраль связи BITBUS.
7. Параллельная системная магистраль.

1. Интерфейсы микропроцессорных систем.

Интерфейсы предназначены для организации взаимодействия между микросхемами организующими функциональные модули при построении вычислительной системы. Для организации взаимодействия между вычислительной машиной при организации вычислительных комплексов. Интерфейсы регламентируют правило взаимодействия между всеми функциональными модулями микропроцессорной системы, устанавливают взаимодействие и определяют протоколы и порядок обмена информацией.

Конфигурации интерфейсов разработаны исходя из следующих требований:

- получение нужного быстродействия и организации стандартного обмена информацией между блоками вычислительной системы независимо от их быстродействия;
- простота наращивания структуры многопроцессорного комплекса и возможность доступа для диагностики;
- широкая область применения.

Электрические соединения между выводами микросхем выполняются электрическими связями или линиями. Эти линии сгруппированы по определенному функциональному назначению образуют шину адреса, шину данных и шину

управления. Совокупность шин образует магистраль. В зависимости от функционального назначения интерфейсы классифицируются по следующим принципам:

- по способу создания функциональных модулей;
- по способу передачи данных – параллельный, последовательный и последовательно-параллельный ;
- по режиму передачи данных –односторонние, 2-х сторонние, одновременная или поочередная передача.
- по принципу обмена информацией – синхронный и асинхронный.

2.Интерфейсы в системе MULTIBUS.

Предназначены для организации микропроцессорных модулей. На базе МП К1810 разработаны 2 разновидности интерфейсов – I и II

Интерфейс в системе MULTIBUS состоит из 5-ти магистралей:

- параллельная системная;
- параллельная локальная магистраль LBX;
- многоканальная магистраль в/в MSW;
- локальная в/в SBX;
- управляющая последовательная магистраль – BITBVS;
- Последовательная системная магистраль – SSB;

3. Параллельная локальная магистраль.

LBX предназначена для подключения к вычислительной системе дополнительных блоков или модулей памяти. С ее помощью можно подключить от 2-х до 5-ти модулей памяти.

Функциональные возможности: может позволить организовать по ней обмен информацией в режиме прямого доступа к памяти. Линии этого интерфейса стандартизованы, образуют 60-ти проводниковый жгут и имеют следующее функциональное назначение:

AB0-AB23 – линия шины адреса;

DB0-DB15 – линия шины данных;

TRAP – разряд проверки четности;

BHEN – разрешение на передачу старшего байта.

ASTB – строб сопровождения информации об адресе;

DSTB – строб сообщения данных;

R/W - сигнал записи / чтения;

XACK- подтверждение передачи в устройство;

LOCK – блокировка магистрали;

SHRA – запрос на переход в режим прямого доступа к памяти;

SMACK- ответ на переход в режим прямого доступа к памяти.

CN0 - линия заземления.

Магистраль работает в режиме чтения/ записи данных. Информация об адресе сопровождается сигналом ASTB, а данных DSTB. Подтверждение приема сопровождается сигналом XACK, обмен информацией происходит в параллельном коде.

4. Магистраль многоканального в/в MSN.

Предназначена для освобождения системной магистрали от операции в/в при обращении к внешним устройствам. С

помощью этой магистрали можно подключить до 16-ти внешних устройств передающих 8 либо 16 разрядные данные со скоростью 8 Мбайт/с. Максимальная длина этой магистрали до 15 метров. Выполняется в виде стандартного 60-контактного жгута, линии которого имеют следующее функциональное назначение:

AD0-AD15 – мультиплексированная шина адреса/данных;

GND- линия заземления;

PB,*PB – дифференциальные сигналы дополнения данных до четности.

R/W,*R/W – дифференциальные сигналы чтения /записи.

A/D,*A/D – Дифференциальные сигналы управления адресом/данными;

DRDY,*DRDY – дифференциальные сигналы готовности информации на шине A/D;

AACC – признак приема адреса исполнителем;

DACC – ответ исполнителя при приеме данных;

STQ – завершение процедур обмена;

SRQ – запрос состояния устройства для передачи информации;

RESET – сброс;

SA – готовность передатчика информации.

5.Магистраль локального в/в SBX.

Предназначена для подключения к одноплатным вычислительным машинам дополнительные платы сопроцессора. Подключается плата с расширенной 2-й системой, арифметикой, графикой. Магистраль имеет 60-ти проводную структуру, линии которой имеют следующее назначение:

MA0-MA2 –младшие разряды адреса, задающие адрес порта при подключении сопроцессора;

MCS0-MCS1 – сигналы выбора микросхем в плате микропроцессора;

передачи до нескольких километров. В режиме синхронной передачи скорость может быть 500 Кбит/с либо 2,4 Мбит/с.

В режиме асинхронной передачи скорость может быть – 62,5 Кбит/с либо 375 Кбит/с.

Магистраль предназначена для регистрации локальных сетей. Физически она представляет собой 9-ти канальный жгут проводов, имеющий функциональное назначение.

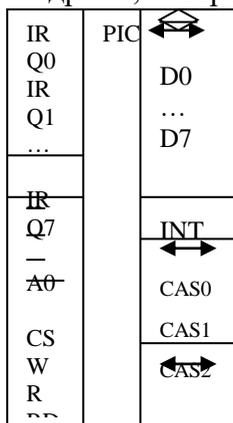
DATA, *DATA – дифференцированная сигнальная пара – линия для передачи данных.

DCLK / RTS, *DCLK / RTS – дифференциальная пара – сигнальная, синхронизации управления.

GND, +12D – общая линия управления

ZGND – 3-е состояние

Обмен информацией по этой магистрали выполняется кадрами, которые имеют следующий формат:



7. Параллельная системная магистраль.

Предназначена для подключения к центральному процессору для подключения устройств (до 20-ти устройств).

Внешние прерывания бывают:

маскируемые, поступающие по входу INTR;

немаскируемые, поступающие по входу NMI. На запросы на немаскируемые прерывания МП обрабатывает всегда независимо от состояния флага прерывания;

Процедура обслуживания внешних прерываний выполняется с помощью специального контроллера прерываний КР1810ВН59.

Микросхема представляет собой программируемый контроллер прерываний позволяющий одновременно обслуживать 8 внешних устройств. Может работать с К1810 и К580. Функциональные возможности микросхемы допускают каскадирование (можно обслуживать до 64 внешних устройств).

IRQ0-IRQ7 – запросы на прерывания. Если программируемым путем не произведено перераспределение приоритетов, то IRQ – маскируемый приоритет.

A0 – адресный вход для подключения младшей линии адреса.

CS – выбор микросхемы.

WR – запись информации в микросхему.

RD – чтение.

INTA – подтверждение прерывания.

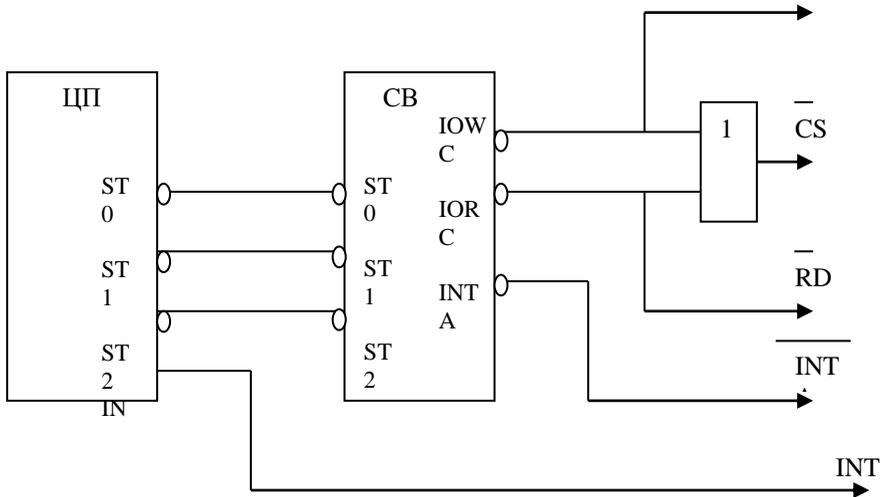
D0–D7 – входы данных (для программирования микросхемы). Подключаются к младшему байту шины данных.

INT – вход прерывания.

CAS0-CAS2 – входы для каскадирования микросхем.

Микросхема может работать в режимах программирования и режиме обслуживания периферии. Режим программирования задается CS=0.

схема подключения контроллера к системной шине. \overline{WR}



Контрольные вопросы:

1. Виды интерфейсов микропроцессорных систем?
2. Интерфейсы в системе MULTIBUS?
3. Параллельная локальная магистральный интерфейс?
4. Магистраль многоканального в/в MSN?
5. Магистраль локального в/в SBX?
6. Магистраль связи BITBUS?
7. Режимы работы параллельных системных магистралей?
4. Интервальный таймер KP580BI53

15-лекция. Тема. Таймеры и контроллеры

План:

1. Таймеры. Структура и назначение таймеров.
2. Синхронизация работ микросхем.
3. Тактовые генераторы импульсов.

Таймер представляет собой программируемое устройство формирования временных задержек для синхронизации управляемых объектов в реальном масштабе времени. Таймер состоит из трех независимых идентичных счетчиков, работающих в двоичном или двоично-десятичном коде. Максимальная частота синхронизации составляет 2 МГц. На рис. 3.25 показано расположение выводов микросхемы КР580ВИ53 и дано их обозначение. Они выполняют следующие функции: D7—D0 — двунаправленные входы/выходы, подключаемые к системной шине данных;

AO, A1 — два младших адресных разряда системной адресной шины, обеспечивающие адресацию внутри микросхемы при задании режима работы каждого из каналов таймера; RD, WR — входы сигналов чтения и записи;

CS — сигнал выбора микросхемы (все операции обмена информацией с таймером осуществляются при низком логическом уровне сигнала); CLK2—CLK0 — входы счетчиков каналов, на которые подаются сигналы тактовой частоты;

OUT2—OUT0 — выходы счетчиков каналов;

GATE2—GATE0—входы управления счетчиками каналов (при низком логическом уровне сигнала на этих входах запрещается прохождение сигналов тактовой частоты на входы счетчиков).

Каждый из счетчиков программируется от центрального процессора (независимо от других счетчиков) подачей управляющего слова (рис. 3.26) и двух байтов, задающих

коэффициент деления N . Программируемый интервальный таймер обеспечивает возможность работы в одном из шести режимов.

В режиме 0 при программировании таймера до окончания счета числа, загруженного в счетчик, на выходе OUT устанавливается напряжение низкого логического уровня. После окончания счета на этом выходе устанавливается напряжение высокого логического уровня, которое сохраняется до загрузки счетчика новым числом N . Перезагрузка счетчика младшим байтом числа во время работы счетчика приводит к прекращению счета, перезагрузка старшего байта - перезапускает счетчик канала.

В режиме 1 счетчик формирует отрицательные импульсы длительностью $T'N$, где T — период следования тактовых импульсов на входе счетчика, N — число, загруженное в счетчик. Новое число, загруженное в счетчик, не влияет на длительность текущего формируемого импульса. В этом режиме возможен запуск счетчика по переднему фронту сигнала на входе GATE или его перезапуск, если счет не был закончен.

В режиме 2 счетчик работает в качестве делителя на N входных сигналов тактовой частоты. На выходе счетчика OUT устанавливается напряжение низкого логического уровня на один период тактовой частоты. При загрузке счетчика новым числом во время счета последующий выходной сигнал соответствует новому числу N . Подачей сигнала низкого логического уровня на вход GATE запрещается счет, на выходе OUT устанавливается напряжение высокого логического уровня. При поступлении сигнала высокого логического уровня на вход GATE счет начинается сначала, что позволяет использовать вход GATE для синхронизации работы счетчика внешними сигналами.

В режиме 3 счетчик работает аналогично режиму 2, но длительность формируемых отрицательных и положительных полупериодов для четного числа N равна $7W/2$. При нечетном N положительный полупериод равен $7W/2$, а отрицательный — T

$(N - 1)/2$. В этом режиме запрещается использовать коэффициент деления $\wedge = 3$.

В режиме 4 по окончании счета числа N , загруженного в счетчик, на его выходе OUT устанавливается напряжение низкого логического уровня на время, равное одному периоду следования сигналов тактовой частоты. Управляющий сигнал низкого логического уровня на входе GATE приостанавливает работу счетчика, но не сбрасывает его. Запись в счетчик младшего байта нового числа N не влияет на текущий счет, а запись старшего байта запускает счетчик сначала.

В режиме 5 счетчик является перезапускаемым. По переднему фронту сигнала на входе GATE счетчик запускается или перезапускается, если счет не был закончен. Загрузка счетчика новым числом N не влияет на длительность текущего цикла.

Формат управляющего слова для программирования режимов работы таймера приведен на рис. 3.26. Запись управляющего слова для любого из счетчиков производится при $A1 = 1$, $AO = 1$. Загрузка младшего и старшего байтов числа N в счетчик конкретного канала производится путем их адресации в разрядах адреса L /и AO . При этом адрес счетчика соответствует двоичному коду на этих разрядах.

Если таймер работает в качестве счетчика внешних событий, то часто требуется во время работы считывать его содержимое. Это может быть сделано двумя способами: 1) счетчик приостанавливается сигналом низкого логического уровня на входе GATE (чтение содержимого счетчика производится подачей двух команд IN от центрального процессора: первая команда считывает младший байт, вторая — старший байт числа N); 2) содержимое счетчика считывают, предварительно записав в регистр управляющего слова команду следующего формата: разряды $D7, D6$ адресуют конкретный счетчик таймера, разряды Z)5. $D4$ равны нулю, остальные разряды принимают произвольное значение. После этого

содержимое выбранного счетчика считывается аналогично первому способу.

В качестве примера рассмотрим программирование режима работы интервального таймера в качестве делителя частоты по нулевому каналу (пример 3). На вход синхронизации поступает сигнал $\langle p2TTL \rangle$ с выхода генератора тактовых импульсов KP580ГФ24, работающего на частоте 15 МГц. Требуется на выходе нулевого счетчика получить частоту 153,6 кГц, что обеспечит скорость обмена информацией через последовательное устройство ввода—вывода 9600 бод (см. рис. 3.19).

. Контроллер клавиатуры и индикации KP580BB79.

Контроллер состоит из двух функционально-автономных частей: клавиатурной и индикаторной [116]. Клавиатурная часть микросхемы обеспечивает ввод информации в контроллер через входы RET7—RETO с клавиатуры или матрицы контактных датчиков.

Для хранения вводимой информации в контроллере предусмотрено ОЗУ емкостью 8 байт, работающее по принципу «первый вошел—первый вышел». 31). Предназначена для задания скорости сканирования клавиатуры и индикатора.

2. Команда чтения буферного ОЗУ датчиков (код команды определяют разряды $D7 = 0$, $D6 = 1$, $D5 = 0$). В клавиатурном режиме и режиме ввода по стробу для чтения ОЗУ датчиков достаточно подать только код команды. В режиме сканирования матрицы датчиков разряд $D4 = 1$ устанавливает режим автоинкрементирования, а разряды $D2—D0$ определяют адрес читаемой микропроцессором строки матрицы датчиков. Установка режима автоинкрементирования позволяет при подаче последующих команд чтения ОЗУ датчиков автоматически читать последующие строки матрицы датчиков.

Команда чтения ОЗУ отображения (разряды $D7 = 0$, $D6 = 1$, $D5 = 1$ задают код команды; разряд $D4$ определяет

использование автоинкрементного режима чтения ОЗУ; разряды D3—D0 содержат адрес строки ОЗУ, читаемой микропроцессором).

Команда записи в ОЗУ отображения (разряды D7 == 1, D6 == 0, D5 == 0 задают код команды; остальные разряды выполняют функции, аналогичные предыдущей команде).

5. Команда гашения—запрета записи отображения (используется для гашения отображения на выходах DSPA3—DSPA0 и DSPB3—DSPB0, а также для запрещения записи в одну из половин ОЗУ отображения или в обе половины ОЗУ одновременно). Код команды содержит разряды D7=1, D6=0, D5=1; разряд D3^= \ запрещает запись в ОЗУ отображения по входам D7—D4 для канала А, разряд D2==1—по входам D3—D0 для канала В;

разряд D/=1 производит гашение выходов DSPA3—DSPA0 для канала А, а разряд D0== \ — выходов DSPB3—DSPB0 канала В.

6. Команда сброса предназначена для программной установки контроллера в исходное состояние, а также для сброса ОЗУ отображения и выходов DSPA3—DSPA0 и DSPB3—DSPB0 в код, определяемый разрядами D3 и D2 команды. Формат команды сброса приведен в [116] (разряды D7=1, D6==1, D5=-0 задают код команды; разряд D/=1 обеспечивает сброс регистра слова состояния и прерывания, а разряд D0^1 — программный сброс).

7. Команда сброса прерывания и установки режима обнаружения ошибок предназначена для сброса сигнала запроса прерывания INT в режиме матрицы датчиков и установки

специального режима обнаружения ошибок в клавиатурном режиме с YV-клавишным сцеплением (разряды D7= I, D6^ I, 05= 1 задают код команды; разряд D4==1 устанавливает режим обнаружения ошибок; состояние остальных разрядов безразлично). Клавиатурная часть контроллера может работать в одном из трех режимов. В режиме сканирования клавиатуры информация, вводимая в буферное ОЗУ, соответствует позиции ключа в клавиатуре и состоянию входных сигналов SH и V/STB (разряды D5—D3 определяют номер строки клавиатуры, а разряды D2—D0 — номер столбца, в котором нажата клавиша). В режиме матрицы датчиков данные, поступающие со входов RET7—RETO, непосредственно вводятся в ту строку ОЗУ датчиков, которая соответствует сканируемой в данный момент строке матрицы. Таким образом, каждая позиция ключа в матрице соответствует определенной позиции в ОЗУ датчиков.

В режиме ввода по стробу данные вводятся в буферное ОЗУ датчиков со входов RET7—RETO при наличии сигнала низкого логического уровня на входе V/STB. Длительность стробирующего импульса в этом случае должна быть не меньше длительности импульса синхронизации.

Применение устройств АЦП и ЦАП. В задачах управления при использовании цифровых вычислителей необходимость преобразования аналоговых напряжений в цифровую форму и обратно возникает очень часто. В настоящее время разработано большое число интегральных микросхем АЦП и ЦАП, осуществляющих данную операцию и предназначенных специально для использования в микропроцессорных системах.

Преобразователь последовательного приближения K1113PB1 является 10-разрядным функционально законченным устройством, содержащим внутренний источник опорного напряжения, тактовый генератор и компаратор напряжений. Выводы микросхемы имеют следующее назначение. Разряды D9—D0 образуют выходную цифровую шину преобразователя. Наличие сигнала низкого логического уровня на выходе

готовности данных ГД свидетельствует о готовности данных на выходе АЦП. Вход U ас является аналоговым входом преобразователя. Для уменьшения вероятности возникновения ошибок преобразования из-за перекрестных помех преобразователь имеет два нулевых вывода: аналоговая земля АЗ и цифровая земля ЦЗ. На вход Г7П подается отрицательный импульс запуска преобразователя длительностью не менее 2 мкс. Время преобразования АЦП составляет 25 мкс, В это время на выходе ГД присутствует сигнал высокого логического уровня, свидетельствующий о неготовности данных. Вывод УДС служит для управления двуполярным сдвигом. Если на вход УДС подан нулевой потенциал, на вход преобразователя можно подавать однополярные аналоговые сигналы в диапазоне от 0 до 10 В. При отключении вывода УДС от нулевого провода на вход можно подавать двуполярный сигнал в диапазоне от -5 В до $+5$ В. При этом старший разряд DP на выходе АЦП является знаковым (D9=0 при положительном входном напряжении, D9=1 — при отрицательном).

На рис. 3.29 приведена схема подключения АЦП K1113PB1 к микропроцессорной системе, выполненной на базе микропроцессора KP580ИК80 [ИЗ]. В исходном состоянии, когда преобразователь готов к работе, на выходе ГЦ установлен сигнал низкого логического уровня. Для увеличения длительности сигнала начала преобразования, подаваемого на вход Т/Я, служит RS-триггер D2 K555TP2. По команде OUTADCI на выходе дешифратора адреса устройств ввода—вывода микропроцессорной системы должен установиться низкий логический уровень ($C5/=0$), а при приходе сигнала записи в устройство ввода—вывода I/OW /?5-триггер перебросится. На его выходе IQ установится сигнал логической единицы, что обеспечит запуск преобразователя. Примерно через 1,5 мкс на выходе ГД установится сигнал высокого логического уровня, свидетельствующий о начале преобразования. При этом /?5-триггер D3 возвращается в исходное состояние, автоматически формируя импульс начала

преобразования необходимой длительности. Для считывания информации в микропроцессоре анализируется сигнал ГД, поступающий на шину данных в разряде D7 через буферный элемент D5 K155ЛП11 при команде чтения из УВВ IN ADC2. При установлении разряда D7 в нулевое состояние микропроцессор может считать два старших разряда АЦП по тому же адресу ADC2 и по команде IN ADC1 — остальные восемь разрядов через буферный элемент D4 KP580BA86. Для формирования вспомогательных сигналов управления используются элемент D2 «ИЛИ» типа K155ЛЛ1 и инвертор D6 типа K155ЛН1. Программа обслуживания АЦП приведена в примере 4.

Существенную трудность в процессе изготовления интегральных ЦАП представляет создание на кристалле источника опорного напряжения. Поэтому, как правило, используется внешний источник опорного напряжения. Широкое распространение получили перемножающие ЦАП, в которых выходной сигнал пропорционален произведению опорного аналогового и цифрового сигналов. Примером такого ЦАП может служить микросхема K572ПА1.

Она представляет собой 10-разрядный ЦАП с дифференциальной нелинейностью не более 1 % от полной шкалы при времени установления выходного сигнала не более 5 мкс. Схема преобразователя содержит логические элементы управления, токовые ключи и резистивную матрицу типа R—2R. Для построения полной схемы ЦАП к микросхеме необходимо подключить внешний операционный усилитель. На рис. 3.30 приведена схема подключения ЦАП А1 K572ПА1 к микропроцессорной системе. Для вывода 10-разрядного числа на ЦАП используются выводы устройства параллельного ввода—вывода D1 KP580BB55 (восемь разрядов канала А и два вывода С1 и С0 канала С, работающие на вывод в режиме 0). Источник опорного напряжения реализован на стабилитроне VD1 типа Д818Е и операционном Усилителе Л2.2. типа K140УД20.

вопросы:

1. Виды интерфейсов микропроцессорных систем?
2. Интерфейсы в системе MULTIBUS?
3. Параллельная локальная магистральный интерфейс?
4. Магистраль многоканального в/в MSN?
5. Магистраль локального в/в SBX?
6. Магистраль связи BITBUS?
7. Режимы работы параллельных системных магистралей?
4. Интервальный таймер KP580BI53

СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ:

1. Степаненко И.П. «Основы микроэлектроники»-М.: Сов. Радио, 1980.
2. Гаврилов Д.А., Девятков В.В., Пупырев Е.И. "Логическое проектирование дискретных автоматов"- М.: Энергия, 1974.
3. Алексенко А.Г. "Основы микросхемотехники" 2-е изд.- М.: Сов. Радио, 1977.
4. Ильин В.Н. "Основы автоматизации схемотехнического проектирования"-М.: Энергия, 1979.
5. "Основы проектирования микроэлектронной аппаратуры"/ под ред. Высокого Б.Ф.- М.: Сов. Радио, 1977.
6. Гребен А.Б. "Проектирование аналоговых интегральных схем"- М.: Энергия, 1976.
7. Соучок Б. " Микропроцессоры и микро-ЭВМ" пер. с англ.- Сов. Радио, 1979.
8. Агахаян Т.М., Плеханов С.П. "Интегральные триггеры устройств автоматики"- М.: машиностроение, 1978.
9. Пухальский Г. И., Новосельцева Т. Я. Цифровые устройства: Учебное пособие для вузов.- СПб.: Политехника, 1996.
10. Потемкин И. С. Функциональные узлы цифровой автоматики.- М.: Энергоатомиздат, 1988.
11. Цифровые интегральные микросхемы: Справочник/ П. П. Мальцев, Н. С. Долидзе, М. И. Критенко и др. – М.: Радио и связь, 1994.
Ямпольский В. С. Основы автоматики и электронно-вычислительной техники. – М.: Просвещение, 1991.
12. В.И. Лачин, Н.С. Савельев «Электроника», Высшее образование, Ростов-на-Дону, «Феникс», 2005.

Практическая работа 1-2

Проектирование логических схем.

Цель работы: Изучение функционирования основных логических элементов.

1. Теоретические основы практической работы

Элементной базой современных цифровых устройств и систем являются цифровые интегральные схемы. **Цифровая интегральная схема (ИС)** – это микроэлектронное изделие, изготовленное методами интегральной технологии (чаще полупроводниковой), заключенное в самостоятельный корпус и выполняющее определенную функцию преобразования дискретных (цифровых) сигналов. Номенклатура выпускаемых промышленностью цифровых ИС достаточно обширна и, следовательно, весьма разнообразны реализуемые ими функции преобразования. Простейшие преобразования над цифровыми сигналами осуществляют цифровые ИС, получившие названия логических элементов (ЛЭ).

Для описания работы цифровых ИС, а следовательно и устройств, построенных на их основе, используется математический аппарат алгебры логики или булевой алгебры. Возможность применения булевой алгебры для решения задач анализа и синтеза цифровых устройств обусловлена аналогией понятий и категорий этой алгебры и двоичной системы счисления, которая положена в основу представления преобразуемых устройством сигналов.

1.1 Основы булевой алгебры

Основными понятиями булевой алгебры являются понятия логической переменной и логической функции.

Логической переменной называется величина, которая может принимать одно из двух возможных состояний (значений), одно из которых обозначается символом “0”, другое – “1” (для обозначения состояний возможно применение и других символов, например, “Да” и “Нет” и др.). Сами двоичные переменные чаще обозначают символами x_1, x_2, \dots . В силу определения логические переменные можно называть также двоичными переменными.

Логической (булевой) функцией (обычное обозначение – y) называется функция двоичных переменных (аргументов), которая также может принимать одно из двух возможных состояний (значений): “0” или “1”. Значение некоторой логической функции n переменных определяется или задается для каждого набора (сочетания) двоичных переменных. Количество возможных различных наборов, которые могут быть составлены

из n аргументов, очевидно, равно 2^n . При этом, поскольку сама функция на каждом наборе может принимать значение “0” или “1”, то общее число возможных функций от n переменных равно 2^{2^n} .

Таким образом, множество состояний (значений), которые могут принимать как аргументы, так и функции, равно двум. Для этих состояний в булевой алгебре определяются отношения эквивалентности, обозначаемое символом равенства (=) и три операции: а) логического сложения (дизъюнкции), б) логического умножения (конъюнкции), в) логического отрицания (инверсии), обозначаемые соответственно символами:

+ или \vee - операция дизъюнкции,

• или \wedge или & - операция конъюнкции,

$\bar{}$ - операция инверсии (* - символ аргумента или функции).

Постулативно полагается, что при выполнении перечисленных операций отношения эквивалентности имеют вид:

$$\begin{aligned}
 \text{а) } 0 + 0 &= 0, & \text{б) } 0 \cdot 0 &= 0, \\
 \text{в) } \overline{\overline{0}} &= 1, & & \\
 0 + 1 &= 1, & 0 \cdot 1 &= 0, \\
 \overline{\overline{1}} &= 0, & & \\
 1 + 0 &= 1, & 1 \cdot 0 &= 0, \\
 1 + 1 &= 1; & 1 \cdot 1 &= 1;
 \end{aligned} \tag{1}$$

На основании постулатов (1) можно вывести следующие соотношения (законы) алгебры логики:

1. Законы одинарных элементов (универсального множества – а), нулевого множества – б), тавтологии – в)):

$$\text{а) } x + 1 = 1, \quad \text{б) } x + 0 = x, \quad \text{в) } x + x = x, \tag{2}$$

$$x \cdot 1 = x; \quad x \cdot 0 = 0; \quad x \cdot x = x.$$

2. Законы отрицания (двойного отрицания – а), дополнительности – б), двойственности – в)):

$$\text{а) } \overline{\overline{x}} = x \quad \text{б) } x + \overline{x} = 1, \quad \text{в) }$$

$$\overline{x_1 + x_2} = \overline{x_1} \cdot \overline{x_2}, \tag{3}$$

$$\overline{x \cdot x} = 0;$$

$$\overline{\overline{x_1} \cdot \overline{x_2}} = \overline{\overline{x_1}} + \overline{\overline{x_2}}.$$

3. Законы абсорбции или поглощения – а) и склеивания – б):

$$\text{а) } x_1 + x_1 \cdot x_2 = x_1, \quad \text{б) } x_1 \cdot x_2 + x_1 \cdot \overline{x_2} = x_1, \tag{4}$$

$$x_1 \cdot (x_1 + x_2) = x_1;$$

$$(x_1 + x_2) \cdot \overline{(x_1 + x_2)} = x_1 \cdot \overline{x_1} = 0$$

Законы двойственности (3, в), называемые также законами деМоргана, были обобщены К. Шенноном на случай произвольного (n) числа аргументов.

Кроме законов, перечисленных выше и не имеющих аналогов в обычной алгебре (алгебре чисел), для алгебры логики справедливы законы обычной алгебры: коммутативные или переместительные, дистрибутивные или распределительные, ассоциативные или сочетательные.

Любая логическая функция у n двоичных переменных x_1, x_2, \dots, x_n может быть задана таблично. Такие таблицы, получившие название **таблиц истинности**, содержат 2^n строк, в которые записываются все возможные двоичные наборы значений аргументов, а также соответствующее каждому из этих наборов значение функции.

Пример 1. Составить таблицу истинности логической функции у равнозначности (эквивалентности) трех двоичных переменных x_1, x_2 и x_3 , т.е. функции, которая принимает единичное значение только при совпадении всех трех аргументов, ее образующих.

Решение. Сначала выпишем все возможные наборы (комбинации) трех переменных x_1, x_2 и x_3 . Таких наборов, очевидно, 8. Чтобы не ошибиться при перечислении наборов аргументов, нужно сразу приучиться перечислять их единообразно – в виде возрастающей последовательности чисел, представленных в двоичной системе счисления. Для рассматриваемого примера наборы трех переменных нужно перечислить в следующем порядке: 000, 001, 010, 011, 100, 101, 110, 111 – итого восемь двоичных чисел – от 0 до 7.

Таблица 1

Номер набора	Двоичные переменные	Логические функции
	x_1 x_2 x_3	y
0	0 0 0	1
1	0 0 1	0
2	0 1 0	0
3	0 1 1	0
4	1 0 0	0
5	1 0 1	0
6	1 1 0	0
7	1 1 1	1

Далее для каждого набора двоичных переменных определим, исходя из смысла ситуации, соответствующее значение функции. В результате получаем таблицу истинности логической функции "равнозначность трех двоичных переменных" (табл. 1).

Задание логической функции таблицей истинности не всегда удобно.

При большом числе

двоичных переменных ($n \geq 6$) табличный способ задания функции становится громоздким и теряет наглядность. Возможен и аналитический способ задания

логических функций, который предусматривает запись функции в форме логического выражения, устанавливающего, какие логические операции над аргументами функции должны выполняться и в какой последовательности.

Алгебра логики предполагает возможность образования сложных функций, т.е. функций, аргументы которых являются функциями других двоичных аргументов. Например, если $y = f(z_1, z_2)$, а $z_1 = f'(x_1, x_2)$ и $z_2 = f''(x_3, x_4)$, очевидно, что $y = f(x_1, x_2, x_3, x_4)$. Операция замены аргументов одной функции другими функциями называется **суперпозицией** функций. Эта операция дает возможность выразить сложную логическую функцию через более простые (элементарные).

Приведем описание некоторых, имеющих большое значение в цифровой технике, элементарных логических функций и ЛЭ, реализующих эти функции.

Функция “отрицание” – это функция одного аргумента (другие названия функции: **инверсия, логическая связь НЕ**). Аналитическая форма задания этой функции: $y = \bar{x}$,

где y - логическая функция, x - аргумент.

Электронный ЛЭ, реализующий функцию “Отрицание” в виде определенных уровней электрических сигналов, называют **инвертором** или ЛЭ “НЕ”. Инвертор на схемах изображается, как показано на рис. 1, а. Вход ЛЭ слева, выход – справа. На выходной линии, в месте соединения ее с прямоугольником, изображается кружок – **символ инверсии**. На языке цифровой техники инверсия означает, что выходной сигнал (y) противоположен входному (x). Сказанное иллюстрирует рис. 1, б, на котором приведены временные диаграммы инвертора.

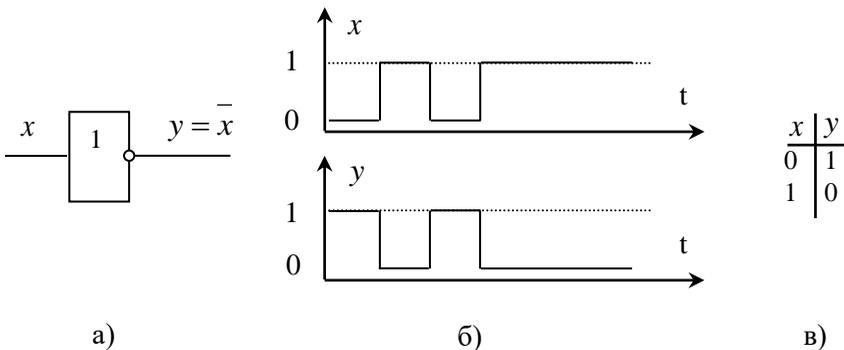


Рис. 1. Инвертор: а) условное изображение; б) временные диаграммы; в) таблица истинности

Функция “конъюнкция” – это функция двух или большего числа аргументов (другие названия функции: **логическое умножение, логическая связь И**). Аналитическая форма задания функции двух аргумент x_1 и x_2 :

$$y = x_1 \cdot x_2 \text{ или } y = x_1 \wedge x_2 \text{ или } y = x_1 \& x_2 .$$

Функция “конъюнкция” равна 1 тогда и только тогда, когда все ее аргументы равны 1. ЛЭ, реализующий функцию “Конъюнкция” называют конъюнктом или ЛЭ “И”. На рис. 2 приведены: условное графическое изображение двухвходового (а) и трехвходового (б) конъюнкторов; временные диаграммы (в) и таблица истинности (г) двухвходового конъюнктора.

ЛЭ “И” часто используют для управления потоком информации. При этом на один из его входов поступают сигналы, несущие некоторую информацию, а на другой – управляющий сигнал: пропустить информацию – 1, не пропустить – 0. ЛЭ “И”, используемый таким образом, называют **вентиль**.

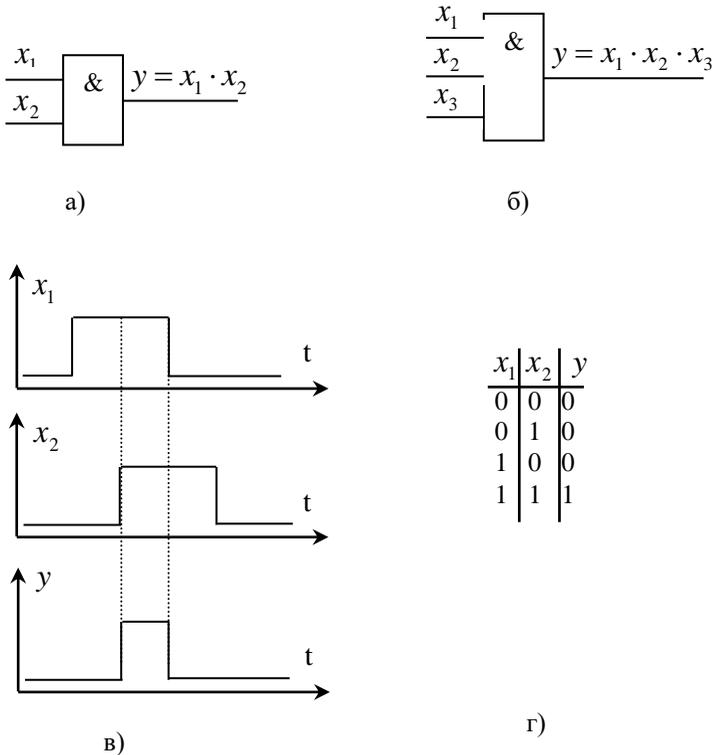


Рис. 2.
Конъюнктор

Функция “дизъюнкция” – это функция двух или большего числа аргументов (другие названия функции: **логическое сложение, логическая связь ИЛИ**). Функция равна 1, если хотя бы один из ее аргументов равен 1 (рис. 2, в). Обозначение функции “Дизъюнкция”:

$$y = x_1 + x_2 \text{ или } y = x_1 \vee x_2.$$

ЛЭ, реализующий функцию “дизъюнкция”, называют дизъюнктором или ЛЭ “ИЛИ”. Условное изображение и временные диаграммы ЛЭ “ИЛИ” приведены на рис. 3.

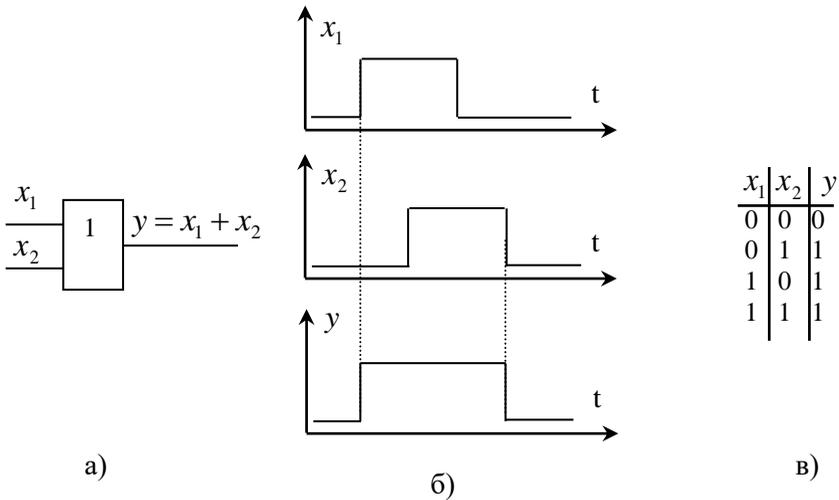


Рис. 3. Дизъюнктор: а) условное изображение, б) временные диаграммы, в) таблица истинности

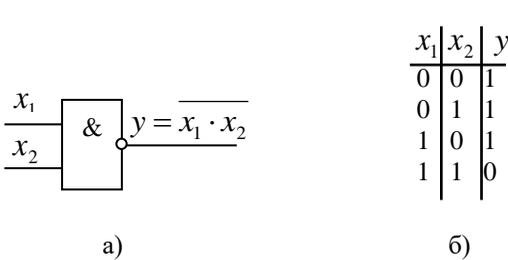


Рис. 4. ЛЭ “И-НЕ”:

а) условное изображение, б) таблица истинности

Функция “штрих Шеффера” (другое название функции – **логическая связь “И-НЕ”**) – это функция двух или большего числа аргументов. Таблица истинности функции “И-НЕ” представлена на рис. 4, б. Легко видеть, что это инверсия функции “И”, т.е. отрицание

конъюнкции. Функция равна 1, если равен 0 хотя бы один из ее аргументов, функция равна 0 при равенстве всех аргументов 1.

Обозначение функции “И-НЕ”: $y = \overline{x_1 \cdot x_2}$.

Условное изображение ЛЭ, реализующего функцию “штрих Шеффера”, приведено на рис. 4, а.

Используя только ЛЭ “И-НЕ”, можно реализовать любую из вышерассмотренных логических функций (НЕ, И, ИЛИ), как показано на рис. 5, а-в.

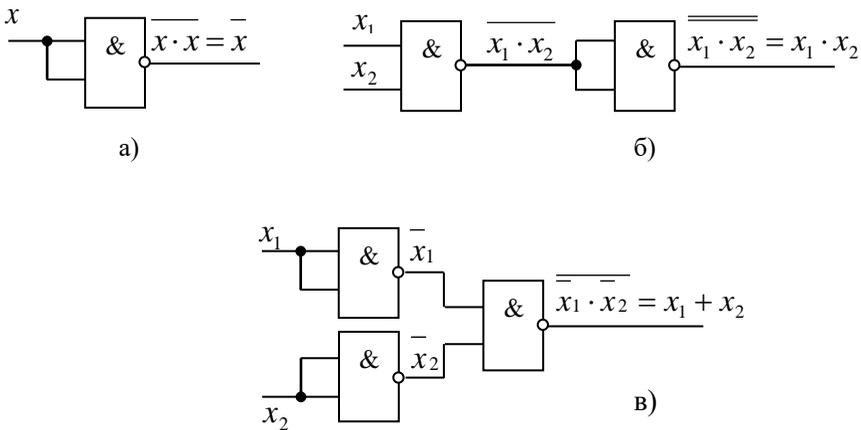
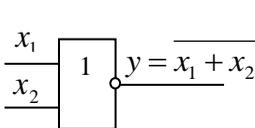


Рис. 5. Реализация с помощью ЛЭ “И-НЕ” функций:

а) НЕ, б) И, в) ИЛИ

Функция “стрелка Пирса” – это функция двух или большего числа



а)

x_1	x_2	y
0	0	1
0	1	0
1	0	0
1	1	0

б)

или большего числа аргументов (другое название функции – **логическая связь “ИЛИ-НЕ”**). Данная функция является инверсией функции “ИЛИ”, значения функции представлены на рис. 6, б, в формулах обозначается как $y = \overline{x_1 + x_2}$.

Условное

Рис. 6. ЛЭ “ИЛИ-НЕ”:

а) условное изображение, б) таблица истинности

изображение ЛЭ, реализующего функцию “ИЛИ-НЕ” приведено на рис. 6, а.

ЛЭ “ИЛИ-НЕ” также, как и ЛЭ “И-НЕ” позволяет реализовывать логические функции НЕ, ИЛИ, И. Отмеченное иллюстрирует рис. 7.

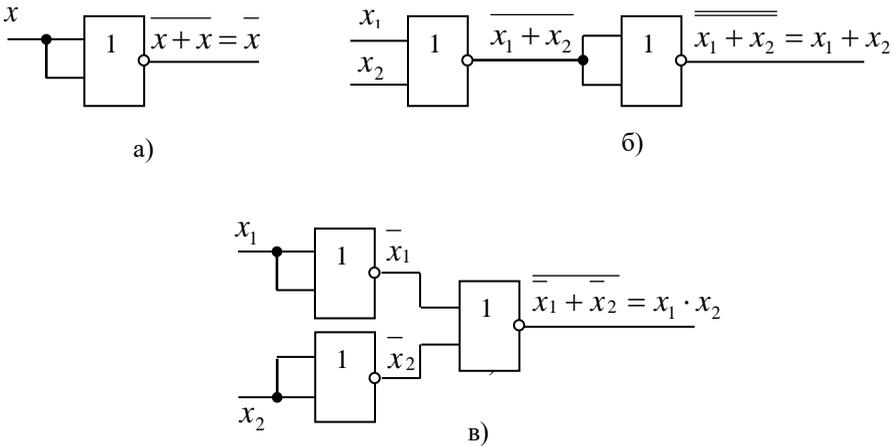
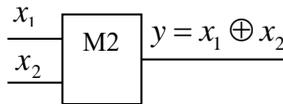


Рис. 7. Реализация с помощью ЛЭ “ИЛИ-НЕ” функций:
а) НЕ, б) ИЛИ, в) И

x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	0

а)



б)

Рис. 8. Функция M2: а) таблица истинности;
б) изображение ЛЭ, реализующего M2

Функция

“сумма по модулю 2” (M2) – это функция двух или большего числа аргументов.

Обозначение в формулах:

$$y = x_1 \oplus x_2 \quad (\text{в}$$

случае функции двух аргументов x_1 и

x_2). Таблица

истинности функции представлена на рис. 8, а. На рис. 8, б приведено условное графическое изображение двухвходового ЛЭ, реализующего эту функцию. Название функции связано с тем, что $x_1 \oplus x_2$ есть

арифметическая сумма двоичных чисел x_1 и x_2 в пределах одного разряда: $0+0=0$; $0+1=1$; $1+0=1$; $1+1=10$. В последнем случае возникает единица

переноса в соседний старший разряд, а в разряде самих слагаемых получается ноль. Отсюда широкое применение этого ЛЭ при построении суммирующих устройств.

Функция М2 обладает интересным свойством, которое полезно запомнить: при инвертировании одного из аргументов вся функция инвертируется, т.е. $\overline{x_1} \oplus x_2 = x_1 \oplus \overline{x_2} = \overline{x_1 \oplus x_2}$.

Инверсия суммы по модулю 2 для двух аргументов имеет и собственный смысл: это функция **равнозначности** $x_1 \equiv x_2$; она равна единице, если $x_1 = x_2$. Следовательно, для построения схем сравнения одноразрядных чисел достаточно проинвертировать один из аргументов или результат.

Полезно запомнить также следующие очевидные соотношения:

$$x \oplus 0 = x; \quad x \oplus 1 = \overline{x}; \quad x \oplus x = 0; \quad x \oplus \overline{x} = 1.$$

Первые два равенства позволяют применять ЛЭ М2 в качестве **управляемого инвертора**. Если использовать один из входов М2 как управляющий и подавать на него уровень логического 0 или 1, то информация, поступающая по второму входу, будет пропускаться на выход без изменения или инвертироваться.

В случае двух аргументов функцию М2 называют также функция **неравнозначности, исключаящее ИЛИ**, поскольку полностью совпадают таблицы истинности этих функций. Если же функция М2 трех или большего числа аргументов, то применение названий “неравнозначность”, “исключаящее ИЛИ” не правомерно. Последнее следует из сопоставления таблиц истинности этих функций (табл. 2), из которой следует, что это совершенно различные функции.

Таблица 2

Аргументы			Функции		
x_1	x_2	x_3	$M2 = x_1 \oplus x_2 \oplus x_3$	Неравнозначность	Исключаящее ИЛИ (один и только один)
0	0	0	0	0	0
0	0	1	1	1	1
0	1	0	1	1	1
0	1	1	0	1	0
1	0	0	1	1	1
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	1	0	0

Стандартные ИС ЛЭ И, ИЛИ, И-НЕ, ИЛИ-НЕ имеют 2, 3, 4 или 8 входов. Число аргументов, входящих в конъюнкцию (дизъюнкцию) или ее инверсию может отличаться от числа входов ЛЭ. Типовыми ситуациями являются наличие у имеющегося ЛЭ “лишних” (неиспользуемых) в данном случае входов или, напротив, нехватка у имеющегося ЛЭ необходимого числа входов. Например, нужно получить конъюнкцию (дизъюнкцию) или ее инверсию пяти переменных. В сериях ИС нет ЛЭ с пятью входами и придется взять элемент с восьмью входами, у

которого окажется три “лишних” входа (рис. 9, а). Принципиально возможно поступить следующим образом: “лишние” входы подсоединить к задействованным (рис. 9, б) или подать на них некоторые константы (логические “1” или “0”), не изменяющие логику работы ЛЭ (рис. 9, в).

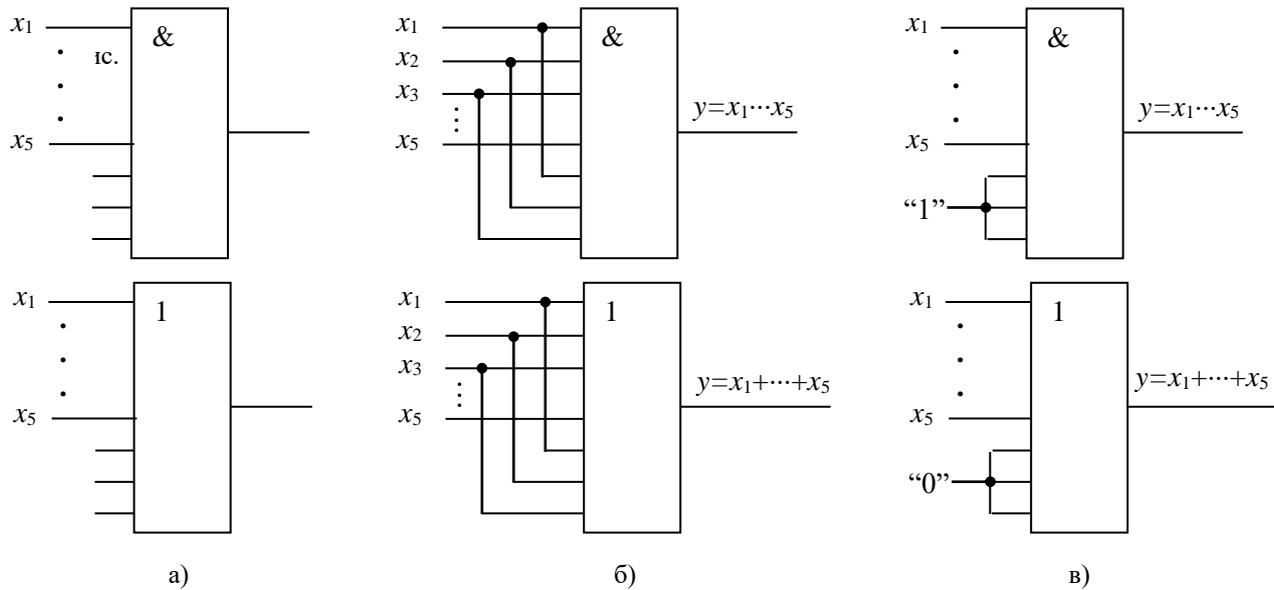


Рис. 9. Принципиально возможные режимы неиспользуемых

В других случаях число входов ЛЭ меньше числа аргументов конъюнкции (дизъюнкции) или ее инверсии. Для ЛЭ И и ИЛИ решение задачи не представляет трудностей – для получения нужного числа входов берется несколько ЛЭ, выходы которых объединяются далее элементом того же типа (рис. 10, а). На этом рисунке звездочка обозначает операцию конъюнкции или дизъюнкции.

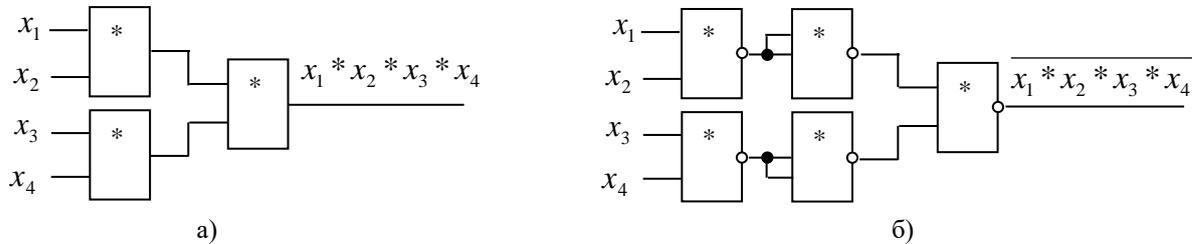


Рис. 10. Схема наращивания числа входов

2. Задание на практическую работу

2.1. Для ЛЭ, соответствующих вашему варианту (табл. 3):

2.1.1. Снять таблицу истинности;

2.1.2. Записать логические выражения, реализуемые ЛЭ;

2.1.3. Изобразить временные диаграммы, характеризующие работу ЛЭ.

Таблица 3

№ бригады (варианта)	Исследуемые логические элементы							
	НЕ	2И	2И-НЕ	2ИЛИ	2М2	3И	3И-НЕ	3ИЛИ
1	+			+	+	+	+	
2	+	+	+		+			+
3	+	+		+	+		+	
4	+		+		+	+		+
5	+	+		+	+		+	

2.2. Реализовать логическую функцию, соответствующую вашему варианту, используя заданный тип ЛЭ (табл. 4). Снять таблицу истинности ЛЭ или соединения ЛЭ (схемы), реализующих требуемую функцию.

Таблица 4

№ бригады (варианта)	Функция, подлежащая реализации	Тип используемых ЛЭ
1	а) $y = \overline{x_1 \cdot x_2 \cdot x_3}$	4И-НЕ
	б) $y = x_1 \oplus x_2 \oplus x_3$	2М2
2	а) $y = \overline{x_1 \cdot x_2}$	4И-НЕ
	б) $y = x_1 \oplus x_2 \oplus x_3 \oplus x_4$	2М2
3	а) $y = \overline{x_1 \cdot x_2 \cdot x_3}$	2И-НЕ
	б) $y = x_1 \oplus x_2 \oplus x_3$	2М2
4	а) $y = x_1 \cdot x_2 \cdot x_3$	2И
	б) $y = x_1 \oplus x_2 \oplus x_3 \oplus x_4$	2М2
5	а) $y = x_1 + x_2 + x_3$	4ИЛИ
	б) $y = x_1 \oplus x_2 \oplus x_3$	2М2

3. Контрольные вопросы

1. Что такое таблица истинности ЛЭ или устройства, осуществляющего некоторое логическое преобразование?

2. Укажите размерность таблицы истинности (число строк и число столбцов) ЛЭ: 4И и 2 ИЛИ.

3. Объясните, почему неиспользуемые входы ЛЭ “ИЛИ”, “ИЛИ-НЕ” соединяют с корпусом (уровнем логического “0”), а на неиспользуемые входы ЛЭ “И”, “И-НЕ” подается напряжение уровня логической “1”?

4. ЛЭ каких типов соответствуют приведенным таблицам истинности?

а)

б)

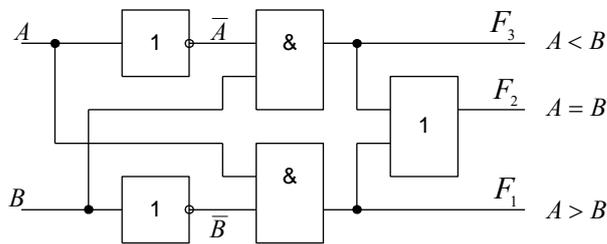
x_1	0	0	1	1
x_2	0	1	0	1
y	0	1	1	0

x_1	0	0	0	0	1	1	1	1
x_2	0	0	1	1	0	0	1	1
x_3	0	1	0	1	0	1	0	1
y	1	1	1	1	1	1	1	0

5. Какую логическую функцию реализует цепочка из К последовательно соединенных инверторов, если К – нечетное число, К – четное число? Чему эквивалентны такие цепочки?

6. Изобразите временные диаграммы, характеризующие функционирование ЛЭ: НЕ, ЗИ, ЗИЛИ, ЗИ-НЕ, ЗМ2.

7. Записать логические выражения и составить таблицы истинности ЛЭ, которым соответствуют приведенные временные диаграммы:



Практическая работа 3-4 Изучение компараторов

Компаратором называется устройство для сравнения двух однородных величин, в частности чисел A и B , и формирования признака отношения между ними. В этом случае, не имея информации о самих числах, по сигналам компаратора можно установить: $A > B$, $A < B$, либо $A = B$.

Цифровые компараторы предназначены для сравнения чисел, представленных в двоичном коде. Работу простейшего из них, компаратора одноразрядных чисел, можно описать следующей таблицей. Такое устройство должно формировать три функции F_1, F_2, F_3 , принимающие единичное значение при соответствующих соотношениях между

числами A и B .

A	B	F_1 $A > B$	F_2 $A = B$	F_3 $A < B$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Алгебраическая форма записи этих функций будет иметь вид, а схема устройства для их формирования, то есть компаратор, выглядит следующим образом. F_2 является функцией логической равнозначности, и так как ее значения инверсны по отношению к функции логической неравнозначности, то возможны две формы записи F_2 .

На основе такой ячейки может быть реализована процедура сравнения чисел любой разрядности. Пусть имеются два числа A и B одинаковой разрядности $a_{n-1}a_{n-2} \dots a_1a_0$ и $b_{n-1}b_{n-2} \dots b_1b_0$ и требуется установить

процедуры сравнения чисел любой разрядности. Пусть имеются два числа A и B одинаковой разрядности $a_{n-1}a_{n-2} \dots a_1a_0$ и $b_{n-1}b_{n-2} \dots b_1b_0$ и

$$F_1 = A\bar{B}$$

$$F_2 = \bar{A}\bar{B} + AB = \overline{A\bar{B}} + \overline{\bar{A}B}$$

$$F_3 = \bar{A}B$$

отношение между ними. Если разрядность чисел разная, то ее можно выровнять, заполнив старшие разряды более короткого числа нулями. В то же время сравнение таких чисел не имеет смысла, так как если у числа с большей разрядностью в старших имеется хотя бы одна единица, то оно обязательно будет больше. Это можно продемонстрировать на примере из десятичной системы счисления, если $A=120$ и $B=85$ и $A > B$. Здесь последнее число можно записать как 085 , что не изменит результата.

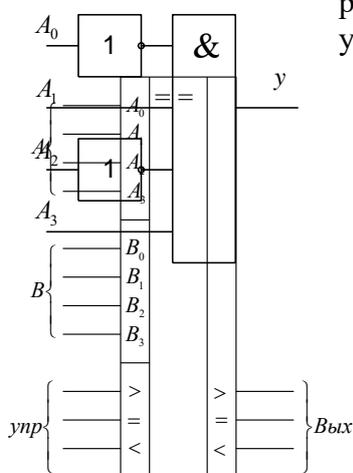
При анализе отношений между многоразрядными числами на первом этапе сравниваются старшие разряды a_{n-1} и b_{n-1} . При этом возможны три ситуации: $a_{n-1} > b_{n-1}$, $a_{n-1} < b_{n-1}$ и $a_{n-1} = b_{n-1}$. Очевидно, что при реализации первых двух, дальнейшее сравнение можно прекратить, так как, если старший разряд одного числа больше, либо меньше старшего разряда другого, то так же будут соотноситься и числа, например $236 > 128$, $321 < 480$.

В случае, когда старшие разряды одинаковы (456 и 479), потребуется перейти к анализу более младших a_{n-2} и b_{n-2} . Если они окажутся равными (128 и 129), то необходимо сделать еще один шаг и так далее. Таким образом, дольше всего будут сравниваться числа, если они равны. Анализ в одноразрядном компараторе требуется продолжать до появления единичного сигнала на выходах F_1 или F_3 , либо нулевого на F_2 .

Для практической реализации такого устройства кроме одnorазрядного компаратора потребуется узел, который осуществляет поочередный ввод разрядов чисел. Такое устройство обладает невысоким быстродействием из-за последовательной процедуры обработки поступающих данных.

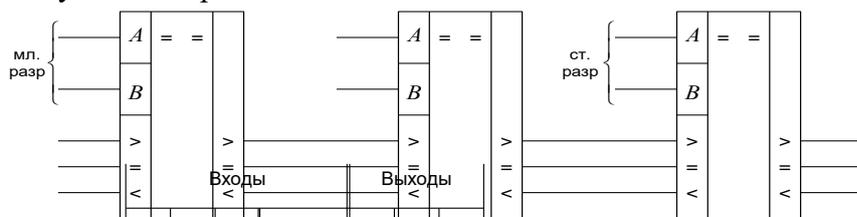
Для сокращения времени выполнения процедуры сравнения многоразрядных чисел используются параллельные компараторы. Промышленностью в интегральном исполнении выпускаются микросхемы четырехразрядных устройств (К555СП1, К561ИП2), которые могут соединяться между собой для увеличения разрядности сравниваемых чисел. Такие устройства имеют три стандартных выхода – больше (>), равно (=) и меньше (<), а также дополнительные входы с аналогичными обозначениями.

На принципиальных схемах они изображаются следующим образом, а их таблица функционирования имеет такой вид. Звездочки обозначают произвольные состояния сигналов, то есть либо логический ноль, либо единицу. Из таблицы следует, что данный компаратор кроме отношений $A > B$, $A < B$, $A = B$, может фиксировать нестрогие неравенства $A \geq B$ и $A \leq B$. Первое реализуется при комбинации управляющих сигналов 1 0 0, а второе – 0 0 1. В этих случаях на выходах $A > B$ и $A < B$ единичный сигнал будет формироваться, когда A больше, либо равно B , и соответственно, если A меньше или равно B . Для оценки строгих отношений требуется задать набор управляющих сигналов * 1 *.



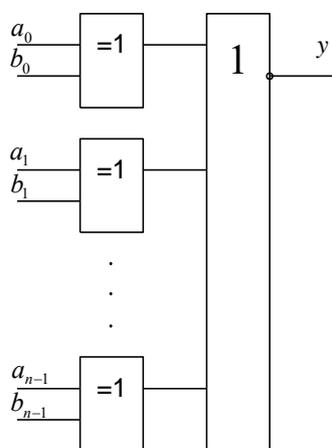
разряды чисел подаются на старшие на крайний правый. Это старшие разряды не равны, должен зависеть от значений реализуется в данной схеме, так сигналы компараторов не управляющих. Такая структура быстродействие, что обусловлено последовательным распространением сигналов управления.

Наращивание разрядности сравниваемых чисел при использовании рассмотренных узлов возможно различными способами, схема реализации одного из них выглядит следующим образом.



Упр.	>	=	<	A, B	>	=	<
*	*	*	*	$A > B$	1	0	0
1	0	0	0	$A = B$	1	0	0
*	1	*	*	$A = B$	0	1	0
0	0	1	0	$A = B$	0	0	1
*	*	*	*	$A < B$	0	0	1
0	0	0	0	$A = B$	1	0	1

Здесь младшие левый компаратор, а связано с тем, что когда результат сравнения не более младших, что и как при этом выходные зависят от значений имеет не очень высокое



Когда требуется выявить лишь факт равенства чисел, структура параллельного компаратора может быть существенно упрощена, так как в данном случае у чисел должны быть попарно равны все одноименные разряды. Определить, равны они или нет, можно используя схему логической неравнозначности (сумматор по модулю два). Далее необходимо сформировать сигнал логической единицы при наличии нулевых результатов сравнения пар разрядов. Отсюда следует, что схема такого устройства будет иметь вид.

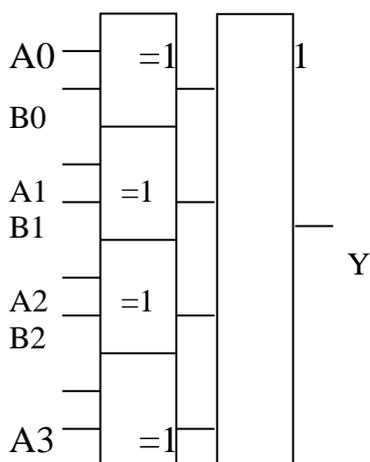
Для ряда приложений требуется решать еще более простую задачу, а именно сравнения числа с некоторой константой. Здесь можно использовать рассмотренные выше многоразрядные компараторы, однако это нецелесообразно из-

за значительных аппаратных затрат.

Пусть к примеру, необходимо сформировать сигнал логической единицы, если некоторое число $A = K$. То есть требуется создать устройство, на выходе которого появится единичный сигнал, на наборе переменных A_i , совпадающих с фиксированными

значениями разрядов K_i . Для этой цели можно использовать элемент И с количеством входов равным разрядности чисел, причем разряды A_i , соответствующие единичным значениям K_i необходимо подавать непосредственно, а соответствующие нулевым – в проинвертированном виде. Тогда только при $A=K$ на все входы элемента И поступят единицы и на выходе также сформируется единичный сигнал. Если, к примеру, $K=10$ (1010_2), то устройство будет выглядеть следующим образом.

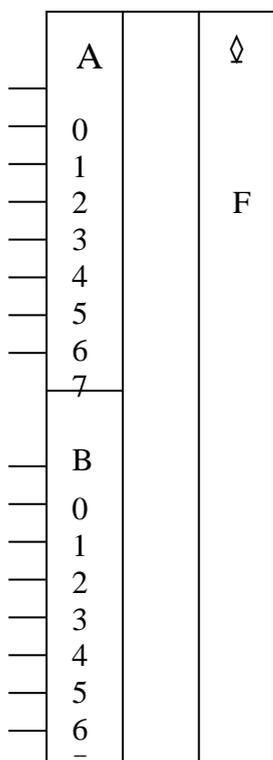
Схема сравнения или цифровой (кодовый) компаратор – это схема, производящая сравнение двух двоичных кодов. В простейшем случае схема определяет факт равенства двух кодов. Пример такой схемы для 4-разрядных кодов А и В показан на рис. 1.



Из схемы видно, что только при равенстве всех соответствующих разрядов чисел А и В $Y = 1$, т. к. на всех выходах ЛЭ ИСКЛЮЧАЮЩЕЕ ИЛИ будут логические нули.

Задание. Запишите выражение для функции Y для схемы на рис. 1. Постройте компаратор для двух 8-разрядных чисел, используя минимальное число ИМС.

Рис. 1



Существует несколько 6- и 8-разрядных компараторов, выпускаемых в виде ИМС. В качестве примера на рис. 28 изображена ИМС 559СК1. При равенстве входных 8-разрядных чисел выход F равен «1». Наличие выхода с ОК позволяет легко увеличивать разрядность, объединяя выходы нескольких микросхем.

Более универсальной является схема, определяющая не только факт равенства двоичных чисел, но и то, какое из них больше (меньше). Примером такой ИМС является 555СП1 (в сериях КМОП – 561ИП2). Условное изображение ее и таблица истинности приведены на рис. 3.

Рис. 2

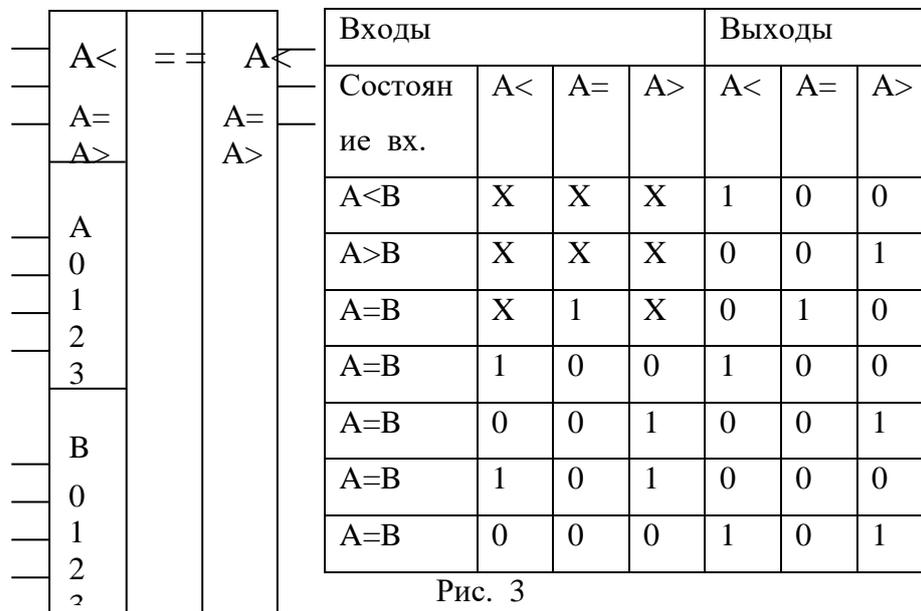
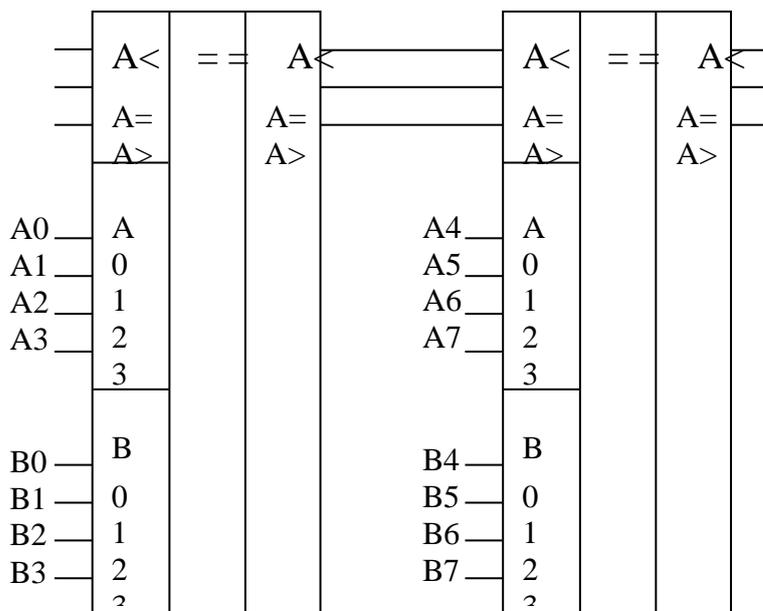


Рис. 3

Наиболее распространенным является включение, при котором на вход «A=» подается «1». При этом, в зависимости от входных кодов, на одном из выходов появляется «1». Другие варианты включения (4 нижние строки в таблице истинности) позволяют реализовать функции $A \leq B$, $A \geq B$.



При необходимости сравнения кодов с большим числом разрядов, используют несколько микросхем. Пример схемы для сравнения 8-разрядных чисел показан на рис. 30.

Аналогичная микросхема КМОП 561ИП2 имеет несколько отличающуюся таблицу

истинности и

схемы каскадирования [1], [3].

Задания.

Используя ЛЭ, построить схему, определяющую равенство и неравенство двух 8-разрядных чисел. Использовать минимальное число корпусов реальных ИМС.

Используя ЛЭ, построить схему, реализующую функции $A < B$, $A = B$, $A > B$ сначала для двух 1-разрядных чисел, а затем для двух 2-разрядных чисел, что является существенно более сложной задачей. Видоизменить схему на рис. 30 для получения выходной функции $F = 1$ при: $A = B$, $A \neq B$, $A > B$, $A \geq B$, $A < B$, $A \leq B$.

Практическая работа 5-6 . Проектирование схем дешифраторов и шифраторов

Дешифратор или **декодер** (далее - DC от англ. **decoder**) – это цифровой узел, преобразующий двоичный код на входе в унитарный код на выходе. Активный уровень имеется только на том выходе, номер которого соответствует входному коду (адресу). **Полный дешифратор** имеет **n** входов и **2ⁿ** выходов и называется **n** → **2ⁿ**. Каждый выход реализует один минтерм.

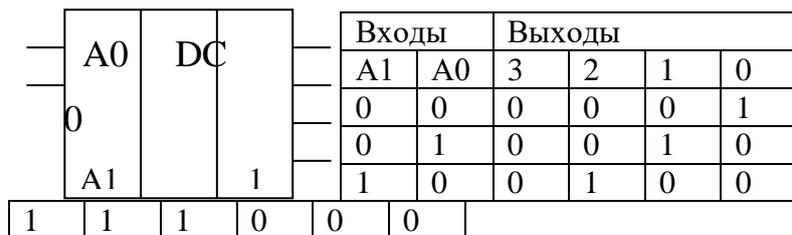
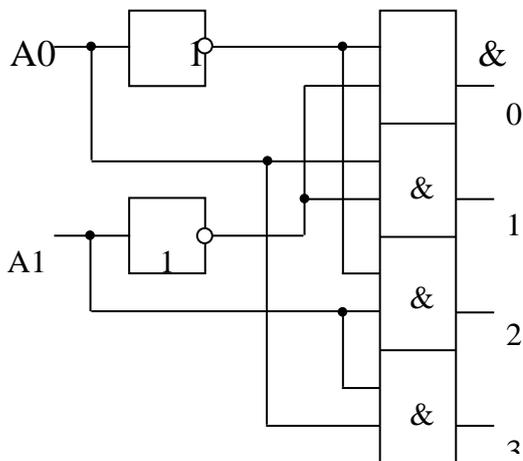


Рис. 31

На рис. 31 показаны условное обозначение дешифратора «2 x 4» (читается «два в четыре») и его таблица истинности. Очевидно, что выход 0 реализует $\bar{A}0\bar{A}1$ минтерм, $A0\bar{A}1$ выход 2 – и т. д. Исходя из этого легко построить схему такого дешифратора из ЛЭ (рис. 32).



Дешифраторы очень распространены в цифровой технике и часто используются для обращения к одному из нескольких устройств, адрес которого задается двоичным кодом.

Обычно DC имеют также вход разрешения E (от англ. **enable** – разрешение), часто называемом также «**строб**». При

отсутствии разрешения все выходы неактивны.

Рис. 32

Практически все DC на ИМС имеют инверсные выходы и один или несколько входов разрешения. Микросхемы обозначаются буквами ИД.

Дешифратор с инверсными выходами и входом E легко можно построить, модифицировав схему на рис. 32. Необходимо просто вместо ЛЭ «2И» использовать ЛЭ «3И-НЕ». На все третьи входы элементов И необходимо подать сигнал E (если необходимо – с инверсией).

В виде ИМС выпускаются DC «2 x 4», «3 x 8» и «4 x 16».

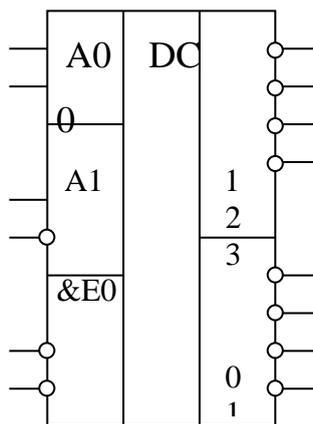


Рис. 33

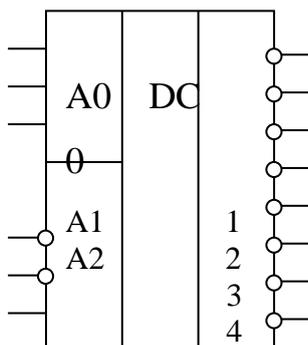


Рис. 34

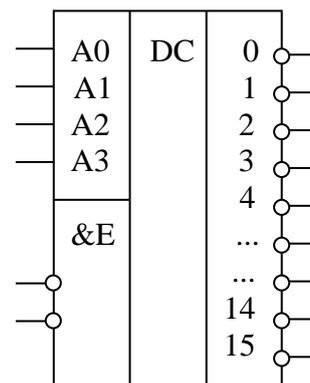


Рис. 35

На рис. 33 показана ИМС 555ИД4 – два дешифратора «2 x 4» с общими адресными входами и отдельными входами управления. 555ИД5 отличается от нее тем, что имеет выходы с ОК. На рис. 34 изображена ИМС 555ИД7 – дешифратор «3 x 8», на рис. 35 – 1533ИД3 – дешифратор «4 x 16». Аналогичная ИМС 555ИД19 имеет выходы с ОК.

Входы разрешения объединены по схеме И. Легко понять, что для разрешения на 555ИД7 необходимо подать комбинацию 001 и т. д. При любых других комбинациях на всех выходах будут единицы.

Существуют также ИМС дешифраторов, имеющих выходы с тремя состояниями.

Задание.

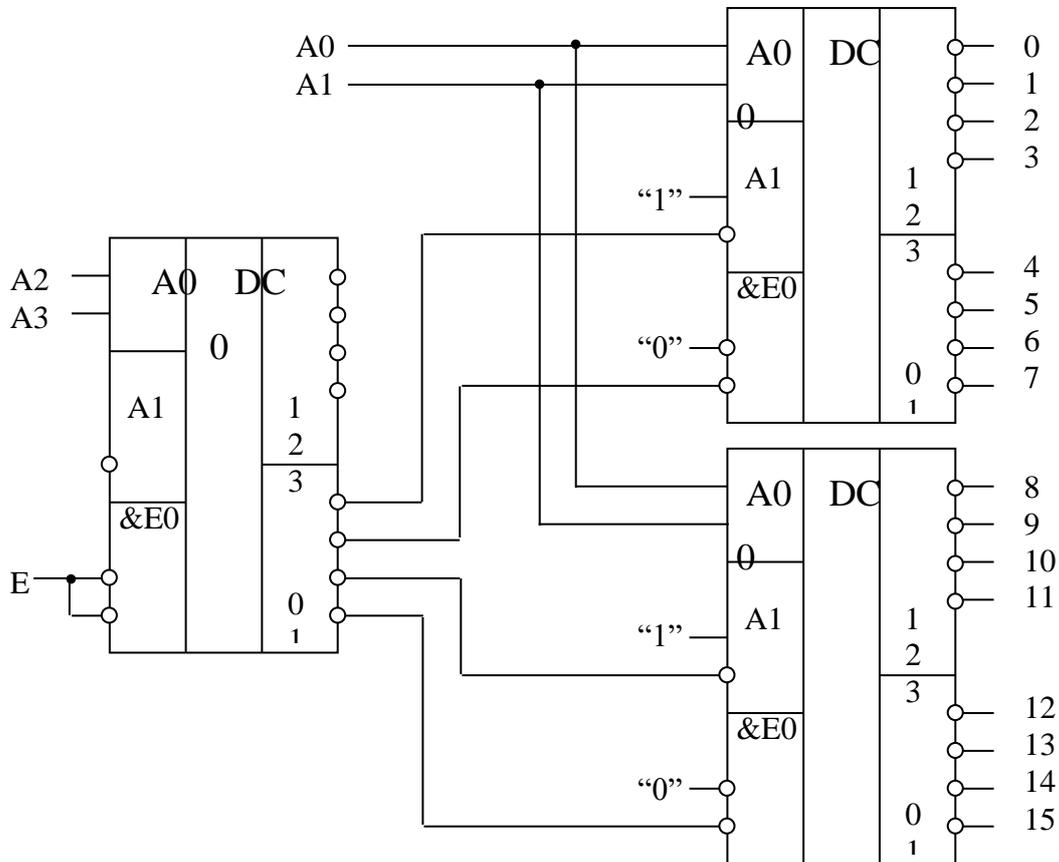
Построить все возможные варианты дешифраторов «1 x 2» и «2 x 4» на ЛЭ: а) с прямыми или инверсными выходами, б) с прямым или инверсным входом разрешения. Нарисовать таблицы истинности для всех вариантов, а также для ИМС на рисунках 33...35.

Увеличение разрядности дешифраторов

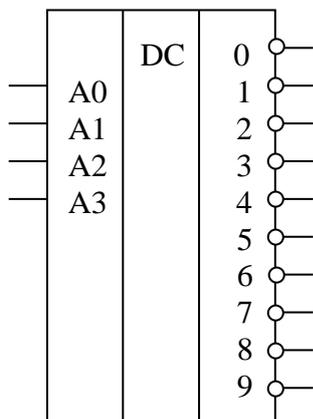
При необходимости иметь DC с большим числом разрядов, используют каскадное соединение (каскадирование) нескольких стробируемых дешифраторов. На рис. 36 показан пример построения дешифратора «4 x 16» из дешифраторов «2 x 4». На этом примере легко понять идею построения таких схем. Младшие разряды

адреса подаются на адресные входы всех DC входного каскада, а старшие – на DC, выходы которого стробируют выходные DC, открывая только один из них в соответствии со старшей частью адреса.

При необходимости дальнейшего увеличения разрядности подключают аналогично 2-й, 3-й каскады и т. д.



Неполный дешифратор



Неполным дешифратором называется дешифратор, имеющий n входов и меньше, чем 2^n выходов, т.е. реализующий не все минтермы.

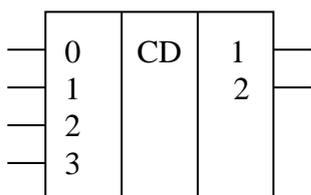
Наибольшее распространение имеют двоично-десятичные дешифраторы «4 x 10», выпускаемые в виде ИМС.

На рис. 37 изображена ИМС 555ИД6 (КМОП-аналог – 561ИД1). Аналогичная ИМС 555ИД10 имеет выходы с ОК. Среди зарубежных ИМС встречаются дешифраторы с тремя состояниями выходов.

Существуют также специальные дешифраторы для управления светодиодными индикаторами. Эти ИМС будут рассмотрены в следующих разделах.

Шифратор

Шифратор (CD, от англ. **coder**) выполняет преобразование, обратное DC. На вход CD подается унитарный код, а на выходе получается соответствующий ему двоичный код.



Входы				Выходы	
3	2	1	0	2	1
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

Рис. 38

На рис. 38 показаны условное обозначение и таблица истинности шифратора «4 в 2». Очевидно, что на входные сигналы накладывается ограничение (только одна единица), которое невыполнимо, если сигналы поступают от независимых источников, и не оговорено, как будет работать схема при поступлении произвольного кода. Поэтому схемы, подобные указанной, не выпускаются в виде ИМС и существуют чисто теоретически.

Задание.

Построить из ЛЭ схемы шифраторов «2 в 1», «4 в 2» и «8 в 3» и нарисовать и таблицы истинности.

5.1 Схема выделения старшей единицы

Данная схема преобразует произвольный код в унитарный: все старшие нули и старшая единица входного кода не изменяются, а все более младшие разряды заменяются на нули.

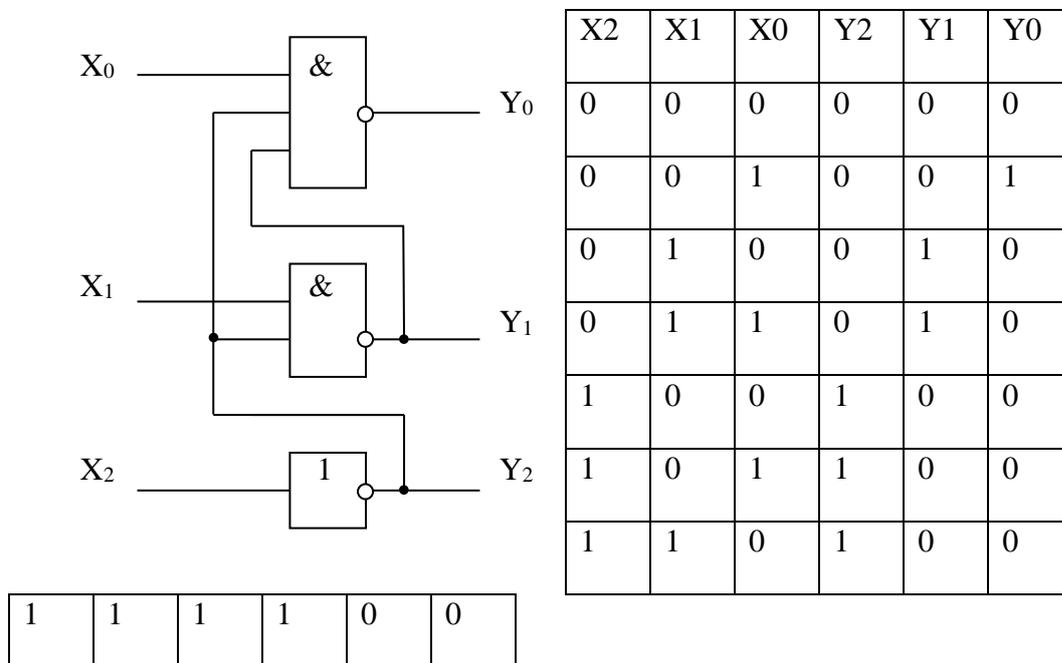


Рис. 39

На рис. 39 показан пример построения 3-разрядной схемы выделения старшей единицы (на выходе – инверсный код) и ее таблица истинности. Первая строка (все входы равны нулю) является исключением – код на выходе равен нулю и не является унитарным.

5.2 Приоритетный шифратор

Приоритетный шифратор формирует на выходе код номера старшего входного разряда, на котором присутствует единица. Структурная схема его показана на рис. 40.

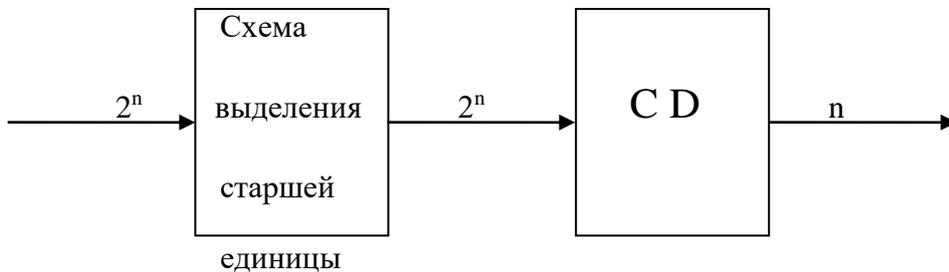


Рис. 40

Очевидно, что, если на вход поступает унитарный код, то схема работает как обычный шифратор, т. к. схема выделения старшей единицы не изменяет сигнал.

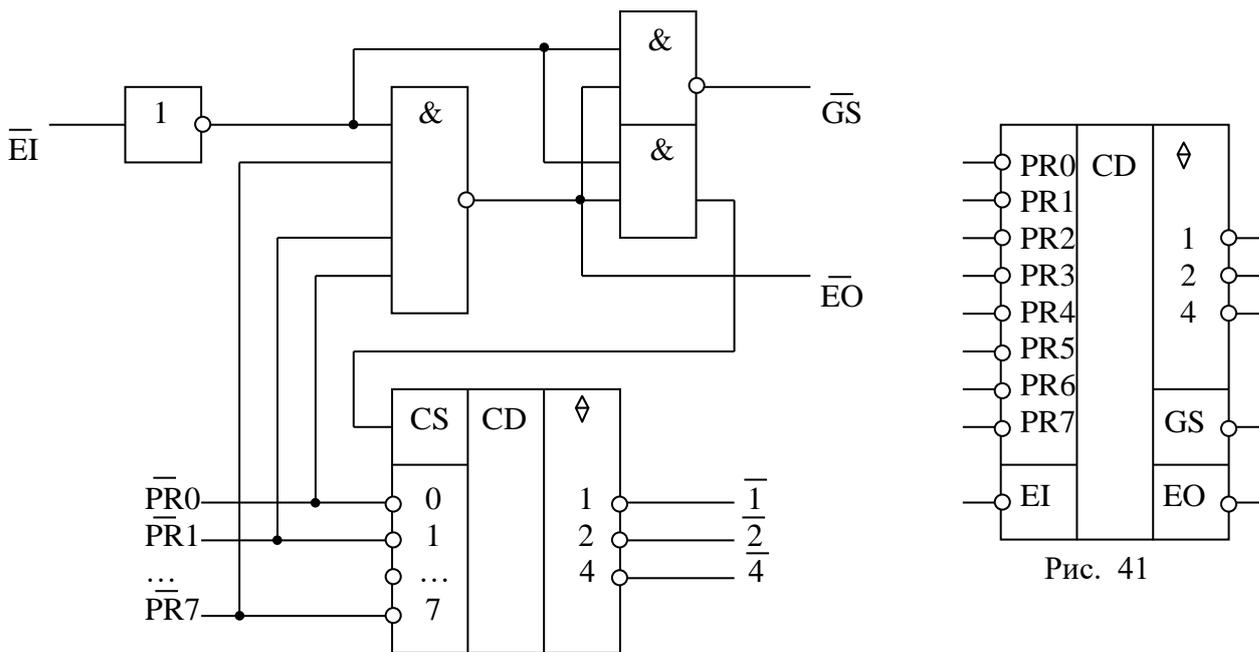


Рис. 41

На рис. 41 изображены структурная схема и условное обозначение ИМС 555IB2 – приоритетный шифратор «8x3» с тремя состояниями выходов. 555IB1 отличается тем, что выходы не имеют третьего состояния (на выходах все нули).

Рассмотрим работу микросхемы. Основной ее частью является приоритетный шифратор с инверсными входами и выходами. Работой микросхемы управляет сигнал EI (enable input – вход разрешения). Если EI=1 (после инверсии – EI=0), то на входе CS появляется «0» (нет выбора) и выходы шифратора находятся в Z-

состоянии, а $GS=EO=1$. Микросхема как бы находится в состоянии «выключено». При $EI=0$ состояние выходов описывается таблицей истинности:

EI	PR7	PR6	PR5	PR4	PR3	PR2	PR1	PR0	GS	EO
1	X	X	X	X	X	X	X	X	1	1
0	1	1	1	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	0	0	1
1	1	1	1	1	1	1	0	X	0	1
1	1	1	1	1	1	0	X	X	0	1
1	1	1	1	1	0	X	X	X	0	1
1	1	1	1	0	X	X	X	X	0	1
1	1	1	0	X	X	X	X	X	0	1
1	1	0	X	X	X	X	X	X	0	1
1	0	X	X	X	X	X	X	X	0	1

Сигнал GS (groupe signal – групповой сигнал) говорит о наличии на входе хотя бы одного активного сигнала (логического нуля) при включенном состоянии шифратора (т. е. при $EI=0$).

Сигнал EO (enable output – выход разрешения) указывает на то, что на входе нет ни одного нуля при включенном состоянии шифратора.

Сигналы EI и GS инверсны друг другу, если $EI=0$ и используются при каскадном включении шифраторов, описанном в [1], [2].

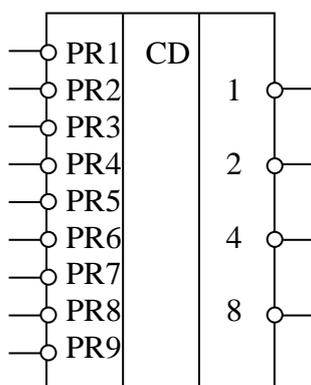


Рис. 42

На рис. 42 изображен двоично-десятичный приоритетный шифратор «10 в 4» 555ИВ3.

Обычно приоритетные шифраторы используются в вычислительной технике в составе схем управления прерываниями (контроллерах прерываний), а также в контроллерах клавиатуры для формирования кода нажатой клавиши. Подробно эти устройства будут изучаться в курсе «Микропроцессорные системы».

Задания

Попробуйте построить самостоятельно схему каскадного включения шифраторов 555ИВ1, 555ИВ2, например, схему «16 в 4». Сравните результат со схемами, рассмотренными в [1], [2].

Как объяснить, что 555ИВ3, называемая «10 в 4», имеет только 9 входов?

Синтез логических схем при помощи схем «дешифратор-шифратор»

На основе пары «DC-CD» можно реализовывать логические функции. Схема строится по следующему принципу:

- входные сигналы подаются на входы дешифратора. Число входов DC должно быть равно числу входных переменных;
- выходные сигналы снимаются с выходов шифратора. Число выходов шифратора, соответственно, должно быть равно числу выходных переменных.

В зависимости от функциональной связи производят соединения выходов DC со входами CD.

Рассмотрим пример. Пусть зависимость функций Y_0, Y_1, Y_2 от переменных X_0 и X_1 описывается таблицей истинности:

X_1	X_0	Y_2	Y_1	Y_0
0	0	1	0	0
0	1	0	1	1
1	0	0	1	0
1	1	0	1	1

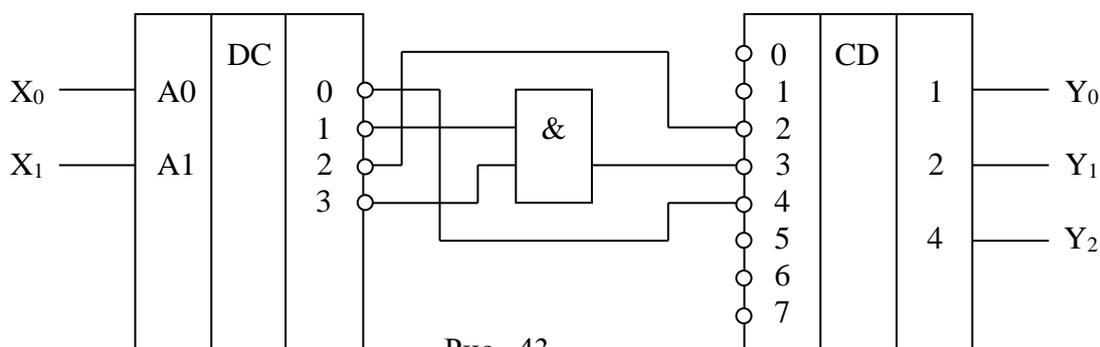


Рис. 43

Схема изображена на рис. 43. Рассмотрим логику ее построения.

При $X_0 = X_1 = 0$ (1-я строка) активный низкий уровень будет на выходе «0» дешифратора. На выходе схемы при этом должен быть получен код 100, т. е. сигнал нужно подать на вход «4» шифратора. Значит, выход «0» дешифратора необходимо подать на вход «4» шифратора.

При кодах входных переменных 01 и 11 код выходных переменных равен 011, поэтому выходы «1» и «3» дешифратора подаем через схему И на вход «3» шифратора. Соответственно, выход «2» (код 10) соединяем со входом «2» шифратора (выходной код 010).

Отметим, что, если дешифратор имеет инверсные выходы, то и входы шифратора должны быть инверсными.

Подобный метод синтеза логических схем в некоторых случаях может быть более эффективным, чем использование ЛЭ.

Задания

Построить схему по рассмотренной таблице истинности, используя реальные изученные ИМС, имея в виду, что 555ИВ1 и 555ИВ2 имеют инверсные выходы.

Для тренировки постройте схемы, задав таблицу истинности произвольным образом с числом входных и выходных переменных, равным 2, 3.

Практическая работа 7-8

ПРОЕКТИРОВАНИЕ МУЛЬТИПЛЕКСИРОВ

Цель работы: практическое освоение принципов построения мультиплексоров и демультимплексоров и экспериментальное их исследование на лабораторном стенде.

1. Теоретические основы практической работы

1.1 Мультиплексоры

Мультиплексор – это комбинационная многоходовая схема с одним выходом. Входы мультиплексора подразделяются на информационные D_0, D_1, \dots, D_{n-1} и управляющие (адресные) A_0, A_1, \dots, A_{k-1} . Обычно $2^k = n$, где k и n – число адресных и

информационных входов соответственно. Двоичный код, поступающий на адресные входы, определяет (выбирает) один из информационных входов, значение переменной y которого передается на выход y , т.е. мультиплексор реализует функцию:

$$y = D_i, \text{ если } \sum_{i=0}^{k-1} A_i \cdot 2^i = i \quad (1)$$

Таблица 1

A_1	A_0	D_0	D_1	D_2	D_3	y
0	0	0	*	*	*	0
0	0	1	*	*	*	1
0	1	*	0	*	*	0
0	1	*	1	*	*	1
1	0	*	*	0	*	0
1	0	*	*	1	*	1
1	1	*	*	*	0	0
1	1	*	*	*	1	1

* - значение входа не влияет на значение y

конъюкторов объединены схемой ИЛИ.

Таблица функционирования, описывающая работу мультиплексора, имеющего, например, $n = 4$ информационных (D_0, D_1, D_2, D_3) и $k = 2$ адресных (A_0, A_1) входов, представлена в табл. 1.

Вариант схемной реализации мультиплексора “4-1” (“четыре в один”, т.е. коммутирующего данные от одного из четырех входов на единственный выход) и его условное графическое изображение представлены на рис. 1.

Здесь мультиплексор построен как совокупность двухвходовых конъюкторов данных (их число равно числу информационных входов), управляемых выходными сигналами дешифратора, дешифрирующего двоичный адресный код. Выходы

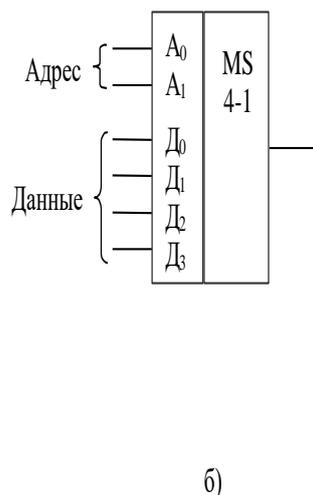
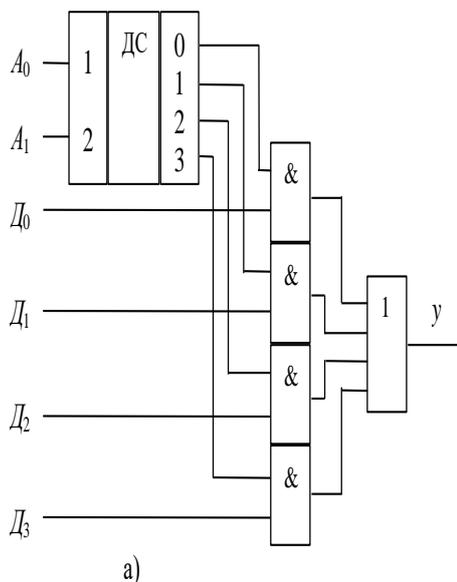
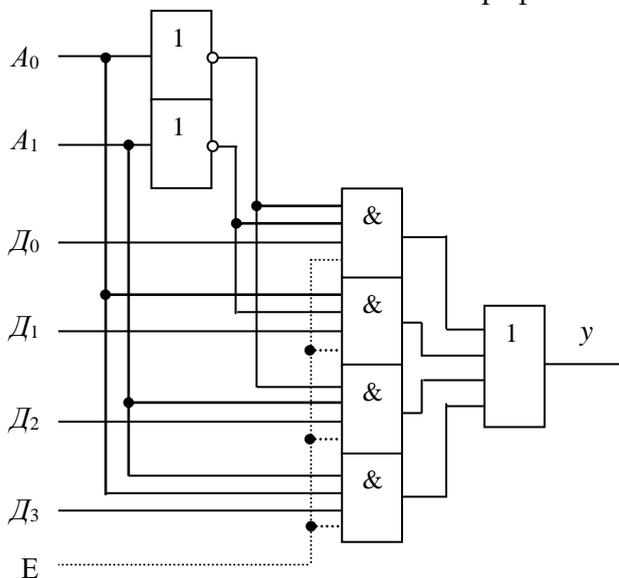


Рис. 1. Схема мультиплексора с дешифратором (а) и его условное

Графическое изображение



В интегральном исполнении применяется более простая схема, в которой конъюкторы дешифратора одновременно выполняют и функцию конъюкторов данных. Работа мультиплексора при этом описывается соотношением

$$y = D_0 \overline{A_1} \overline{A_0} + D_1 \overline{A_1} A_0 + D_2 A_1 \overline{A_0} + D_3 A_1 A_0. \quad (2)$$

Из (2) следует, что при любом значении адресного кода все слагаемые, кроме одного равны нулю. Ненулевое слагаемое равно D_i , где i – значение текущего адресного кода.

В соответствии с этим соотношением строятся реальные схемы мультиплексоров,

Рис. 2. Схема мультиплексора “4-1”

одна из которых для мультиплексора “четыре в один” приведена на рис. 2. Как правило, схема дополняется входом разрешения работы – Е (показан пунктирной линией). При отсутствии разрешения работы (Е=0) выход у становится нулевым и не зависит от комбинации сигналов на информационных и адресных входах мультиплексора.

Мультиплексоры 4-1, 8-1, 16-1 выпускаются в составе многих серий цифровых интегральных схем и имеют буквенный код КП. Например, К555КП1 – мультиплексор 2-1 (в данном корпусе размещаются четыре мультиплексора), К555КП12 – мультиплексор 4-1 (в одном корпусе размещаются два мультиплексора) и т.д.

В тех случаях, когда функциональные возможности ИС мультиплексоров не удовлетворяют разработчиков по числу информационных входов, прибегают к их каскадированию с целью наращивания числа входов до требуемого значения. Наиболее универсальный способ наращивания размерности мультиплексора состоит в построении пирамидальной структуры, состоящей из нескольких мультиплексоров. При этом первый ярус схемы представляет собой столбец, содержащий столько мультиплексоров, сколько необходимо для получения нужного числа информационных входов. Все мультиплексоры этого столбца коммутируются одним и тем же адресным кодом, составленным из соответствующего числа младших разрядов общего адресного кода. Старшие разряды адресного кода используются во втором ярусе, мультиплексор которого обеспечивает поочередную работу мультиплексоров первого яруса на общий выход.

Пирамидальная схема, выполняющая функцию мультиплексора “16-1” и построенная на мультиплексорах “4-1”, показана на рис. 3.

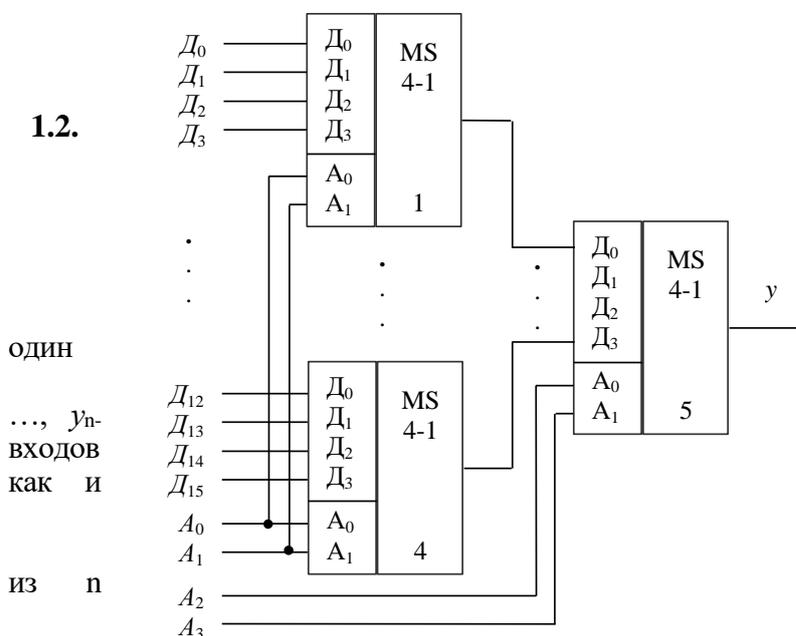


Рис. 3. Каскадное соединение мультиплексоров

Демультимплексоры

Демультимплексор – схема, выполняющая обратную функцию мультиплексора, т.е. это комбинационная схема, имеющая информационный вход (D), n информационных выходов (y₀, y₁, ..., y_{n-1}) и k управляющих (адресных) входов (A₀, A₁, ..., A_{k-1}). Обычно, также мультиплексоров, 2^k = n. Двоичный код, поступающий на адресные входы, определяет один выход, на который передается значение переменной с информационного входа (D), т.е. демультимплексор реализует

следующие функции:

$$y_i = \begin{cases} D, & \text{если } \sum_{i=0}^{k-1} A_i \cdot 2^i = i, \\ 0, & \text{если } \sum_{i=0}^{k-1} A_i \cdot 2^i \neq i. \end{cases} \quad i = 0, 1, 2, \dots, n-1; \quad (3) \quad (3)$$

Таблица функционирования демультимплексора, имеющего n = 4 информационных выходов (y₀, y₁, y₂, y₃) и k = 2 адресных входов (A₀, A₁), представлена в табл. 2.

Таблица 2

D	A ₀ , A ₁	y ₀	y ₁	y ₂	y ₃	D	A ₀ , A ₁	y ₀	y ₁	y ₂	y ₃
0	0 0	0	0	0	0	0	1 0	0	0	0	0
1	0 0	1	0	0	0	1	1 0	0	0	1	0
0	0 1	0	0	0	0	0	1 1	0	0	0	0
1	0 1	0	1	0	0	1	1 1	0	0	0	1

Уравнения, описывающие работу демультимплексора:

$$y_0 = D \cdot \overline{A_1} \cdot \overline{A_0}; \quad y_1 = D \cdot \overline{A_1} \cdot A_0; \quad y_2 = D \cdot A_1 \cdot \overline{A_0}; \quad y_3 = D \cdot A_1 \cdot A_0. \quad (4)$$

Схема демультиплексора, построенная по данным уравнениям и его графическое изображение представлены на рис. 4.

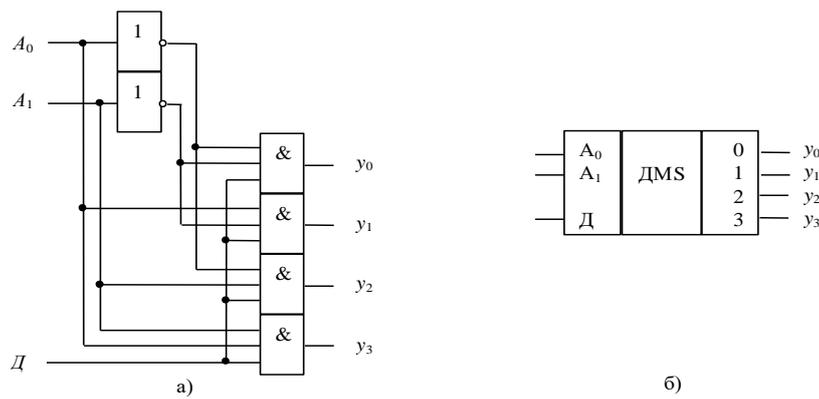


Рис. 4. Схема демультиплексора "1-4" (а)

и его условное изображение (б)

Функция демультиплексора легко реализуется с помощью дешифратора, если его вход "Разрешение" (Е)

использовать в качестве информационного входа демультиплексора, а входы 1, 2, 4 ... - в качестве адресных входов демультиплексора A_0, A_1, A_2, \dots . Действительно, при активном значении сигнала на входе Е избирается выход, соответствующий коду, поданному на адресные входы. Поэтому ИС дешифраторов, имеющих разрешающий вход, иногда называют не просто дешифраторами, а дешифраторами-демультиплексорами (например, К155ИД4, К531ИД7 и др.).

1.3 Применение мультиплексоров и демультиплексоров

1.3.1. Термином "мультиплексирование" называют процесс передачи данных от нескольких источников по общему каналу, а устройство, осуществляющее на передающей стороне операцию сведения данных в один канал, принято называть мультиплексором. Подобное устройство способно осуществлять временное разделение сигналов, поступающих от нескольких источников, и передавать их в канал (линию) связи друг за другом в соответствии со сменой кодов на своих адресных входах.

На приемной стороне обычно требуется выполнить обратную операцию – демультиплексирование, т.е. распределение порций данных, поступивших по каналу связи в последовательные моменты времени, по своим приемникам. Эту операцию выполняет демультиплексор. Совместное использование мультиплексора и демультиплексора для передачи данных от n источников к n приемникам по общей линии иллюстрирует рис. 5. (В общем случае число источников данных не равно числу приемников).

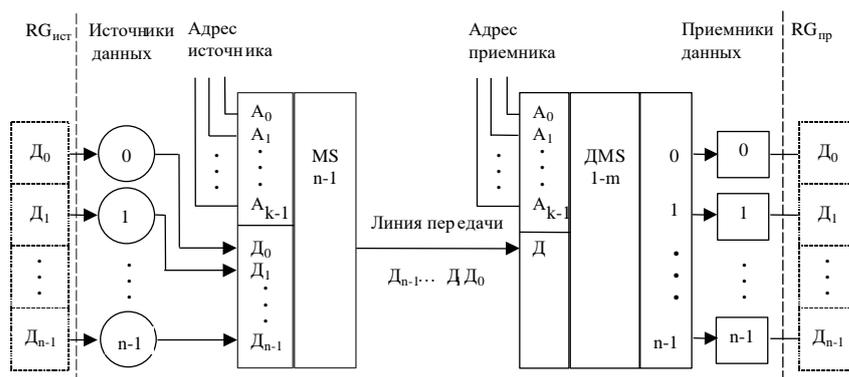


Рис. 5. Схема объединения мультиплексора и демультиплексора для последовательной передачи данных

разрядного параллельного кода на передающей стороне в последовательный код (с помощью мультиплексора) и последовательного кода в параллельный на приемной стороне (с помощью демультиплексора). При подобном применении мультиплексора и демультиплексора в качестве их адресных кодов используются выходные сигналы двоичного счетчика, последовательно формирующего на своих выходах двоичные коды чисел от 0 до $n-1$.

1.3.3. Мультиплексор можно использовать в качестве универсального логического элемента для реализации любой логической функции от числа аргументов, равного числу

1.3.2. Если в схеме (рис. 5) n различных источников и приемников заменить n -разрядными источником и приемником, например, регистрами $RG_{ист.}$ и $RG_{пр.}$ (изображены пунктирными линиями), то схема может быть использована для преобразования n -

адресных входов мультиплексора. Покажем это на примере логической функции, заданной своей таблицей истинности (табл. 3).

Таблица 3

№	a	b	c	y	№	a	b	c	y
0	0	0	0	0	4	1	0	0	0
1	0	0	1	0	5	1	0	1	1
2	0	1	0	0	6	1	1	0	1
3	0	1	1	1	7	1	1	1	0

Выбираем мультиплексор, имеющий три адресных (по числу аргументов функции) и восемь информационных входов. Для реализации заданной функции информационные входы мультиплексора соединим с уровнями логических “1” и “0” в такой последовательности, которая полностью копирует

последовательность единиц и нулей функции в таблице истинности (рис. 6). При этом не требуется ни записи СДНФ, ни ее минимизации. Кстати, функция, заданная табл. 3 (четность числа единиц в трехразрядном слове), не упрощается, поэтому для своей реализации, например, в базисе ЛЭ “И-НЕ” требует четырех ЛЭ “ЗИ-НЕ” и трех инверторов, т.е. в сумме потребуется три ИС. В то же время для реализации схемы по рис. 6 требуется всего одна ИС

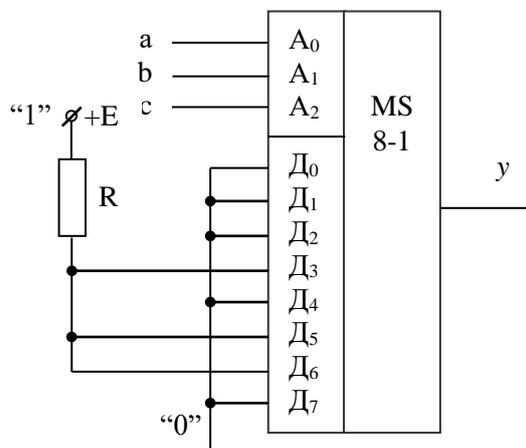


Рис. 6. Применение мультиплексора для реализации логической функции

мультиплексора “8-1”. По этой причине, способ реализации функций трех или большего числа аргументов с помощью ИС мультиплексоров весьма популярен у разработчиков.

2. Задание на практическую работу

2.1. Используя ЛЭ, установленные на стенде, спроектировать схему мультиплексора и исследовать его работу (снять таблицу истинности). Размерность мультиплексора и тип (базис) ЛЭ задаются табл. 4.

Таблица 4

№ бригады (вариант)	Размерность Мультиплексора	Тип (базис) ЛЭ
1	2-1	И-НЕ
2	3-1	И-НЕ
3	3-1	ОФПН(И, ИЛИ, НЕ)
4	4-1	И-НЕ
5	4-1	ОФПН(И, ИЛИ, НЕ)

2.2. Исследовать работу (снять таблицу истинности) ИС мультиплексора К531КП2.

2.3. На основе ИС мультиплексора К531КП2 спроектировать и испытать схему, реализующую логическую функцию, соответствующую вашему варианту (табл. 5).

Таблица 5

№ бригады (вариант)	Логическая функция
1	Равнозначность двух переменных
2	Неравнозначность двух переменных

3	$y = \overline{x_1 x_2} + \overline{x_1} \overline{x_2} + \overline{x_1} \overline{x_2}$
4	$y = \overline{x_1} \overline{x_2} + \overline{x_1} \overline{x_2} + \overline{x_1} \overline{x_2}$
5	$y = \overline{x_1} \overline{x_2} + \overline{x_1} \overline{x_2} + \overline{x_1} \overline{x_2}$

3. Контрольные вопросы

1. Дайте определение мультиплексора и демультиплексора.
2. Перечислите применения мультиплексоров и демультиплексоров.
3. В чем суть каскадирования мультиплексоров? Объясните как на основе ИС мультиплексоров “8-1” спроектировать мультиплексор на 16, 32, и т.д. входов.
4. На основе ИС мультиплексора “8-1” спроектируйте схему, реализующую логическую функцию :
 - 4.1. четности трехразрядного слова (четности числа единиц в трехразрядном слове);
 - 4.2. нечетности трехразрядного слова;
 - 4.3. $y = x_1 x_2 + x_1 x_3 + x_2 x_3$.
5. Объясните как с помощью демультиплексора можно осуществить преобразование последовательного кода в параллельный.
6. Объясните как с помощью мультиплексора можно осуществить преобразование параллельного кода в последовательный.
7. Данные от одного из четырех источников должны последовательно передаваться по одной линии одному из трех приемников. Спроектируйте схемы и объясните работу ЦУ передающей и приемной сторон, обеспечивающих такую возможность.

Практическая работа 9-10

ПРОЕКТИРОВАНИЕ СХЕМ СУММАТОРОВ

Цель работы: изучение правил выполнения арифметических действий над двоичными числами и исследование принципов построения двоичных сумматоров и вычитателей.

1. Теоретические основы практической работы

1.1 Правила выполнения арифметических операций

Арифметические действия (операции) относятся к числу наиболее распространенных операций, выполняемых цифровыми устройствами (ЦУ).

Правила выполнения арифметических операций над двоичными числами аналогичны соответствующим правилам десятичной арифметики и сведены в табл.1.

Таблица 1

Правила и примеры выполнения арифметических операций над двоичными числами.

Двоичное сложение

Слагаемые к-го разряда	Сумма к-го разряда	Перенос в к+1-й разряд	Пример
0 + 0 = 0	0	0	1100 – перенос
0 + 1 = 1	1	0	1101 – 1-е слагаемое
1 + 0 = 1	1	0	+ 1100 – 2-е слагаемое
1 + 1 = 0	0	1	11001 – сумма

Двоичное вычитание

Уменьшаемое к-го разряд а	Вычитаемое к-го разряд а	Разность к-го разряда	Заем из в к+1-й разряда	Пример
0	-	0 = 0	0	010 – заем
0	-	1 = 1	1	1101 – уменьшаемое
1	-	0 = 0	0	– 1010 – вычитаемое
1	-	1 = 0	0	0011 – разность
0				

Двоичное умножение

Множимое к-го разряда	Множитель к-го разряда	Произведе- ние к-го разряда			Пример
0	x	0	=	x	1010 – множимое 101 – множитель
0	x	1	=	+	1010
0	x	0	=	+	0000
0	x	1	=		1010
1	x	1	=		
					110010 – произведение

Двоичное деление

Делимое к-го разряда	Делитель к-го разряда	Частное к-го разряда			Пример
0	:	0	=	?	$\begin{array}{r} 1111 \overline{)10} \\ \underline{10} \\ 0 \end{array}$ 111 – частное
0	:	1	=	0	$\begin{array}{r} 11 \\ \underline{10} \\ 1 \end{array}$
1	:	0	=	?	$\begin{array}{r} 11 \\ \underline{10} \\ 1 \end{array}$
1	:	1	=	1	$\begin{array}{r} 1 \\ \underline{1} \\ 0 \end{array}$ – остаток

Для выполнения арифметических операций над двоичными числами со знаком вводят дополнительный (знаковый) разряд, который указывает, является ли число положительным или отрицательным. Если число положительное, в знаковый разряд проставляется символ 0, если же число – отрицательное, то в знаковый разряд проставляется символ 1. Например, число (+5) с учетом знакового разряда (отделяется точкой) запишется как 0.101, а число (-3) – как 1.011.

При сложении чисел с одинаковыми знаками числа складываются и сумме присваивается код знака слагаемых, например

$$\begin{array}{r} +_2^3 \Rightarrow +_{10}^3 \\ \hline 5_{10} \end{array} \quad \begin{array}{r} 0.011 \\ +0.010 \\ \hline 0.101_2 \end{array} \quad \begin{array}{r} +_{-2}^{-3} \Rightarrow +_{10}^{-3} \\ \hline -5_{10} \end{array} \quad \begin{array}{r} 0.011 \\ +0.010 \\ \hline 0.101_2 \end{array}$$

Несколько усложняется операция сложения чисел с разными знаками (алгебраическое сложение), что равносильно вычитанию чисел. В этом случае необходимо определить большее по модулю число, произвести вычитание и присвоить разности знак большего (по модулю) числа.

Для упрощения выполнения этой операции слагаемые представляются в обратном или дополнительном кодах поскольку известно, что операция вычитания (алгебраического сложения) сводится к операции простого арифметического сложения двоичных чисел, представленных в обратном или дополнительном кодах. Положительные числа в прямом, обратном и дополнительном кодах имеют один и тот же вид, а отрицательные – различный.

Чтобы представить отрицательное двоичное число в обратном коде, надо поставить в знаковый разряд 1, а во всех остальных разрядах прямого кода заменить единицы нулями, а нули – единицами, т.е. проинвертировать число.

При записи отрицательного двоичного числа в дополнительном коде, надо поставить 1 в знаковый разряд, а остальные разряды получить из обратного кода числа, прибавлением 1 к младшему разряду.

Приведем примеры записи двоичных чисел со знаками в прямом, обратном и дополнительном кодах.

Число	Прямой код	Обратный код	Дополнительный код
+6	0.110	0.110	0.110
-5	1.101	1.010	1.011

Поясним процедуру вычитания чисел 5 и 3, и 3 и 5. Последовательность и взаимосвязь операций представлена в табл. 2.

Таблица 2

	Обратный код	Дополнительный код
$5 - 3 = 5 + (-3) = 2$	$\begin{array}{r} x_1 = 0.101 \\ x_2 = 1.100 \\ + \quad 0.101 \\ \hline 1.100 \\ \hline 10.001 \\ \hline 0.010 \end{array}$ <p>Перенос в младший разряд. Сумма положительна</p>	$\begin{array}{r} x_1 = 0.101 \\ x_2 = 1.101 \\ + \quad 0.101 \\ \hline 1.101 \\ \hline 10.010 \\ \hline 0.010 \end{array}$ <p>Единица переноса в младший разряд игнорируется. Сумма положительна</p>
$3 - 5 = 3 + (-5) = -2$	$\begin{array}{r} x_1 = 0.011 \\ x_2 = 1.010 \\ + \quad 0.011 \\ \hline 1.010 \\ \hline 1.101 \end{array}$ <p>Перенос в младший разряд отсутствует. Сумма отрицательна и представлена в обратном коде.</p>	$\begin{array}{r} x_1 = 0.011 \\ x_2 = 1.011 \\ + \quad 0.011 \\ \hline 1.011 \\ \hline 1.110 \end{array}$ <p>Сумма отрицательна и представлена в дополнительном коде.</p>

Из приведенных примеров следует, что при использовании обратного кода в устройстве, обеспечивающем суммирование многоразрядных двоичных чисел – двоичном сумматоре, необходимо предусмотреть цепь циклического переноса. В случае использования дополнительного кода эта цепь отсутствует.

Из приведенного выше можно сделать следующее заключение. В ЦУ (в компьютере, в частности) нет надобности использовать два специализированных вычислительных устройства, одно из которых – двоичный сумматор, а другое – двоичный вычитатель. Оказывается, что применение простого математического «трюка» (представление двоичных чисел в обратном или дополнительном коде) позволяет приспособить двоичный сумматор для выполнения, как операций сложения двоичных чисел, так и операций их вычитания.

Более того, с помощью двоичного сумматора можно обеспечить также выполнение и операций умножения и деления двоичных чисел (т.е. всех четырех арифметических действий), поскольку умножение представляет собой последовательное сложение, а деление – последовательное вычитание. Примеры выполнения этих операций приведены в табл. 3.

Таблица 3

Операция	Процедура	Последовательность основных микроопераций
$5 \times 3 = 15$	$\begin{array}{r} 101 \\ 011 \\ \hline 101 \\ 1010 \\ \hline 00000 \\ 01111 \end{array}$	Суммирование Сдвиг суммы Сдвиг
$15 : 3 = 5$	$\begin{array}{r} 0.1111 \overline{) 11} \\ \underline{1.01} \quad \overline{) 101} \\ 0.00 \\ \hline 0.01 \\ \underline{1.01} \\ 1.10 \\ \hline 0.01 \\ 0.11 \\ \hline 1.01 \\ \underline{0.00} \end{array}$	Суммирование в дополнительном коде Сумма положительна – запись единицы Сдвиг остатка Сумма отрицательна – запись нуля Восстановление остатка Сдвиг остатка Запись единицы, конец вычислений

1.2 Двоичные сумматоры

Суммирование многоразрядных двоичных чисел $A=a_n a_{n-1} \dots a_0$ и $B=b_n b_{n-1} \dots b_0$ производится путем их поразрядного сложения с переносом между разрядами. Поэтому основным узлом многоразрядных сумматоров является комбинационный одноразрядный сумматор, который выполняет арифметическое сложение трех одноразрядных чисел (цифр): цифры данного разряда первого слагаемого (a_i), цифры данного разряда второго слагаемого (b_i) и цифры (1 или 0) переноса из соседнего младшего разряда (p_i). В результате сложения для каждого разряда получаются две цифры – сумма для этого разряда (S_i) и перенос в следующий старший разряд (p_{i+1}).

Условное графическое изображение одноразрядного сумматора и его таблица истинности (функционирования) приведены на рис. 1.

a_i	b_i	p_i	S_i	p_{i+1}
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

б)

б)

Рис. 1. Условное обозначение (а) и таблица истинности (б) одноразрядного сумматора

Для синтеза схемы одноразрядного сумматора запишем выражения для S_i и p_{i+1} (выходов сумматора):

$$S_i = a_i \bar{b}_i \bar{p}_i + \bar{a}_i b_i \bar{p}_i + \bar{a}_i \bar{b}_i p_i + a_i b_i p_i = (a_i \bar{b}_i + \bar{a}_i b_i) \bar{p}_i + (\bar{a}_i \bar{b}_i + a_i b_i) p_i = (1)$$

$$= (a_i \oplus b_i) \bar{p}_i + (a_i \odot b_i) p_i = (a_i \oplus b_i) \oplus p_i$$

$$p_{i+1} = a_i b_i \bar{p}_i + a_i \bar{b}_i p_i + \bar{a}_i b_i p_i + a_i b_i p_i = a_i b_i (\bar{p}_i + p_i) + a_i \bar{b}_i p_i + \bar{a}_i b_i p_i = a_i b_i + p_i (a_i \oplus b_i) \quad (2)$$

Схема одноразрядного сумматора, построенная в соответствии с выражениями (1) и (2) приведена на рис. 2.

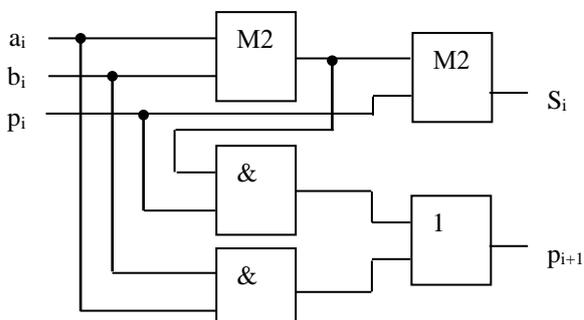


Рис. 2. Схема одноразрядного

Многоразрядный параллельный сумматор может быть составлен из одноразрядных сумматоров, число которых равно числу разрядов слагаемых, путем соединения выходов, на котором формируется сигнал переноса данного разряда, с входом для сигнала переноса соседнего старшего разряда. Такой способ организации переноса называется последовательным. Пример построения 3-разрядного параллельного сумматора демонстрирует рис. 3. В сумматорах этого

типа перенос распространяется последовательно от разряда к разряду по мере образования суммы в каждом разряде. При наиболее неблагоприятных условиях переноса, например, при сложении чисел $11\dots11$ и $00\dots01$ будет иметь место «пробег» единицы переноса через весь сумматор от самого младшего к самому старшему разряду. Поэтому в наихудшем случае время распространения переноса

$$T_{\text{зд.р.пер.}} = n \cdot t_{\text{зд.р.пер.}},$$

где $t_{\text{зд.р.пер.}}$ – время задержки распространения переноса в одном разряде;

n – число разрядов сумматора. Данный тип сумматора наиболее прост с точки зрения схемы цепей распространения переноса, но имеет сравнительно низкое быстродействие.

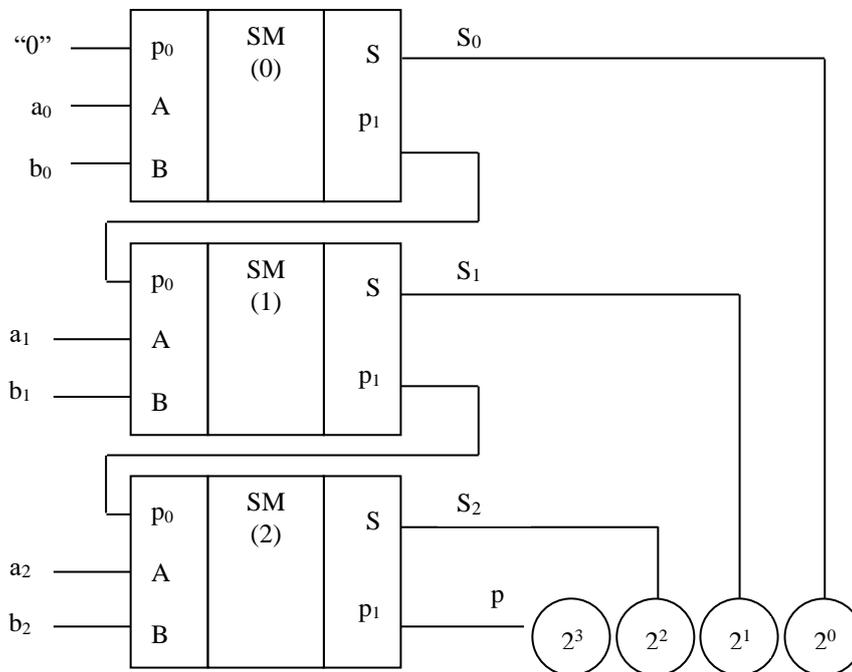


Рис. 3. Функциональная схема 3-разрядного параллельного сумматора с последовательным переносом

Более высоким быстродействием обладают сумматоры с параллельным переносом, в которых сигналы переноса формируются во всех разрядах одновременно. Этой цели служат специальные схемы ускоренного переноса.

1.3 Двоичные вычитатели

В п.1.1 была показана возможность замены операции вычитания двоичных чисел операцией их сложения. Для этого уменьшаемое и вычитаемое представляются в обратном или дополнительном кодах.

Рассмотрим примеры применения двоичного сумматора для выполнения операции вычитания. На рис. 4, а приведена схема 3-разрядного двоичного вычитателя, в которой вычитаемое представлено в обратном коде. Она отличается от схемы двоичного параллельного сумматора (рис. 3.) включением 3-х инверторов, обеспечивающих преобразование двоичного числа $V=b_2b_1b_0$ (вычитаемого) в обратный код и цепью дополнительного (циклического) переноса с выхода переноса 3-го (старшего) разряда на вход переноса 1-го (младшего) разряда.

На рис. 4, б изображена схема 3-разрядного вычитателя, в которой вычитаемое (V) представлено в дополнительном коде. Последнее достигается подачей (прибавлением) "1" к младшему разряду обратного кода вычитаемого. Необходимость в цепи циклического переноса при этом отпадает.

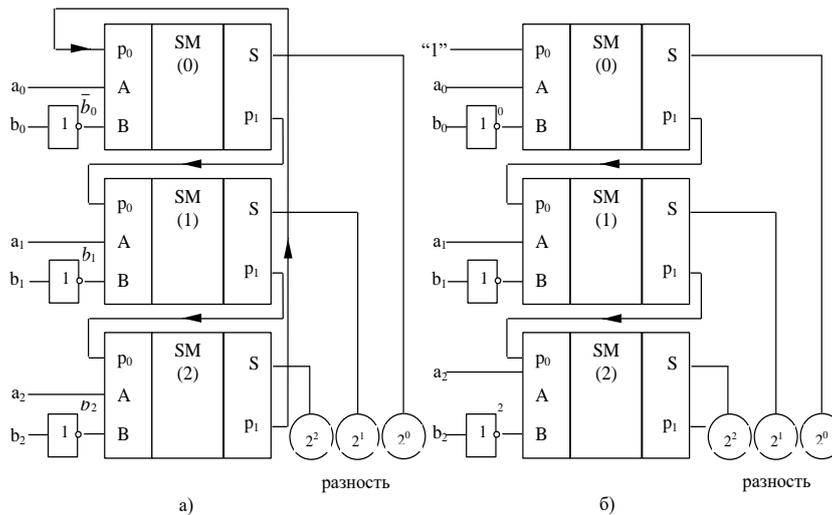


Рис. 4. Функциональная схема двоичных вычитателей, в которых вычитаемое представлено в обратном коде (а) и дополнительном коде (б)

1.4 Двоичные сумматоры

- вычитатели

Теперь, когда мы знаем, что двоичные сумматоры можно использовать как для сложения, так и для вычитания, спроектируем схему универсального устройства – сумматора - вычитателя, положив в ее основу схему вычитателя (рис. 4, б). Чтобы эта схема работала как 3-разрядный сумматор, достаточно временно (условно) исключить из нее 3 инвертора и на вход переноса младшего разряда подать "0". В

преобразованном виде эта схема (рис. 5) вместо инверторов содержит три логических элемента M2 (сумма по модулю 2). При подаче 0 на вход V логического элемента M2 информационные биты каждого разряда двоичного числа $b_2b_1b_0$ проходят через этот элемент без инверсии. Таким образом, при установке 0 на управляющем входе схема складывает двоичные числа $a_2a_1a_0$ и $b_2b_1b_0$. Результат появляется на выходных индикаторах. Кроме того, логический 0 на управляющем входе V поступает на вход переноса младшего разряда двоичного сумматора.

Чтобы схема работала как 3-разрядный вычитатель, на управляющем входе V нужно установить уровень логической 1. В этом случае логический элемент M2 действует как инвертор сигналов на входах B одноразрядных сумматоров. Кроме того, логическая 1 на управляющем входе поступает на вход переноса младшего разряда двоичного сумматора.

2. Задание на практическую работу

2.1. Используя ЛЭ, расположенные на стенде, спроектировать схему и исследовать работу (снять таблицу функционирования) одноразрядного сумматора.

2.2. Исследовать работу (снять таблицу функционирования) ИС 2-разрядного сумматора K155ИМ2.

2.3. На базе ИС K155ИМ2 спроектировать схему 4-разрядного двоичного сумматора – вычитателя и выполнить следующие арифметические операции $A+B$ и $C-D$ (значения A, B, C, D, соответствующие вашему варианту, приведены в табл.).

№ бригады	1	2	3	4	5
A	2	3	3	4	5
B	2	2	3	2	1

C	6	7	5	5	4
D	5	4	1	3	4

3. Содержание отчета

Для каждого спроектированного и исследованного в соответствии с заданием устройства должны быть приведены таблицы функционирования и логические выражения реализуемых ими функций и схема устройства.

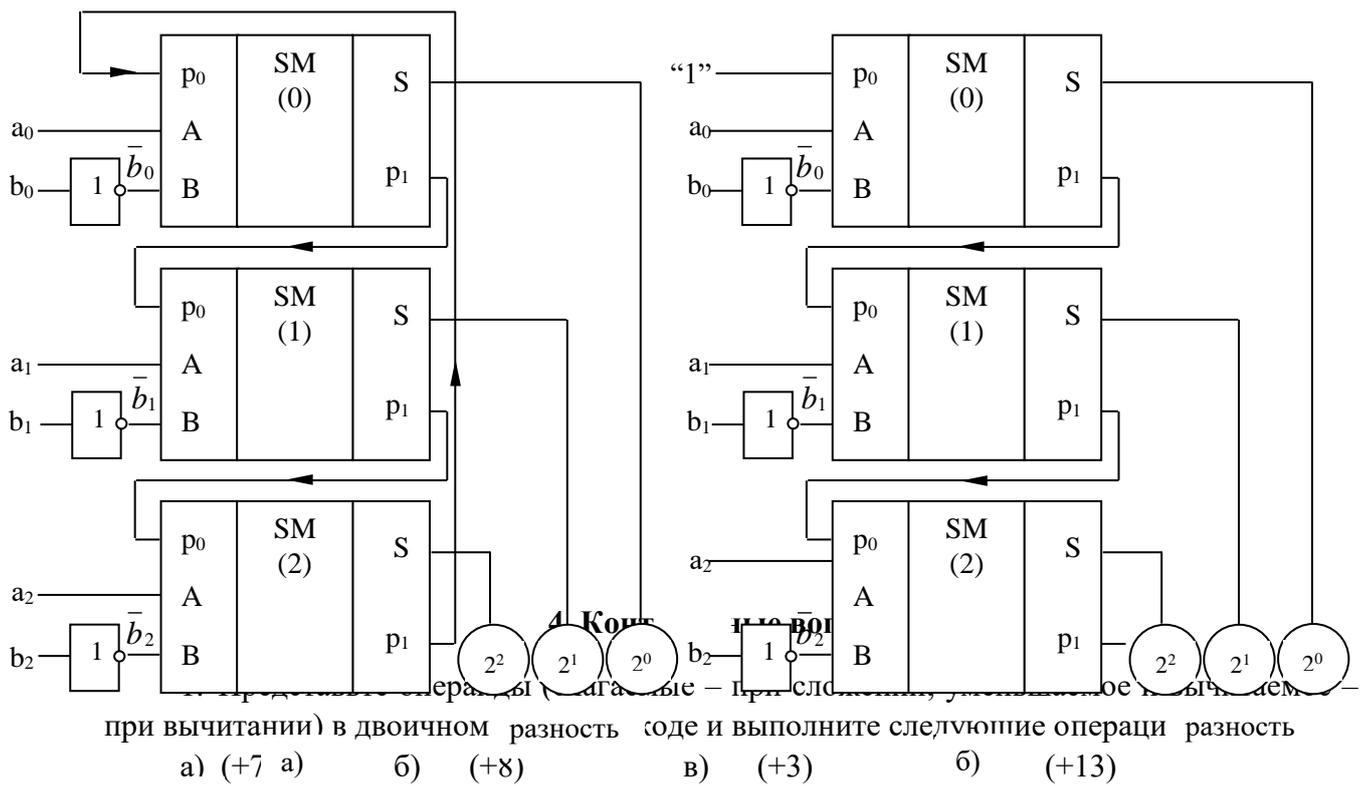


Рис. 4. Функциональная схема двоичных вычитателей, в которых вычитаемое

- представлено в обратном коде (а) и дополнительном коде (б)
2. Представьте операции в двоичном дополнительном коде и выполните те же операции, что и в пункте 1.
3. Дайте определение одноразрядного сумматора и спроектируйте его схему в ОФПН логических элементов. Сравните потребные для этого аппаратные затраты (количество ИС) с затратами, необходимыми для схемы, приведенной на рис. 2.
4. Укажите достоинства и недостатки двоичных сумматоров с последовательным переносом.
5. На базе ИС К155ИМ2 спроектируйте схему 8-разрядного сумматора - вычитателя.

Практическая работа 11-12

МЕТОДЫ ПРОЕКТИРОВАНИЯ ТРИГГЕРОВ

Цель работы: изучение функционирования триггеров различных типов, принципов их синтеза и взаимопреобразования.

1. Теоретические основы практической работы

1.1 Цифровые устройства последовательностного типа

Все цифровые устройства (ЦУ) принято разбивать на два класса: комбинационные ЦУ (КЦУ) и последовательностные ЦУ (ПЦУ).

Отличительные особенности этих классов ЦУ состоят в следующем. Для КЦУ значения выходных переменных в некоторый момент времени определяются только значениями входных переменных в тот же момент времени. Для ПЦУ значения выходных переменных определяются не только входными переменными в данный момент, но и их значениями в предшествующие моменты времени. Примером, поясняющим принцип работы ПЦУ, является телефон. Чтобы соединиться с определенным абонентом, следует набрать последовательность цифр, соответствующую его номеру. Произойдет ли подключение к нужному абоненту, когда набирается последняя цифра, зависит как от этой цифры, так и от ранее набранной комбинации цифр.

Изменения значений входных переменных ЦУ происходят дискретно во времени. При этом временные интервалы, в течение которых эти значения сохраняются неизменными, называют **тактами** работы ЦУ. Если пронумеровать такты в порядке их возрастания, то для некоторого k -го такта работы ПЦУ зависимость выходных переменных от входных в общем виде может быть задана соотношением

$$Y^k = F(X^k; X^{k-1}; X^{k-2}; \dots; X^{k-r}), \quad (1)$$

где $Y^k = (y_1^k, y_2^k, \dots, y_m^k)$ - вектор выходных переменных, соответствующий k -ому такту работы;

m – число выходов ПЦУ;

$X^{k-j} = (x_1^{k-j}, x_2^{k-j}, \dots, x_n^{k-j})$ - вектор входных переменных соответственно k -го, $k-1$, ..., $k-r$ тактов работы, $j=0, 1, \dots, r$;

n – число входов ПЦУ;

$F = (f_1, f_2, \dots, f_m)$ - оператор преобразования ПЦУ.

Для реализации зависимости (1) ПЦУ должно характеризоваться свойством запоминания входных переменных, т.е. устройство должно обладать памятью. Память ПЦУ может охватывать произвольное, но обязательно конечное число (r) тактов работы. Поэтому за ПЦУ закрепились также следующие наименования: ЦУ с памятью, многотактные ЦУ, конечные автоматы.

Свойство запоминания информации обеспечивается наличием у ПЦУ r различных устойчивых внутренних состояний Q_1, Q_2, \dots, Q_r , каждое из которых характеризуется определенной комбинацией сигналов во внутренних цепях ПЦУ. По аналогии со входными и выходными переменными внутренние переменные (состояния) кодируются двоичными L -разрядными числами. Значение L определяется из соотношения $L = \lceil \log_2 r \rceil + 1$, где $\lceil \dots \rceil$ обозначает целую часть $\log_2 r$.

Из вышеизложенного следует: ПЦУ – это цифровой преобразователь информации, способный принимать различные состояния, хранить (сохранять) их, переходить под воздействием входных сигналов из одного состояния в другое и формировать выходные сигналы. Следовательно, задание оператора, реализуемого ПЦУ предполагает: во-первых, установление связи выходных переменных со входными и внутренними переменными для одного и того же такта работы ПЦУ, т.е. связи вида

$$Y^k = \Phi(X^k; Q^k) \quad (2)$$

во-вторых, установление связи внутренних переменных для $(k+1)$ -го такта со значениями входных и внутренних переменных k -го такта, т.е. связи вида

$$Q^{k+1} = \Psi(X^k; Q^k) \quad (3)$$

Приведенные соотношения именуют функциями (уравнениями) выходов (2) и переходов (3). Табличные формы представления указанных функций чаще являются более наглядными и удобными для анализа работы ПЦУ. Соответствующие таблицы называются таблицей выходов и таблицей переходов.

1.2 Триггеры

Триггеры являются простейшими ПЦУ. Отличительными особенностями триггеров являются:

1) число внутренних устойчивых состояний равно двум, чему соответствует одна переменная в прямой (Q) или инверсной форме (\bar{Q});

2) число выходов у триггера также равно двум, один из них называют прямым, другой – инверсным. Причем значения выходов равны соответствующим значениям внутренней переменной. Поэтому для триггеров принято прямой выход обозначать – Q , а инверсный – \bar{Q} . Состояние триггера определяется по

уровню напряжения на его прямом выходе. Если это напряжение уровня логической единицы, т.е. $Q = 1$ (при этом $\bar{Q} = 0$), то говорят, что триггер находится в единичном состоянии (в триггер записана “1”). Если же $Q = 0$ ($\bar{Q} = 1$) – триггер находится в нулевом состоянии (записан “0”).

Классификация триггеров может осуществляться по ряду признаков. Основным из них является признак логического функционирования, при использовании которого триггеры разделяют по виду характеристического уравнения (так применительно к триггерам называется уравнение переходов). Еще одним важным классификационным признаком является способ записи информации в триггеры.

Классификация триггеров по указанным признакам приведена на рис. 1.

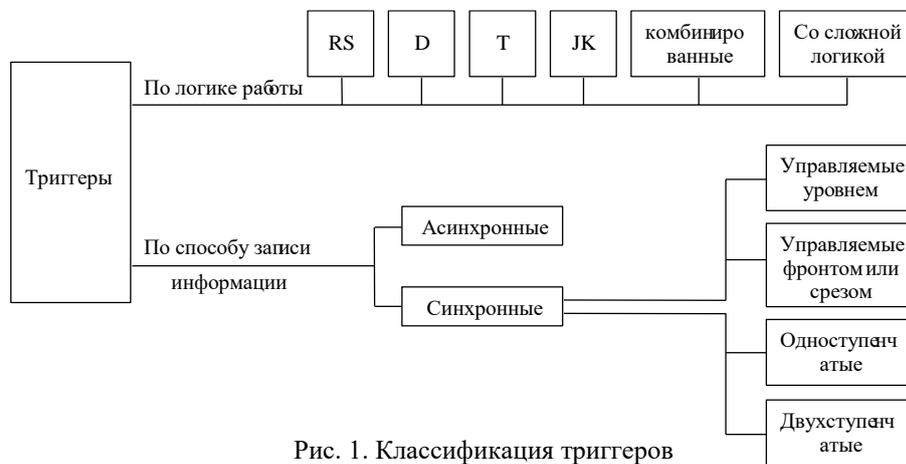


Рис. 1. Классификация триггеров

По логическому функционированию различают триггеры типов RS, D, T, JK. Кроме того, используются комбинированные триггеры, в которых совмещаются одновременно несколько типов, и триггеры со сложной входной логикой (группами входов, связанных между собой логическими зависимостями).

Простейший триггер имеет только один информационный вход (T), сохраняет свое состояние при подаче на него сигнала уровня “0” и изменяет состояние на противоположное при подаче входного сигнала уровня “1”. Такой триггер называется **счетным** (со счетным входом) или **T-триггером**, его условное графическое изображение приведено на рис. 2. Из таблицы переходов этого триггера (табл. 1) получим выражение для характеристического уравнения

$$Q^{k+1} = Q^k \bar{T}^k + \bar{Q}^k T^k \quad (4)$$

$$\bar{Q}^{k+1} = \bar{Q}^k \bar{T}^k + Q^k T^k$$

Нетрудно видеть, что T-триггер реализует логическую функцию “сумма по модулю 2”.

D-триггер (рис. 2) также имеет один информационный вход (D). Его состояние повторяет входной сигнал предыдущего такта. Переходы D-триггера представлены в табл. 2.

Таблица 1

T^k	Q^k	Q^{k+1}
0	0	0
1	0	1
0	1	1
1	1	0

Таблица 2

D^k	Q^k	Q^{k+1}
0	0	0
1	0	1
0	1	0
1	1	1

Характеристическое уравнение D-триггера имеет вид:

$$Q^{k+1} = D^k \bar{Q}^k + D^k Q^k = D^k \quad (5)$$

$$\bar{Q}^{k+1} = \bar{D}^k \bar{Q}^k + \bar{D}^k Q^k = \bar{D}^k$$

Двухвходовые триггеры RS и JK типов устанавливаются (переключаются) в состояние “1” при подаче сигнала уровня “1” на один из входов, обозначаемый S (для RS-триггеров) или J (для JK-триггеров) и устанавливаются (переключаются) в состояние “0” при подаче сигнала уровня “1” на другой вход – R (для RS-триггеров) или K (для JK-триггеров). Будем называть такие входные сигналы устанавливающими или переключающими. При их отсутствии на обоих входах триггеры сохраняют свое состояние. Различия между RS- и JK-триггерами проявляются в их реакциях на одновременную подачу устанавливающих сигналов на оба входа. Для RS-триггера такая комбинация входных сигналов является запрещенной, при одновременной подаче устанавливающих сигналов на оба входа JK-триггера он меняет свое состояние на противоположное. (Исключением является асинхронный RS-триггер, собранный на ЛЭ “И-НЕ”, для которого устанавливающими сигналами являются сигналы уровня логического “0”).

Переходы RS- и JK-триггеров приведены в табл. 3, а графические изображения триггеров на рис. 2.

Из таблицы получим выражения для характеристических уравнений RS- и JK-триггеров, которые после их минимизации принимают вид:

Таблица 3

R^k (K^k)	S^k (J^k)	Q^k	Q^{k+1}	
			RS-тр.	JK-тр.
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	1
1	0	0	0	0
1	0	1	0	0
1	1	0	*	1
1	1	1	*	0

$$Q^{k+1} = S^k + \bar{R}^k Q^k, \quad (6)$$

$$\bar{Q}^{k+1} = R^k + \bar{S}^k \bar{Q}^k$$

$$Q^{k+1} = \bar{K}^k Q^k + J^k \bar{Q}^k, \quad (7)$$

$$\bar{Q}^{k+1} = K^k Q^k + \bar{J}^k \bar{Q}^k$$

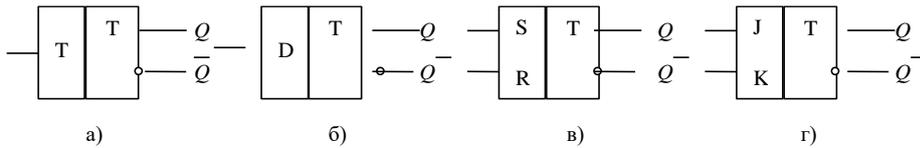


Рис. 2. Условные графические изображения Т-триггера (а), D-триггера (б), RS-триггера (в), JK-триггера (г)

По способу записи информации различают асинхронные (нетактируемые) и синхронные

(тактируемые) триггеры. В асинхронных триггерах переход в новое состояние вызывается изменениями только входных информационных сигналов. Синхронные триггеры кроме информационных входов имеют отдельный вход синхронизации, обычно обозначаемый буквой C (рис. 3). Изменение состояния синхронного триггера может произойти при одновременном воздействии входных информационных сигналов и сигнала синхронизации.

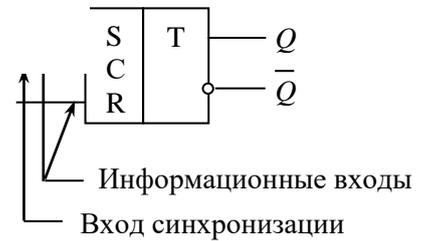


Рис. 3. Условное графическое изображение синхронного RS-триггера

По способу восприятия синхронизирующих сигналов триггеры делятся на **управляемые уровнем** и с **динамическим управлением**. Управление уровнем означает, что при одном уровне синхросигналов (C) триггер воспринимает входные информационные сигналы и реагирует на них, а при другом (\bar{C}) не воспринимает и остается в неизменном состоянии. При динамическом управлении разрешение на переключение триггера дается только в момент перепада синхросигнала (на фронте или срезе синхроимпульса). В остальное время действия синхросигнала независимо от его уровня триггер не воспринимает входные сигналы и, следовательно, остается в неизменном состоянии. Синхровход при динамическом управлении может быть прямым или инверсным. При прямом входе разрешение на переключение триггера имеет место при изменении синхросигнала с уровня нуля до уровня единицы (фронт синхроимпульса); если же у триггера инверсный синхровход, его переключения возможны при изменении синхросигнала с уровня единицы до уровня нуля (срез синхроимпульса).

На рис. 4 показаны процессы, происходящие в синхронных триггерах. На диаграммах синхроимпульсов отмечено содержание процессов на отдельных участках, а под диаграммами приведены условные графические изображения синхровходов для соответствующих типов триггеров.

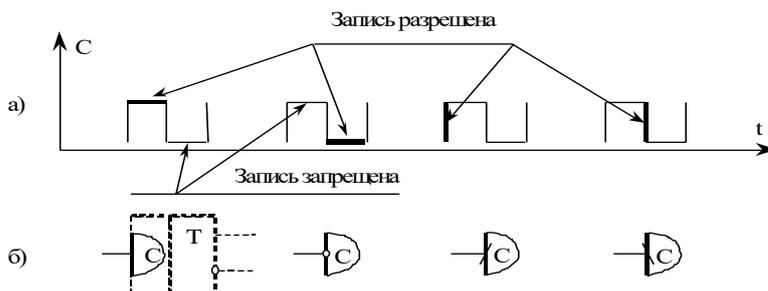


Рис. 4. Временные диаграммы, поясняющие работу синхронных триггеров (а) и условные изображения входов синхронизации (б)

По характеру процесса переключения триггеры делятся на **одноступенчатые** и **двухступенчатые**. В одноступенчатом триггере

переключение в новое состояние происходит сразу, в двухступенчатом – по этапам. Двухступенчатый триггер состоит из двух – ведущего (М) и ведомого (S) триггеров (рис. 5). Переход в новое состояние происходит в обоих триггерах поочередно. Один из уровней синхросигнала разрешает прием информации в М-триггер, при этом состояние S-триггера остается неизменным. Другой уровень синхросигнала разрешает передачу нового состояния М-триггера в S-триггер.

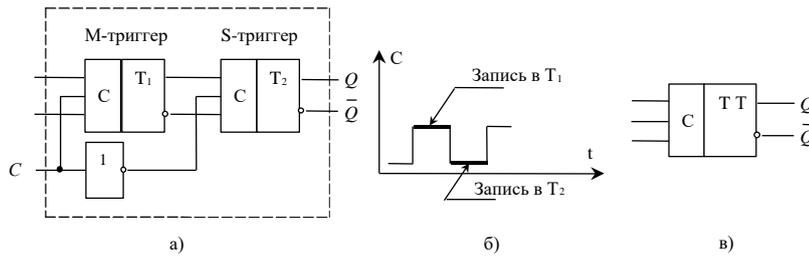


Рис. 5. Структурная схема (а), временные диаграммы, поясняющие работу (б) и условное графическое изображение двухступенчатого триггера (MS-триггера)

1.3 Схемотехника триггеров

В составе

практически всех серий цифровых ИС имеются ИС триггеров различных типов. Естественно, что триггер с требуемой логикой функционирования может быть спроектирован и на россыпи ЛЭ того или иного функционально полного набора ЛЭ.

Синтез схемы триггера обычно осуществляется по его характеристическому уравнению. Приведем последовательность необходимых для этого действий на примере синтеза RS-триггеров.

Асинхронный RS-триггер. Схема асинхронного RS-триггера, соответствующая характеристическому уравнению (6) может быть построена на ЛЭ любого функционально полного набора. Однако, оптимальное схемное решение получают при использовании ЛЭ монофункциональных наборов “И-НЕ” или “ИЛИ-НЕ”.

Для синтеза схемы асинхронного триггера на ЛЭ “И-НЕ” преобразуем (6) к виду

$$Q^{k+1} = \overline{S^k + R^k Q^k} = \overline{S^k} \cdot \overline{R^k Q^k}, \quad (6.1)$$

$$\overline{Q}^{k+1} = \overline{R^k + S^k \overline{Q}^k} = \overline{R^k} \cdot \overline{S^k \overline{Q}^k}$$

Соответствующая (6.1) кольцевая схема соединения двух ЛЭ “И-НЕ” приведена на рис. 6, а.

Для построения схемы асинхронного RS-триггера на ЛЭ “ИЛИ-НЕ” преобразуем (6) к выбранному базису ЛЭ. Для этого, используя правило де Моргана, перепишем (6) в виде

$$Q^{k+1} = S^k + R^k + \overline{Q}^k,$$

$$\overline{Q}^{k+1} = R^k + \overline{S^k} + \overline{Q}^k$$

Проинвертировав полученные соотношения, получим

$$\overline{Q}^{k+1} = \overline{S^k + R^k + \overline{Q}^k}, \quad (6.2)$$

$$\overline{\overline{Q}^{k+1}} = Q^{k+1} = \overline{R^k + \overline{S^k} + \overline{Q}^k}$$

Соответствующая (6.2) схема асинхронного RS-триггера на ЛЭ “ИЛИ-НЕ” приведена на рис.6, б.

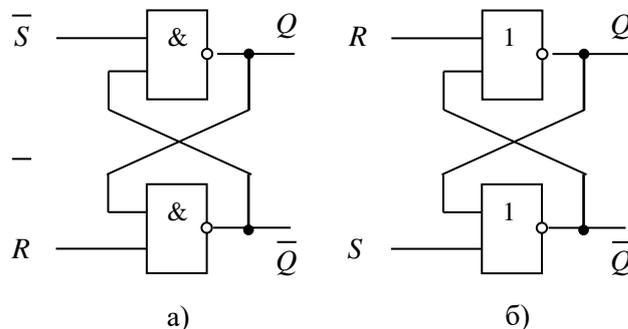


Рис. 6. Схема асинхронного RS-триггера на ЛЭ “И-НЕ” (а), “ИЛИ-НЕ” (б)

При одновременной подаче переключающих сигналов на оба входа ($R=S=1$ для триггера на ЛЭ “ИЛИ-НЕ”) или ($R=S=0$ для триггера на ЛЭ “И-НЕ”) триггер распадается на два автономных инвертора. При этом на его обоих выходах будет сигнал уровня “0” (для триггера на ЛЭ “ИЛИ-НЕ”) или уровня “1” (для триггера на ЛЭ “И-НЕ”), т.е. схема теряет триггерные свойства и поэтому указанные комбинации входных сигналов являются запрещенными.

Из сопоставления рис. 6,а 6,б можно заключить, что схема триггера не меняется при замене одних ЛЭ другими, меняются местами только входы или выходы схемы.

Анализ (6.1) и (6.2) показывает, что асинхронный RS-триггер на ЛЭ “ИЛИ-НЕ” управляется входными сигналами R и S, а на ЛЭ “И-НЕ” – инверсными сигналами \overline{R} и \overline{S} . Другими словами, устанавливающими (переключающими) сигналами для триггера на ЛЭ “ИЛИ-НЕ” являются сигналы уровня логической “1”, а для триггера на ЛЭ “И-НЕ” – уровня логического “0”.

Переходы асинхронных RS-триггеров, построенных на ЛЭ “ИЛИ-НЕ” и “И-НЕ” приведены в табл. 4 и 5, а на рис. 7 – временные диаграммы, поясняющие работу триггера на ЛЭ “И-НЕ”.

Таблица 4

R^k	S^k	Q^{k+1}
0	0	Q^k
0	1	1
1	0	0
1	1	*

Таблица 5

R^k	S^k	Q^{k+1}
0	0	*
0	1	0
1	0	1
1	1	Q^k

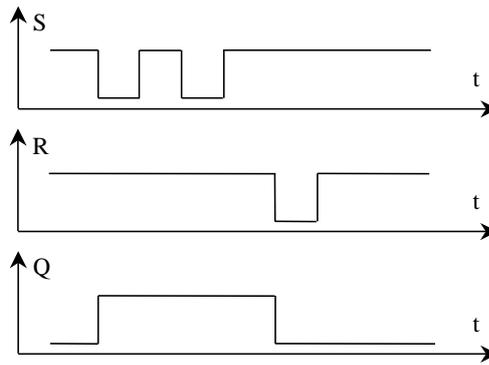


Рис. 7. Временные диаграммы асинхронного RS-триггера на ЛЭ “И-НЕ”

Синхронный RS-триггер. Для получения характеристического уравнения синхронного RS-триггера составим его таблицу переходов, подобную табл. 3, введя в нее третью входную переменную – сигнал синхронизации C . При $C=1$ триггер изменяет свое состояние в соответствии с логикой функционирования асинхронного триггера, а при $C=0$ состояния триггера остаются неизменными.

Из таблицы переходов выпишем СДНФ характеристического уравнения, которые после их минимизации имеют вид

$$Q^{k+1} = S^k \cdot C^k + Q^k (\bar{R}^k + \bar{C}^k), \quad (8)$$

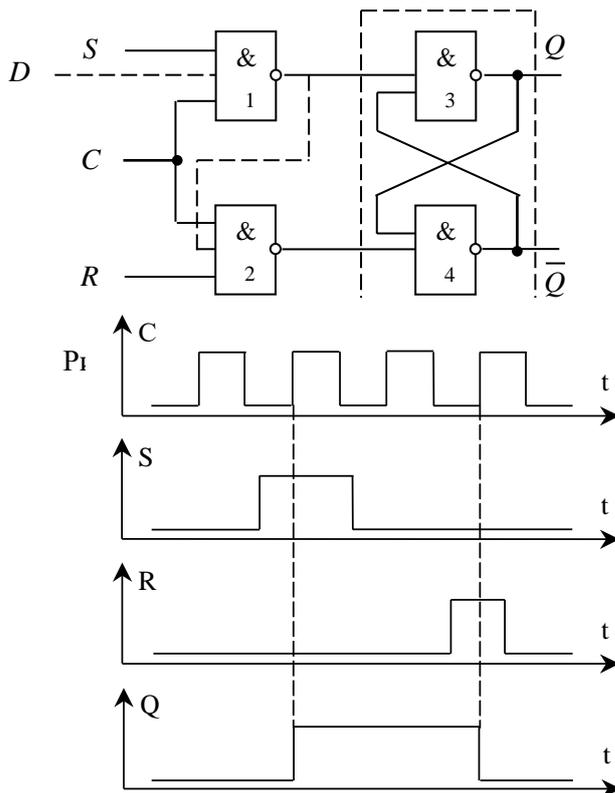
$$\bar{Q}^{k+1} = R^k \cdot C^k + \bar{Q}^k (\bar{S}^k + \bar{C}^k)$$

Для построения схемы синхронного RS-триггера в базисе ЛЭ “И-НЕ” дважды проинвертируем (8), в результате получим

$$Q^{k+1} = \overline{\overline{S^k \cdot C^k \cdot \bar{Q}^k R^k \cdot C^k}}, \quad (8.1)$$

$$\bar{Q}^{k+1} = \overline{\overline{R^k \cdot C^k \cdot \bar{Q}^k \bar{S}^k \cdot C^k}}$$

Схема, реализующая эти уравнения, приведена на рис.8.



Основой схемы является асинхронный RS-триггер на элементах 3 и 4 (ограничен пунктирным прямоугольником), а элементы 1 и 2 образуют схему входной логики. При $C=0$ на выходах элементов 1 и 2 действуют единичные сигналы и асинхронный триггер, для которого эти сигналы являются входными, не изменяет своего состояния. Если $C=1$, то для сигналов S и R элементы 1 и 2 становятся инверторами и асинхронный триггер получает нулевой устанавливающий сигнал от входа, на котором действует единичный сигнал. Следовательно, устанавливающими (переключающими) сигналами для синхронного RS-триггера являются сигналы уровня логической “1”. Временные диаграммы синхронного RS-триггера изображены на рис. 9.

Рис. 9. Временные диаграммы синхронного RS-триггера

Синхронный D-триггер. Триггер реализует задержку входного сигнала D с помощью тактирования, принимая сигнал только по разрешению тактового сигнала C . Из характеристического уравнения синхронного D-триггера

$$Q^{k+1} = \bar{C}^k Q^k + C^k D^k \quad (9)$$

видно, что при наличии синхронизирующего сигнала ($C^k=1$) триггер переходит в состояние D^k : $Q^{k+1} = C^k D^k = D^k$, а при его отсутствии ($C^k=0$) триггер сохраняет свое состояние: $Q^{k+1} = \bar{C}^k Q^k = Q^k$.

Схему синхронного D-триггера легко получить из схемы синхронного RS-триггера (рис. 8). Действительно, если ввести в схему входной логики следующие изменения: заменить входы R и S одним входом – D , соединить выход ЛЭ1 со входом ЛЭ2 (вводимые изменения показаны на рис. 8 штриховыми линиями), то получаем схему, реализующую уравнение (9).

Условное графическое изображение синхронного D-триггера и его временные характеристики приведены на рис. 10.

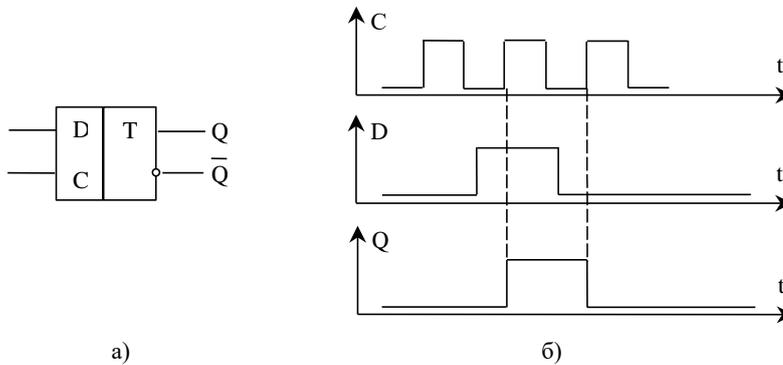


Рис. 10. Условное изображение (а) и временные диаграммы синхронного D-триггера

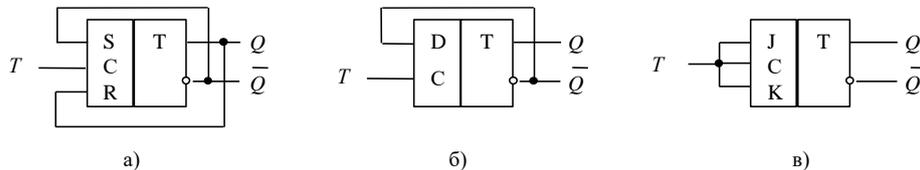
триггера (8) преобразуется к виду, совпадающему с характеристическим уравнением Т-триггера (4).

Однако, как правило, Т-триггер получают из схем синхронных D- или JK-триггеров.

Если обозначить вход синхронизации D-триггера через T , а его инверсный выход соединить со входом D , т.е. сделать $D = \bar{Q}$ (рис. 11,б), то характеристическое уравнение D-триггера (9) примет вид, соответствующий Т-триггеру (4).

Для преобразования JK-триггера в Т-триггер достаточно объединить все его входы (рис. 11,в). Если этот вход обозначить через T (т.е. сделать $J=K=C=T$), то характеристическое уравнение JK-триггера (7) преобразуется к виду, совпадающему с характеристическим уравнением Т-триггера (4).

Рис. 11. Преобразование RS-(а), D-(б) и JK-(в) триггеров в Т-триггер



Временные диаграммы Т-триггера изображены на рис. 12. Характерной особенностью

Т-триггера является то, что частота изменения выходных сигналов в два раза меньше частоты входных (см. рис. 12). Это свойство Т-триггеров используется при построении на их основе делителей частоты следования импульсов и двоичных счетчиков.

На основе JK-триггеров можно реализовать и остальные основные типы триггеров.

Работа RS-триггера совпадает с работой JK-триггера во всем за исключением запрещенных входных комбинаций для RS-триггера. Следовательно, при использовании JK-триггера в качестве RS-триггера достаточно вход J обозначить через S , а вход R – через K .

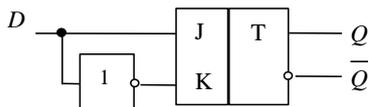


Рис. 13. Преобразование JK – триггера в D-тригге

Условия преобразования JK-триггера в D-триггер найдем из сопоставления их характеристических уравнений (7) и (5). Они становятся тождественными, если вход J обозначить через D , а сигнал на входе K сделать равным \bar{D} . Отсюда следует, что для преобразования JK-триггера в D-триггер достаточно объединить вход J со входом K через инвертор (рис. 13).

ИС триггеров наряду с информационными и тактовыми входами обычно имеют асинхронные входы для установки начального состояния триггера. Таких входов может быть два: асинхронной установки единицы (обозначается S) и асинхронной установки нуля (обозначается R). Некоторые ИС триггеров имеют только один из входов (обычно R). Асинхронные входы являются доминирующими, т.е. воздействия по ним осуществляется независимо от сигналов на других входах, которые при этом игнорируются. Как следует из названия, время появления установочных сигналов может быть любым. Если эти сигналы снимаются, то обусловленное ими состояние триггера сохраняется до первого

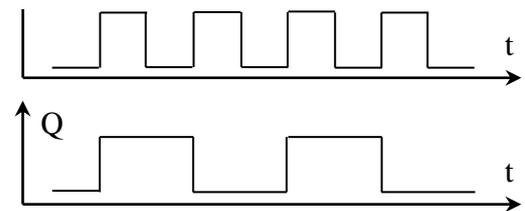


Рис. 12. Временные диаграммы Т-триггера

активного изменения синхросигнала, которое определит новое состояние триггера в соответствии с его информационными входами.

В современных сериях цифровых ИС триггеры представлены достаточно широко и разнообразно. Приведем описание работы наиболее популярных ИС триггеров 155 серии: К155ТМ2 и К155ТВ1.

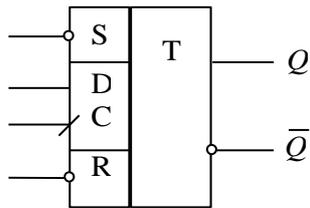


Рис. 14. ИС триггера К155ТМ2

ИС К155ТМ2 содержит два автономных синхронных D-триггера, имеющих общую цепь питания. Каждый из триггеров (рис. 14) имеет информационный вход D , вход синхронизации C , а также два инверсных асинхронных входа начальной установки S и R (т.е. активный уровень для них – низкий). Если на входы начальной установки одновременно подать сигналы низкого уровня, состояние триггера окажется неопределенным. Триггер устанавливается в состояние, определяемое сигналом на входе D , по положительному перепаду (фронту) синхроимпульса C . Переходы триггера представлены в табл. 6.

ИС К155ТВ1 (рис. 15) – универсальный JK-триггер со структурой M-S и, следовательно, тактируемый срезами синхроимпульса. Триггер имеет инверсные асинхронные входы начальной установки S и R . Каждый из информационных входов J и K снабжен трехходовым логическим элементом И (входная логика), поэтому у ИС три входа J ($J1$ - $J3$) и три входа K ($K1$ - $K3$).

Таблица 6

Режим работы	Входы				Выходы	
	S^k	R^k	C^k	D^k	Q^{k+1}	\bar{Q}^{k+1}
Асинхронная установка "1"	0	1	*	*	1	0
Асинхронная установка "0"	1	0	*	*	0	1
Неопределенность	0	0	*	*	1	1
Запись "1"	1	1	\uparrow	1	1	0
Запись "0"	1	1	\uparrow	0	0	1

Символ \uparrow означает фронт синхроимпульса

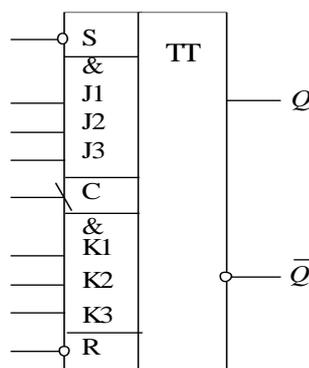


Рис. 15. ИС триггера К155ТВ1

Таблица 7

Режим работы	Входы					Выходы	
	S^k	R^k	C^k	J^k	K^k	Q^{k+1}	\bar{Q}^{k+1}
Асинхронная установка "1"	0	1	*	*	*	1	0
Асинхронная установка "0"	1	0	*	*	*	0	1
Неопределенность	0	0	*	*	*	1	1
Переключение	1	1		1	1	Q^k	Q^k
Запись "1"	1	1		1	0	1	0
Запись "0"	1	1		0	1	0	1
Хранение	1	1		0	0	Q^k	\bar{Q}^k

Символ \downarrow означает срез синхроимпульса.

Управление состоянием триггера происходит согласно табл. 7.

2. Задание на практическую работу

2.1 Спроектировать, собрать на стенде схемы и исследовать работу (снять таблицы переходов) триггеров, соответствующих номеру вашей бригады (табл. 8).

Таблица 8

Тип триггера	Номер бригады				
	1	2	3	4	5
1. Асинхронный RS-триггер на ЛЭ “И-НЕ”	+	+	+	+	+
2. Асинхронный RS-триггер на ЛЭ “ИЛИ-НЕ”	+	+	+	+	+
3. Синхронный RS-триггер	+		+		+
4. Синхронный D-триггер		+		+	

2.2. Исследовать работу (снять таблицу переходов) установленной на стенде ИС триггера:

1, 3, 5 бригады – К155ТМ2,

2, 4 бригады – К155ТВ1.

2.3. Преобразовать ИС JK-триггера (К155ТВ1) в

2.3.1. D-триггер,

2.3.2. T-триггер

и исследовать работу (снять таблицы переходов) полученных триггеров.

3. Содержание отчета

По п. 2.1 задания для каждого из исследованных триггеров в отчете должны быть приведены:

- таблица переходов;
- СДНФ характеристического уравнения;
- МДНФ характеристического уравнения, приведенная к виду, реализуемому в заданном базисе ЛЭ;
- схема триггера.

По п. 2.2 – условное графическое изображение исследованного триггера и его таблица переходов.

По п. 2.3 – условия, обеспечивающие преобразование JK-триггера в D- и T-триггеры и их таблицы переходов.

4. Контрольные вопросы

1. Приведите определение ПЦУ.
2. Приведите определение триггера, перечислите его отличительные особенности.
3. Какие признаки используют при классификации триггеров?
4. Что такое таблица переходов триггера? Изобразите таблицы переходов известных вам типов триггеров.
5. Что такое характеристическое уравнение триггера? Запишите характеристические уравнения известных вам типов триггеров.
6. Изобразите временные диаграммы известных вам типов триггеров.
7. В чем отличие синхронных триггеров, управляемых уровнем, от триггеров с динамическим управлением?
8. Объясните принцип действия двухступенчатого D-триггера с M-S структурой.
9. Докажите возможность преобразования синхронного RS-триггера в D-триггер; JK-триггера в D- и T-триггеры, D-триггера в T-триггер.
10. С какой целью ИС триггеров дополняют асинхронными входами?

Практическая работа 13-14

Проектирование регистров

Цель работы: изучение схмотехнических принципов построения, записи и считывания информации в наиболее распространенные регистры.

1. Теоретические основы практической работы

Регистром называется последовательностное цифровое устройство, используемое для записи и хранения n-разрядного двоичного слова. Помимо хранения некоторые виды регистров могут преобразовывать информацию, например, из параллельной во времени формы представления (параллельный код) в последовательную (последовательный код) и наоборот; из прямого кода в обратный и наоборот; сдвигать информацию на один или несколько разрядов в сторону младшего или старшего разрядов.

Регистры строятся на базе триггеров, число триггеров в схеме регистра соответствует числу разрядов двоичного слова, подлежащего хранению. Разряды регистра помимо триггеров могут содержать и некоторые ЛЭ, с помощью которых обеспечивается возможность выполнения перечисленных выше преобразований информации.

Основным классификационным признаком регистров является способ приема (записи) и выдачи (чтения) информации. По этому признаку различают параллельные, последовательные и параллельно-последовательные регистры.

1.1 Параллельный регистр

Параллельным называют регистр, в который n -разрядное двоичное слово записывается одновременно по всем n разрядам. Аналогичным образом осуществляется считывание хранящегося в регистре слова – одновременно по всем его разрядам. При считывании информация, хранящаяся в регистре, сохраняется, т.е. выдается ее копия. Параллельный регистр часто именуют регистром памяти. Основу регистров памяти составляют одноступенчатые синхронные D- или RS-триггеры. В этом качестве могут применяться и JK-триггеры, но их возможности больше, чем требуется для регистров памяти.

Пример схемной реализации четырехразрядного регистра памяти приведен на рис. 1.

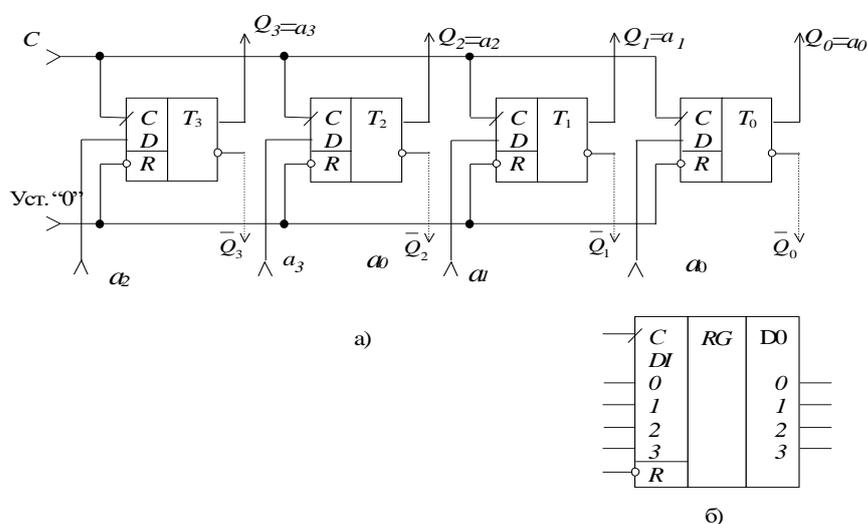


Рис. 1. Регистр памяти: а) схема; б) условное изображение

В качестве элементов регистра здесь использованы синхронные D-триггеры. Из схемы следует, что отдельные разряды регистра памяти не обмениваются данными между собой. Общими для разрядов регистра являются цепи управления: синхронизации или разрешения записи (C) и сброса или начальной установки "0". Из принципа работы синхронного D-триггера следует, что разряды числа $A = a_3a_2a_1a_0$ запишутся в соответствующие триггеры только после подачи сигнала (импульса) на вход синхронизации C , т.е. при $C=1$. После смены сигнала на входе C на "0" триггеры переходят в режим хранения. В это время на входы D триггеров можно подать следующее слово, например, $B = b_3b_2b_1b_0$, которое при появлении сигнала $C=1$ запишется в регистр. Считывание слова осуществляется с прямых (Q_i) выходов триггеров (возможно считывание и с инверсных выходов – \bar{Q}). Для установки триггеров в нулевое состояние применяется специальная шина "Уст. "0", связанная с асинхронными R- входами каждого триггера.

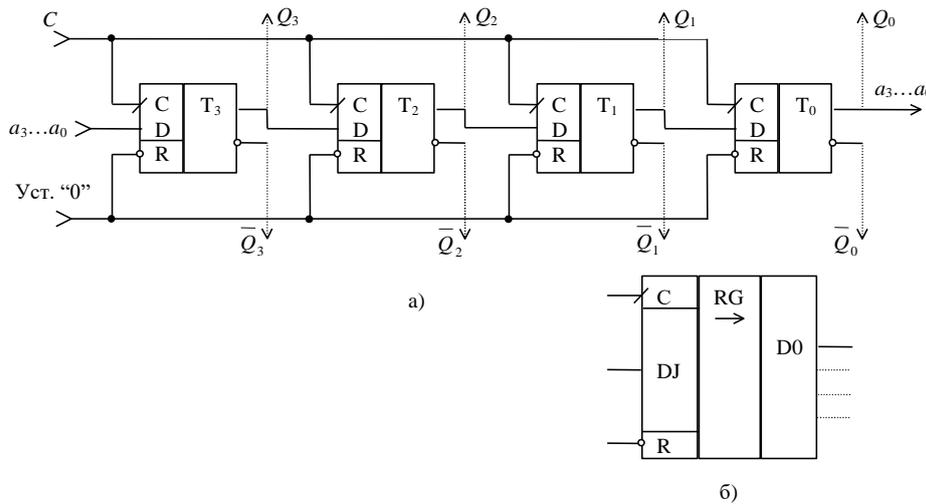
1.2 Последовательный регистр

Последовательным называют регистр, в котором осуществляется последовательный (разряд за разрядом) прием и выдача информации. Такой регистр часто именуют регистром сдвига или сдвигающим регистром.

Регистр сдвига представляет собой ряд последовательно соединенных триггеров, число которых определяется разрядностью записываемого в него слова. По направлению

сдвига записанной в регистр информации различают регистры прямого сдвига, т.е. вправо (в сторону младшего разряда); обратного сдвига, т.е. влево (в сторону старшего разряда); реверсивные регистры, допускающие сдвиг в обоих направлениях.

На рис. 2 приведен пример схемной реализации четырехразрядного регистра сдвига



вправо, построенный на синхронизируемых фронтами D-триггерах.

Рис. 2. Регистр сдвига вправо: а) схема; б) условное изображение

При записи в регистр двоичного слова $A = a_3a_2a_1a_0$ первый разряд вводимого слова

(a_0) подается на вход крайнего левого триггера (T_3), являющегося одновременно входом регистра в целом, и записывается в него при поступлении первого сигнала (импульса) синхронизации C . С приходом следующего сигнала синхронизации значение a_0 с выхода разряда Q_3 вводится в разряд Q_2 , а в разряд Q_3 поступает a_1 .

С приходом каждого очередного синхроимпульса производится сдвиг поступающей информации на один разряд вправо. После четвертого синхроимпульса регистр оказывается заполненным разрядами слова A и первый разряд слова (a_0) появится на выходе Q_0 . Если подать на регистр еще одну последовательность из четырех синхроимпульсов, установив при этом на его входе уровень "0", то из регистра (с выхода Q_0 , являющегося выходом регистра в целом) будет последовательно выводиться разряды слова A и регистр будет освобожден от хранения слова A (очищен).

Таким образом, в процессе сдвига информации каждый триггер T_i регистра: а) передает хранимую информацию на триггер T_{i-1} , б) изменяет свое состояние за счет приема информации от триггера T_{i+1} . Передача информации с триггера T_i и изменение его состояния не могут происходить одновременно. Поэтому основная сложность реализации операции сдвига заключается в разделении во времени выполнения указанных этапов в каждом разряде триггера регистра. Эта сложность исключается за счет использования синхронных триггеров с динамическим управлением записью (как показано на рис. 2) или двухступенчатых триггеров, внутренняя организация которых предусматривает разделение во времени этапов приема входной информации и изменения выходной.

На рис. 3 приведена схема регистра сдвига влево, построенная на двухступенчатых D-триггерах. Комбинируя схемы сдвига вправо и влево и используя управляющие сигналы, можно построить реверсивный регистр.

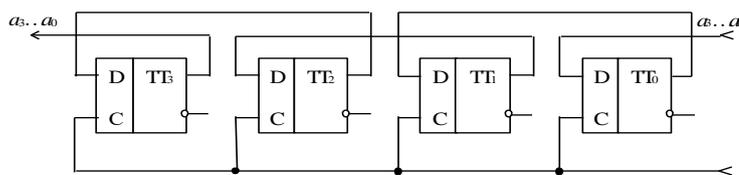


Рис. 3. Регистр сдвига влево

Регистры сдвига (рис. 2, 3) позволяют обеспечить преобразование

последовательного кода в параллельный — достаточно в схеме предусмотреть выходы от всех разрядов (на рис. 2 показаны пунктирными линиями).

Регистр сдвига легко превращается в кольцевой регистр при соединении выхода

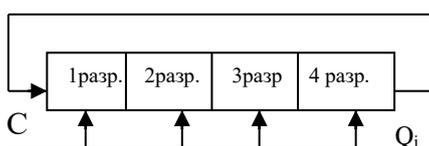


Рис. 4. Структура кольцевого

последнего разряда с входом первого (рис.4). Для обеспечения других видов записи и считывания применяются комбинированные регистры, пример реализации одного из которых приведен на рис. 5. Здесь двухступенчатые логические элементы И-ИЛИ при $V=1$ обеспечивают после подачи тактового импульса на вход C передачу сигнала из i -го в $i-1$ -ый триггер, а при $V=0$ обеспечивается запись в регистр сигналов, представляющих собой параллельный код. Считывание записанного произвольным способом слова возможно как

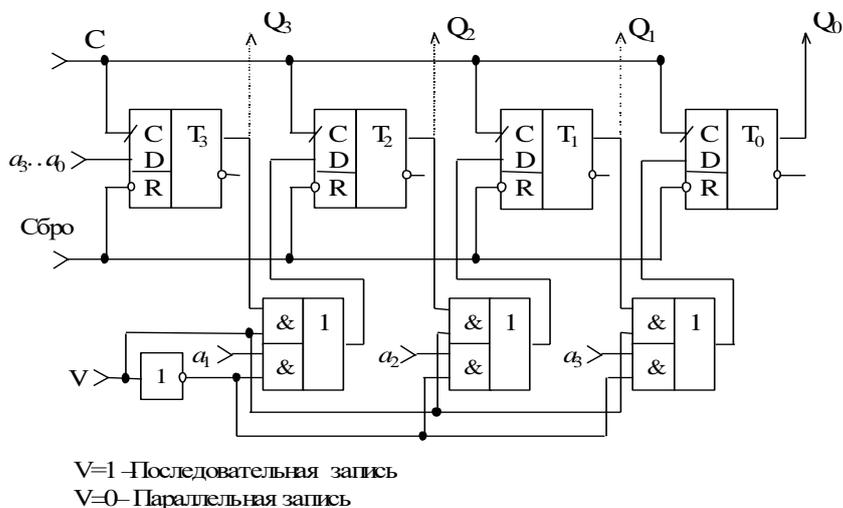


Рис. 5. Комбинированный регистр

в виде параллельного кода (Q_0, Q_1, Q_2, Q_3), так и в виде последовательного кода при подаче четырех тактовых импульсов.

2. Задание на практическую работу

Для экспериментального исследования наиболее распространенных регистров используются четыре D-триггера (К155) и ряд

логи элементов и ИС 5ИР1, установленные на лицевой панели стенда. Работа регистров исследуется в статическом режиме, поэтому для контроля состояния триггеров можно использовать светодиоды, расположенные в верхней части стенда. Работа с регистром осуществляется с помощью тактового генератора и переключателя записи $a_3...a_0$. Для управления триггерами используются кнопки ИЛИ, кнопки переключения на нуль и единицу, расположенные в нижней части стенда.

2.1. Исследовать работу параллельного регистра.

2.1.1. Собрать схему, изображенную на рис. 1.

2.1.2. Предварительно преобразовать десятичное число в двоичный код. Записать это число в регистр. Для этого подать на информационный вход первого триггера логический ноль или единицу $V=1$ – Последовательная запись, $V=0$ – Параллельная запись.

2.1.3. При подаче тактового импульса на вход C проверить состояние триггера.

2.2. Исследовать работу регистра сдвига.

2.2.1. Собрать схему регистра, соответствующую рис. 2.

2.2.2. Последовательно подавая на информационный вход первого триггера логический ноль или единицу $V=1$ – Последовательная запись, $V=0$ – Параллельная запись.

2.2.3. При подаче тактового импульса на вход C проверить состояние триггера.

2.2.4. Контролируя состояние четвертого триггера, считать записанную информацию. Определить необходимое число тактовых импульсов. Зафиксировать состояние триггера после каждого такта.

2.2.5. Повторить пункт 2.1.2 опыта и сохранить записанное в регистр число для выполнения следующего эксперимента.

2.3. Исследовать работу кольцевого регистра.

Кольцевой регистр (рис. 4) образуется путем соединения выхода четвертого триггера с информационным входом первого. Тогда число, записанное в регистр, будет циркулировать в нем под действием тактовых импульсов.

2.3.1. Собрать схему опыта и определить код числа, возникающий в регистре после подачи 1, 2, 3 и 4 тактовых импульсов.

Рис. 5. Комбинированный регистр

2.3.2. Подавая последовательно нужное число тактовых импульсов и контролируя состояния триггеров, проверить правильность функционирования регистра.

2.4. Исследовать работу комбинированного регистра.

2.4.1. Собрать два разряда комбинированного регистра, изображенного на рис. 5.

2.4.2. Изменяя V , определяющее виды записи информации, записать в регистр число 2, представленное в двоичной системе счисления.

2.4.3. Проверить правильность записи информации.

2.5. Исследовать работу ИС регистра К155ИР1 (Справочные данные по ИС К155ИР1 приведены в Приложении).

2.5.1. Записать в регистр число из п. 2.1.2 в параллельном коде.

2.5.2. Считать записанную информацию в последовательном коде.

2.2.3. Записать в регистр число из п. 2.1.2 в последовательном коде.

2.2.4. Считать записанную информацию в параллельном коде.

4. Контрольные вопросы

1. Дайте определение регистра.
2. В чем отличия регистров памяти от регистров сдвига?
3. Какие типы триггеров могут быть использованы для построения схем: а) регистров памяти, б) регистров сдвига?
4. Объясните причину нецелесообразности применения Т-триггеров для построения регистров памяти.
5. Изобразите схему регистра, позволяющего преобразовывать четырехразрядный параллельный код в последовательный. Объясните работу схемы.
6. Объясните каким образом в регистре сдвига каждый синхроимпульс обеспечивает сдвиг информации ровно на один разряд.
7. Почему триггеры, синхронизируемые уровнем, не могут быть использованы для построения регистров сдвига?
8. Перечислите возможности ИС К155ИР1 и необходимые для их реализации действия.

9. Приложение

Микросхема К155ИР1(рис. П1) – четырехразрядный, сдвиговый регистр. Он имеет

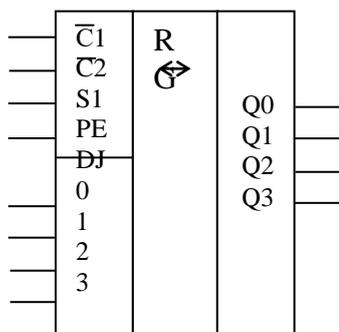


Рис. П1. ИС регистра

последовательный вход данных $S1$, четыре параллельных входа $D0-D3$, а также четыре выхода $Q0-Q3$ от каждого из триггеров. Регистр имеет два тактовых входа $\bar{C}1$ и $\bar{C}2$. От любого из пяти входов данных код поступит на выходы синхронно с отрицательным перепадом, поданным на выбранный тактовый вход. Вход разрешения параллельной загрузки PE служит для выбора режима работы регистра. Если на вход PE подается напряжение высокого уровня, разрешается работа тактовому входу $\bar{C}2$. В момент прихода на этот вход отрицательного перепада тактового импульса в регистр загружаются данные от параллельных входов $D0-D3$.

Если на вход PE подано напряжение низкого уровня, разрешается работа тактовому входу $\bar{C}1$. Отрицательные фронты последовательности тактовых импульсов сдвигают данные от последовательного входа $S1$ на выход $Q0$, а затем на $Q1$, $Q2$ и $Q3$, т.е. вправо. Сдвиг данных по регистру влево получится, если соединить выход $Q3$ и вход $D2$, $Q2$ и $D1$, $Q1$ и $D0$. Регистр надо перевести в параллельный режим, подав на вход PE напряжение высокого уровня. Напряжение на входе PE можно менять только, если на обоих тактовых входах уровни низкие. Однако, если на входе $\bar{C}1$ напряжение низкого уровня, перемена сигнала на входе PE от низкого уровня к высокому не меняет состояния выходов.

Практическая работа 15-16

ПРОЕКТИРОВАНИЕ СЧЕТЧИКОВ

Цель работы: изучение схемотехнических принципов построения и экспериментальное исследование цифровых счетчиков импульсов.

1. Теоретические основы практической работы

Цифровым счетчиком называют функциональный узел, который осуществляет счет числа поступающих на его вход импульсов, формирует результат счета в заданном коде (обычно двоичном и поэтому такие счетчики именуют двоичными) и при необходимости хранит его.

Счетчики можно классифицировать по ряду признаков. В зависимости от направления счета различают **суммирующие** (с прямым счетом), **вычитающие** (с обратным счетом) и **реверсивные** (как с прямым, так и обратным счетом) счетчики. По способу организации переноса различают счетчики с **последовательным, параллельным и последовательно-параллельным** переносом.

Конструктивно счетчики выполняются в виде совокупности ИС Т-триггеров, соответствующим образом соединенных между собой, или в виде одной ИС, содержащий многоразрядный счетчик. Двоичные счетчики могут быть построены и на синхронных или двухступенчатых D-триггерах и JK-триггерах, предварительно преобразованных в Т-триггеры.

К основным параметрам двоичного счетчика относятся:

1. **Модуль счета** или емкость счетчика (K) – максимальное число импульсов, которое может быть подсчитано счетчиком.

2. **Разрешающая способность** или минимальное время следования ($t_{сл.}$) – временной интервал между двумя счетными импульсами, при котором не нарушается надежная работа счетчика. Этот параметр определяет максимально допустимую частоту следования счетных импульсов.

3. **Время регистрации** (t_p) – временной интервал между началом подачи счетного импульса и моментом установления результата счета, т.е. окончания самого длительного переходного процесса в счетчике.

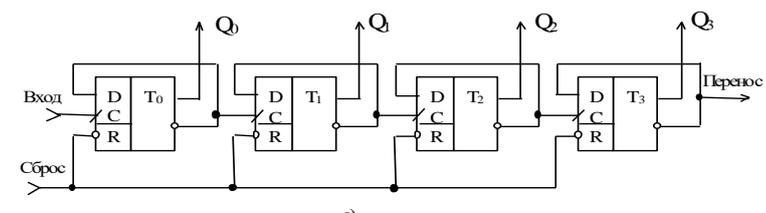
1.1 Суммирующие двоичные счетчики

На рис. 1 приведена схема и временные диаграммы, поясняющие работу четырехразрядного суммирующего двоичного счетчика с цепями последовательного переноса (инверсный выход i -го разряда (триггера) соединен со входом $(i+1)$ -го разряда). Счетчик построен на D-триггерах, тактируемых фронтом синхроимпульса, преобразованных в асинхронные T-триггеры (инверсный выход триггера (\bar{Q}_i) соединен с информационным входом (D_i)).

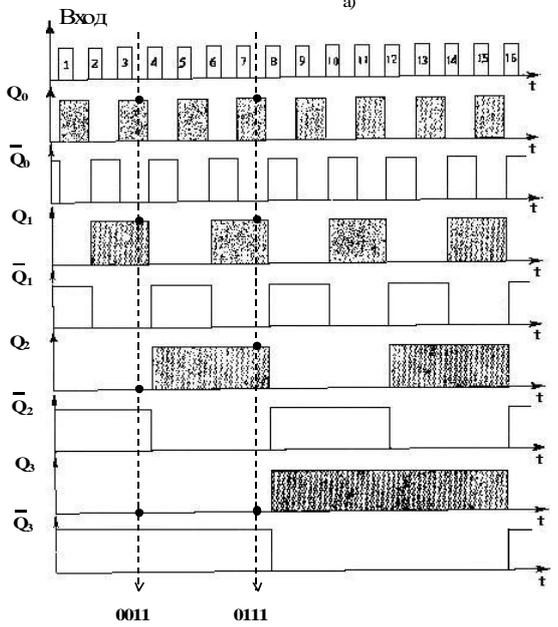
Входом счетчика служит вход крайнего левого триггера (T_0), двоичный код результата счета формируется на выходах триггеров Q_0, Q_1, Q_2, Q_3 (Q_0 – младший, а Q_3 – старший разряды результата счета). Емкость рассматриваемого счетчика $K=2^4=16$, поэтому максимальное показание счетчика, соответствующее подаче на его вход 15 счетных импульсов $Q_3Q_2Q_1Q_0=1111_2=1\cdot 2^3+1\cdot 2^2+1\cdot 2^1+1\cdot 2^0=15_{10}$. 16-й счетный импульс устанавливает все триггеры в исходное (нулевое) состояние, следовательно, шина “сброс” (установка “0”) необходима лишь в начале работы счетчика. Так как после подачи каждого очередного входного импульса T-триггер переходит в противоположное состояние, период следования импульсов на выходах каждого разряда в два раза больше, чем на его входе. В любой момент времени состояние счетчика (триггеров его образующих) однозначно определяет число импульсов, поступивших на его вход. Так, например, после поступления на вход счетчика 3-х счетных импульсов триггеры (разряды) счетчика перейдут в состояния $Q_3=0, Q_2=0, Q_1=1, Q_0=1$ (см. рис. 1, б), т.е. результат счета 0011, а после 7-го счетного импульса – 0111 и т.д.

1.2 Вычитающие двоичные счетчики

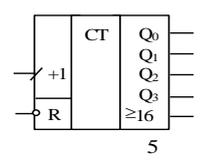
В вычитающих счетчиках каждый очередной счетный импульс уменьшает результат счета на единицу, т.е. обеспечивается обратный счет. Изменение направления счета при построении счетчика на базе триггеров, аналогичных примененным в п. 1.1, достигается изменением характера межразрядных соединений – вход $(i+1)$ -го разряда соединен с прямым выходом i -го разряда.



а)



б)



в)

Рис. 1. Суммирующий двоичный счетчик: а) схема, б) временные диаграммы, в) условное изображение

других состояниях $Q_3Q_2Q_1Q_0$ (при счете до 10 включительно) ЛЭ 3И не оказывает влияния на функционирование счетчика и он работает в обычном режиме суммирования.

2. Домашнее задание

На основе ИС D-триггеров (K155TM2) спроектировать схему суммирующего счетчика со значением модуля счета (К), соответствующим вашему варианту (см. табл. 1).

Таблица 1

№ бригады	1	2	3	4	5
К	5	6	7	9	11

3. Задание на практическую работу

Для экспериментального исследования наиболее распространенных разновидностей счетчиков используются четыре D-триггера (ИС K155TM2), ряд ЛЭ и ИС реверсивного счетчика K155ИЕ7, установленные на лабораторном стенде.

Работа счетчиков исследуется в статическом режиме, поэтому для контроля состояний счетчиков можно использовать светодиоды, расположенные в верхнем ряду стенда.

В качестве источника счетных импульсов использовать управляемый генератор одиночных импульсов (ГОИ), кнопка запуска которого выведена на лицевую панель стенда. Для параллельной загрузки счетчика, а также установки триггеров счетчика в нулевое состояние использовать источники логических "0" и "1", расположенные в нижнем ряду стенда.

3.1. Исследовать работу суммирующего двоичного счетчика.

3.1.1. Собрать схему суммирующего двоичного счетчика (рис. 1).

3.1.2. Установить триггеры счетчика в состояние "0".

3.1.3. Подать на вход счетчика последовательно 16 счетных импульсов и проконтролировать состояние счетчика (его триггеров) после подачи каждого очередного счетного импульса.

3.1.4. Результаты эксперимента занести в табл. 2.

Таблица 2

№ счетного импульса	Выходы счетчика			
	Q_0	Q_1	Q_2	Q_3
0				
1				
...
16				

3.2. Исследовать работу вычитающего двоичного счетчика.

3.2.1. Собрать схему вычитающего двоичного счетчика (рис. 2) и выполнить действия, аналогичные п.п. 3.1.2 - 3.1.4.

3.3. Исследовать работу реверсивного счетчика.

3.3.1. Собрать схему реверсивного счетчика (рис. 4).

3.3.2. Перевести счетчик в режим суммирования и подать на его вход (10-А) счетных импульса (А - № бригады).

3.3.3. Перевести счетчик в режим вычитания и подать на его вход (10-А) счетных импульса.

3.3.4. Результаты экспериментов занести в таблицы, аналогичные табл. 2.

3.4. Исследовать работу счетчика с $K \neq 2^n$.

3.4.1. Собрать схему счетчика, спроектированного при выполнении домашнего задания, со значением модуля счета К, соответствующим вашему варианту.

3.4.2. Подать на вход счетчика последовательно К счетных импульсов и проконтролировать состояние счетчика (его триггеров) после подачи каждого очередного счетного импульса.

3.4.3. Результаты эксперимента занести в таблицу, аналогичную табл. 2.

- 3.5. Исследовать работу ИС счетчика К155ИЕ7.
- 3.5.1. Перевести счетчик в режим суммирования.
- 3.5.2. Установить триггеры счетчика в состояние “0”.
- 3.5.3. Подать на вход счетчика последовательно 16 счетных импульсов и проконтролировать состояние счетчика после подачи каждого очередного счетного импульса.
- 3.5.4. Перевести счетчик в режим вычитания.
- 3.5.5. Осуществить параллельную загрузку в счетчик числа (10-А).
- 3.5.6. Подать на вход счетчика последовательно (10-А) счетных импульсов и проконтролировать состояние счетчика после подачи каждого очередного счетного импульса.
- 3.5.7. Результаты экспериментов свести в таблицы, аналогичные табл. 2.

4. Содержание отчета

В отчете по каждому пункту задания должны быть приведены: схема; временные диаграммы и таблица, поясняющие работу исследуемого счетчика.

5. Контрольные вопросы

1. Дайте определение цифрового счетчика.
2. В каком случае цифровой счетчик именуют двоичным?
3. Изобразите временные диаграммы, поясняющие работу асинхронного Т-триггера.
4. На основе ИС JK-триггеров (К155ТВ1) спроектировать схемы трехразрядных а) суммирующего, б) вычитающего счетчиков.
5. Укажите переход между состояниями трехразрядного суммирующего счетчика с последовательным переносом, которому соответствует максимальное значение времени регистрации (t_p).
6. Замените триггеры, используемые в схеме счетчика (рис. 1) на D-триггеры, тактируемые срезами синхроимпульса, и постройте временные диаграммы для модернизированной схемы счетчика. Сделайте выводы.
7. Действия, аналогичные указанным в вопросе 6, проведите для схемы вычитающего двоичного счетчика (рис. 2).
8. Спроектируйте схему трехразрядного суммирующего двоичного счетчика с параллельным переносом. Какие преимущества характерны для такого счетчика в сравнении со счетчиком с последовательным переносом?
9. Какой вариант реализации межразрядных коммутирующих цепей (рис. 3) для реверсивных счетчиков является более предпочтительным? Приведите соответствующие обоснования.
10. Объясните работу ИС декадного счетчика К155ИЕ6.
11. На основе ИС К155ИЕ7 спроектируйте схему суммирующего двоичного счетчика со значением модуля счета $K=100$.
12. Каким образом можно обеспечить деление частоты следования импульсов в заданное (K) число раз?

Приложение

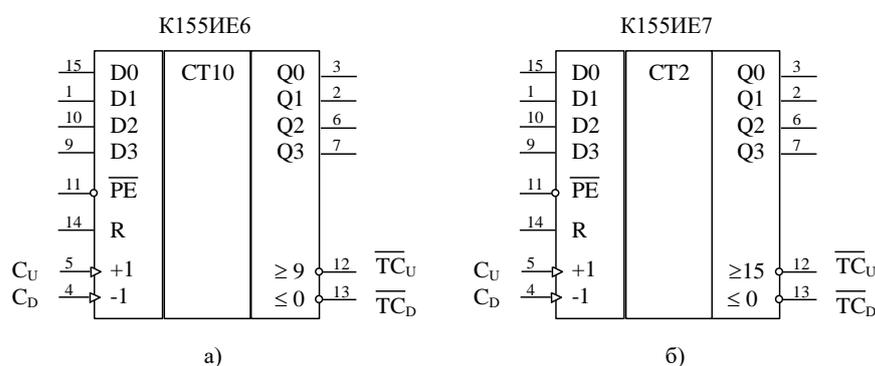


Рис. П1. Счетчики ИЕ6, ИЕ7

Микросхемы К155ИЕ6 и К155ИЕ7 - четырехразрядные реверсивные счетчики, аналогичные по структуре. Счетчик ИЕ6 (рис. П1,а) - двоично-десятичный (декадный), а счетчик

ИЕ7 (рис. П1,б) - двоичный. Импульсные тактовые входы для счета на увеличение C_U (вывод 5) и на уменьшение C_D (вывод 4) в этих микросхемах отдельные. Состояние счетчика меняется по положительным перепадам счетных импульсов от низкого уровня к высокому на каждом из этих тактовых входов.

Для упрощения построения счетчиков с числом разрядов, превышающих четыре, обе микросхемы имеют выходы окончания счета на увеличение (\overline{TC}_U , вывод 12) и на уменьшение (\overline{TC}_D , вывод 13). От этих выходов берутся тактовые сигналы переноса для последующего и заема от предыдущего четырехразрядного счетчика. Дополнительной логики при последовательном соединении этих счетчиков не требуется: выходы \overline{TC}_U и \overline{TC}_D предыдущей микросхемы присоединяются к выводам C_U и C_D последующей. По входам разрешения параллельной загрузки \overline{PE} и сброса R запрещается действие тактовой последовательности и даются команды загрузки четырехразрядного кода в счетчик или его сброса.

В микросхемах ИЕ6 и ИЕ7 счетчики основаны на четырех двухступенчатых триггерах «мастер-помощник». Десятичный счетчик отличается от двоичного внутренней логикой, управляющей триггерами. Счетчики можно переводить в режимы сброса, параллельной загрузки, а также счета на увеличение и уменьшение.

Если на вход C_D подается импульсный перепад от низкого уровня к высокому (дается команда на уменьшение - down), от содержимого счетчика вычитается 1. Аналогичный перепад, поданный на входе C_U , увеличивает результат счета на 1. Если для счета используется один из этих входов, на другом тактовом входе следует зафиксировать напряжение высокого логического уровня. Первый триггер счетчика не может переключиться, если на его тактовом входе зафиксировано напряжение низкого уровня. Во избежание ошибок менять направление счета следует в моменты, когда запускающий тактовый импульс перешел на высокий уровень.

На выходах \overline{TC}_U (окончание счета на увеличение, вывод 12) и \overline{TC}_D (окончание счета на уменьшение, вывод 13) нормальный уровень - высокий. Если счет достиг максимума (цифра 9 для ИЕ6 и 15 для ИЕ7), с приходом следующего тактового перепада на вход C_U от высокого уровня к низкому (более 9 или более 15) на выходе \overline{TC}_U появится низкое напряжение.

Аналогично на выходе \overline{TC}_D появляется напряжение низкого уровня, если на вход C_D пришел счетный перепад низкого уровня. Импульсные перепады от выходов \overline{TC}_U и \overline{TC}_D служат, таким образом, как тактовые для последующих входов C_U и C_D при конструировании счетчиков более высокой разрядности.

Если на вход разрешения параллельной загрузки \overline{PE} (вывод 11) подать напряжение низкого уровня, то код, зафиксированный ранее на параллельных входах $D0 - D3$ (выводы 15, 1, 10 и 9), загружается в счетчик и появляется на его выходах $Q0 - Q3$ (выводы 3, 2, 6 и 7) независимо от сигналов на тактовых входах. Следовательно, операция параллельной загрузки - асинхронная.

Параллельный запуск триггеров запрещается, если на вход сброса R (вывод 14) подано напряжение высокого уровня. На всех выходах Q_i установится низкий уровень.

