

**ГАЖК "Ўзбекистон темир йўллари"**  
**Ташкентский институт инженеров железнодорожного**  
**транспорта**

**«Изучение специальных дискретных устройств»**

Методическое пособие для бакалавров направления  
5521800 - «Автоматизация и управление»  
5140900 - «Профессиональное образование (автоматизация и  
управление)»

**Ташкент – 2010**

## УДК 681.31

Методическое пособие по дисциплине «Теория дискретных устройств» предназначено для бакалавров направления 5521800 - «Автоматизация и управление» и 5140900 - «Профессиональное образование (автоматизация и управление)».

Указания предназначены для освоения практических знаний студентами в вопросах использования специальных цифровых и микропроцессорных технологий в устройствах автоматики и телемеханики. В указаниях освещены вопросы построения и применения специализированного программного обеспечения Proteus и возможности его использования при синтезе цифровых устройств.

Одобрено на заседании Научно – методического совета института.

Составители: Ш.Р. Хорунов – к.т.н., доцент;  
О.Т. Алиев – ассистент.

Рецензенты: Х.Н.Салиев – гл. инженер Центра сигнализации и связи ГАЖК «Ўзбекистон темир йўллари»;  
А.Р. Азизов – к.т.н., доцент, заведующий кафедрой «Автоматика и телемеханика на ж.д. транспорте»  
ТашИИТ

© Ташкентский институт инженеров железнодорожного транспорта,  
2010 г.

# ЛАБОРАТОРНАЯ РАБОТА № 4

## Синтез преобразователей кодов

### 1. Цель Работы

Изучение способов построения преобразователей двоичного кода на все сочетания в специальные и помехозащищенные коды, и обратно.

### 2. Общие Сведения

*Преобразователями кодов* называются устройства, служащие для перевода  $n$ -элементного параллельного кода на входе в  $m$ -элементный параллельный код на выходе. На рис.4.1 представлено условное обозначение преобразователя кодов. Частным случаем преобразователей кодов являются шифраторы и дешифраторы. Преобразователи кодов, не являющиеся шифраторами или дешифраторами называют *трансляторами* кодов или, собственно, преобразователями кодов.

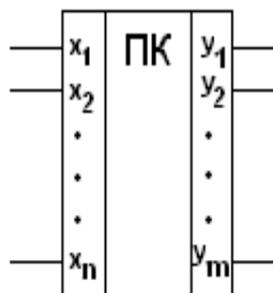


Рис.4.1. Условное обозначение преобразователя кодов

Обычный подход к построению *транслятора* кодов основан на представлении его в виде комбинационного устройства с несколькими входами и выходами. Рассмотрим этот метод на примере преобразования двоичного кода на все сочетания в равновесный код “2 из 4” (код “ $m$  из  $n$ ”).

Пусть на вход преобразователя поступают комбинации двоичного кода для десятичных чисел [0, 1, 2, 3, 4, 5], которым соответствуют комбинации кода “2 из 4” для десятичных чисел [3, 5, 9, 6, 10, 12]. Тогда преобразователь имеет три входа:  $X_1, X_2$  и  $X_3$ , соответствующие разрядам двоичного кода, и четыре выхода:  $y_1, y_2, y_3$  и  $y_4$  соответствующие разрядам кода “2 из 4”. Поскольку количество комбинаций  $n$ -разрядного двоичного кода на все сочетания определяется как  $N=2^n=8$  ( $n$ -число входов преобразователя), то пред-

полагается, что неиспользованные комбинации этого кода (для чисел 6 и 7) на вход преобразователя не подаются и значение выходов при этом безразлично. На основании задания на разработку дискретного устройства составим таблицу истинности (ТИ) (табл.4.1).

Таблица 4.1.

№	$x_3$	$x_2$	$x_1$	$y_4$	$y_3$	$y_2$	$y_1$
0	0	0	0	0	0	1	1
1	0	0	1	0	1	0	1
2	0	1	0	1	0	0	1
3	0	1	1	0	1	1	0
4	1	0	0	1	0	1	0
5	1	0	1	1	1	0	0
6	1	1	0	~	~	~	~
7	1	1	1	~	~	~	~

Количество столбцов в ТИ равно сумме входов и выходов преобразователя, а количество строк равно N. Каждая строка таблицы истинности соответствует одному из входных наборов, причем десятичному номеру строки соответствует двоичный набор входных переменных.

По условию задачи входному набору 0 соответствует выходной набор 3, Это означает, что в данной строке в столбцах  $y_4, y_3, y_2, y_1$  проставляется код 0011, соответствующий числу 3; входному набору 1 соответствует выходной набор 5 - 0101 и т.д. Входные наборы 6 и 7 не подаются, поэтому в строках, соответствующих этим наборам на пересечении со столбцами  $y_4, y_3, y_2, y_1$ , проставляется знак "~", означающий безразличное состояние (0 или 1). В дальнейшем, на этапе минимизации целесообразно учитывать безразличные состояния, что позволяет получить более простые функции.

Составим по ТИ переключательные (выходные) функции схемы.

Функции выходов могут быть вычислены как по разрешенным наборам (в виде СДНФ), так и по запрещенным наборам (в виде СКНФ). Запишем выходные функции в виде СДНФ.

$$y_1 = \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \vee x_1 \cdot \overline{x_2} \cdot \overline{x_3} \vee \overline{x_1} \cdot x_2 \cdot \overline{x_3}$$

$$y_2 = \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \vee x_1 \cdot x_2 \cdot \overline{x_3} \vee \overline{x_1} \cdot \overline{x_2} \cdot x_3$$

$$y_3 = x_1 \cdot \overline{x_2} \cdot \overline{x_3} \vee x_1 \cdot x_2 \cdot \overline{x_3} \vee x_1 \cdot \overline{x_2} \cdot x_3$$

$$y_4 = \overline{x_1} \cdot x_2 \cdot \overline{x_3} \vee \overline{x_1} \cdot \overline{x_2} \cdot x_3 \vee x_1 \cdot \overline{x_2} \cdot x_3$$

Произведем минимизацию функций по картам Карно. Особенностью минимизации является наличие в таблице истинности

безразличных состояний. Ввиду недостижимости этих состояний при нормальной работе схемы им можно поставить в соответствие, любое значение: либо 0, либо 1. Для получения более простой функции целесообразно безразличным состояниям задавать такие значения, при которых в карте Карно получаются контуры с максимально возможным числом клеток.

Для примера имеем следующие карты Карно (рис.4.2). В карте функции  $y_2$  клетка, соответствующая набору  $x_1, x_2, x_3$ , включена в контур с разрешенными наборами, следовательно, и на наборе  $x_1, x_2, x_3$  функция  $y_2=1$

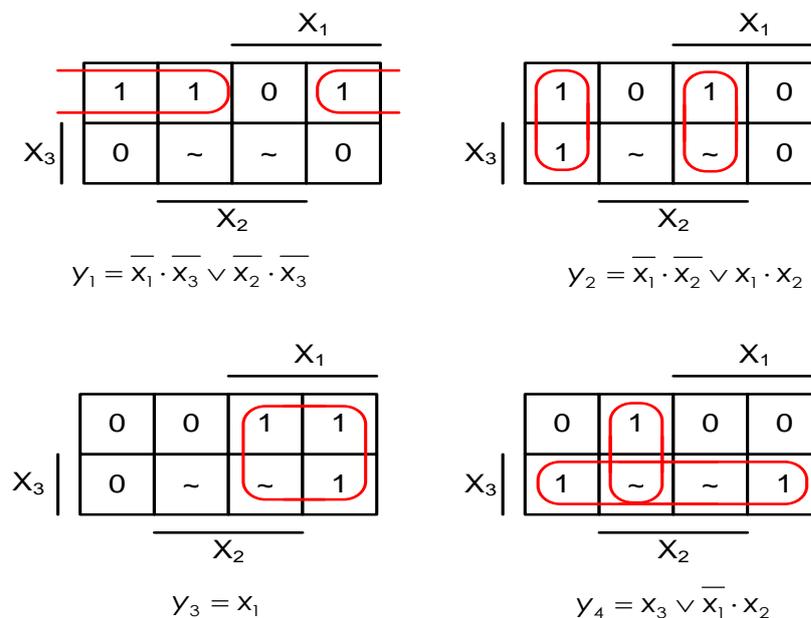


Рис. 4.2. Минимизация функции по картам Карно

Вид карты Карно для четырех и пяти переменных показан на рис.4.3.

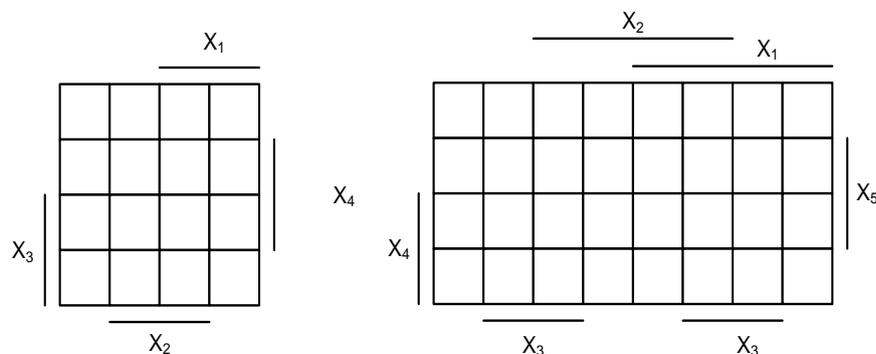


Рис.4.3. Карты Карно для четырех и пяти переменных

Реализация полученных функций преобразователя кодов производится в указанном преподавателем элементном базисе. В связи с этим реальная схема дискретного устройства должна быть

пересчитана и составлена на заданный тип элементов. Реализацию следует производить в виде единой схемы, имеющей общие элементы для разных функций (рис. 4.4).

В данной лабораторной работе этот этап синтеза практически не рассматривается, а производится только сборка синтезированной схемы в поле программы Proteus и её испытание.

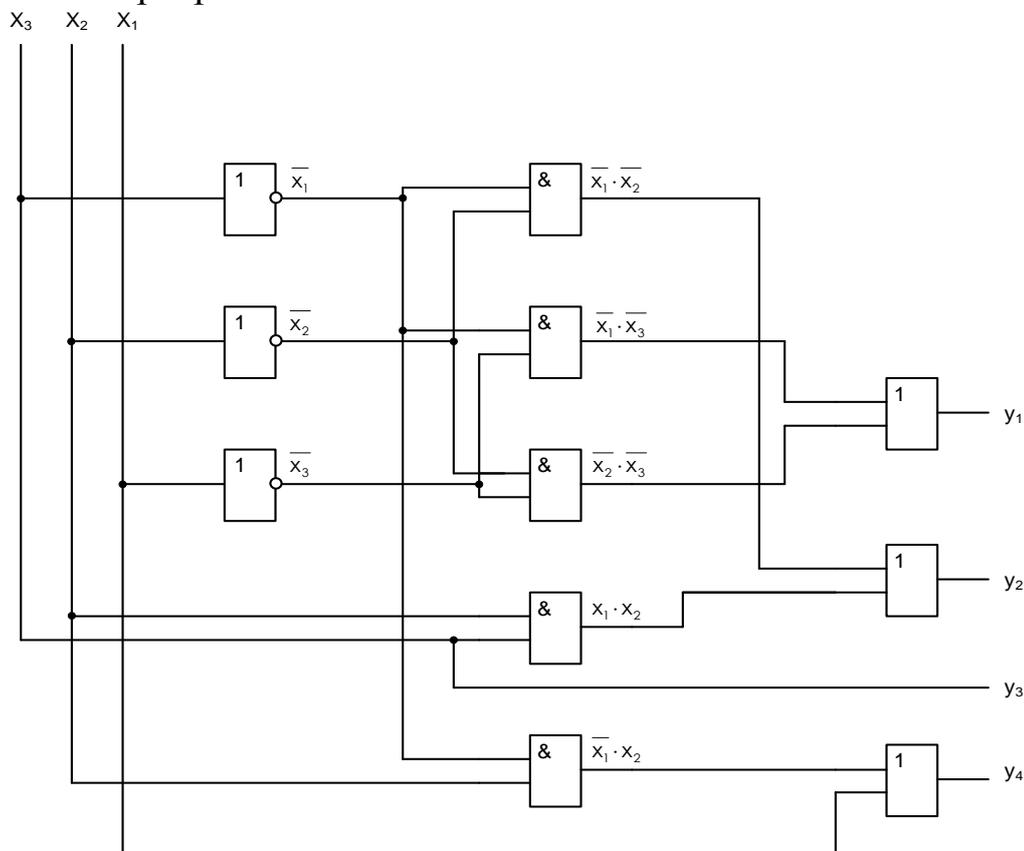


Рис.4.4. Схема преобразователя кодов

Для подключения цифровых, например, семисегментных светодиодных индикаторов, требуется специальный преобразователь (рис.4.5) двоичного кода на все сочетания в код этого индикатора (к ним относятся, например, ИМС 7447 и 7448 из серии TTL74 – аналоги отечественных ИМС 514ИД1 и 514ИД2), когда число светящихся сегментов может быть от двух (для цифры 1) до семи (для цифры 8). Поскольку число входов преобразователя равно четырем (для кодирования десятичных чисел 0-9 достаточно иметь 4-х разрядный двоичный код), а число выходов равно семи (по числу сегментов), то таблица истинности этого преобразователя содержит 11 столбцов и 10 строк (число десятичных цифр). Система переключательных функций, описывающих схему преобразователя будет содержать семь уравнений.

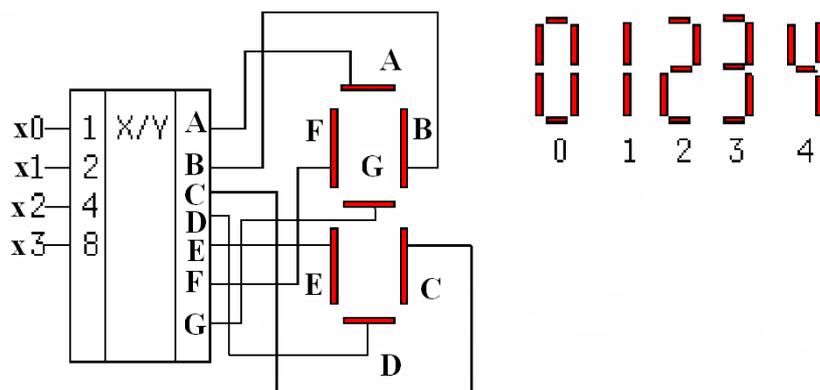


Рис. 4.5. Преобразователь кода “4 в 7” и подключение индикатора

Из рис.4.5 следует, что например, в цифре 0 должны светиться все сегменты, кроме сегмента G. Студентам предлагается самим построить ТИ данного преобразователя кодов, составить по ТИ переключательные (выходные) функции схемы, используя карты Карно для четырех переменных, произвести минимизацию полученных ПФ, собрать синтезированную схему преобразователя в поле программы Proteus и провести её испытание.

### 3. Описание рабочего места

Работа выполняется на компьютере, в программе Proteus. Сигналы логического «0» и «1» от аргументов X задаются в ручном режиме. Графические изображения элементов с заданным числом входов, реализующих исследуемые функции, выбираются из окна библиотеки компонентов (подкатегория Modeling Primitives). При составлении схем, соединение элементов производится вручную с помощью «мыши». Значения сигналов определяются через логический анализатор или осциллограф, которые можно подключать к выходам исследуемой схемы.

### 4. Задание к лабораторной работе

1. Изучить основные этапы синтеза комбинационных схем.
2. Изучить основные этапы синтеза преобразователей кодов.
3. Провести синтез преобразователя кодов для варианта, указанного преподавателем.
4. Составить и собрать схему преобразователя кодов на компьютере в поле программы Proteus и провести анализ её работы.

## Варианты заданий

Задание 1. Произвести синтез преобразователя кода из двоичного в код "2 из 5".

Преобразователь имеет четыре входа:  $x_1, x_2, x_3, x_4$ , соответствующие разрядам двоичного кода, и пять выходов:  $y_1, y_2, y_3, y_4, y_5$ , соответствующие разрядам кода "2 из 5".

Зависимость выходных комбинаций кода "2 из 3" от входных комбинаций двоичного кода представлена в табл.4.2.

Таблица 4.2.

№	Вход преобразователя	Выход преобразователя	Запрещенные комбинации
	Двоичный код	Код "2 из 5"	Двоичный код
1	0,1,2,3,4,5,6,7,8,9	3,5,9,17,6,10,18,12,20,24	10,11,12,13,14
2	0,1,4,5,8,9,10,11,14,15	3,9,6,18,5,17,10,24,20,12	2,3,6,7,12,13
3	6,7,8,9,10,11,12,13,14,15	24,20,12,18,10,6,17,9,5,3	0,1,2,3,4,5
4	0,1,2,3,4,11,12,13,14,15	5,17,10,12,24,3,9,6,18,20	5,6,7,8,9,10

Предполагается, что неиспользуемые (запрещенные) комбинации двоичного кода на вход преобразователя не подаются и значение выходов при этом безразлично.

Задание 2. Произвести синтез преобразователя двоичного кода в код с проверкой на нечетность.

Преобразователь имеет четыре входа:  $x_1, x_2, x_3, x_4$ , соответствующие разрядам двоичного кода, и пять выходов:  $y_1, y_2, y_3, y_4, y_5$ , соответствующие разрядам кода с проверкой на нечетность. Предполагается, что запрещенные комбинации двоичного кода на вход преобразователя не подаются (табл.4.3).

Таблица 4.3.

№	Вход преобразователя	Выход преобразователя	Запрещенные комбинации
	Двоичный код	Код с проверкой на нечетность	Двоичный код
1	0,1,2,3,4,5,6,7,8,9	16,1,2,19,4,21,22,7,8,25	10,11,12,13,14
2	0,1,4,5,8,9,10,11,14,15	22,7,8,25,26,11,28,13,14,31	2,3,6,7,12,13
3	6,7,8,9,10,11,12,13,14,15	16,1,21,9,4,11,28,13,14,31	0,1,2,3,4,5
4	0,1,2,3,4,11,12,13,14,15	16,1,4,21,8,25,28,13,14,31	5,6,7,8,9,10

Задание 3. Произвести синтез преобразователя двоичного кода в код для семисегментного светодиодного индикатора.

Преобразователь имеет четыре входа:  $x_1, x_2, x_3, x_4$ , соответствующие разрядам двоичного кода, и семь выходов:  $y_1, y_2, y_3, y_4, y_5, y_6, y_7$ , соответствующих количеству сегментов индикатора. Предполагается, что на вход преобразователя подаются только комбинации двоичного кода, соответствующие десятичным числам от 0 до 9.

Задание 4. Выбрать из библиотеки компонентов ИМС (серия TTL 74, подкатегория Decoders) по указанию преподавателя, один из преобразователей (7447, 7448 или 74247), исследовать его работу и составить таблицу истинности.

## 5. Указания к выполнению работы

1. Составить таблицу истинности преобразователя кодов по предложенному варианту (табл. 4.2 - табл.4.4).

2. Составить по ТИ переключательные функции схемы в виде СДНФ.

3. Минимизировать полученные функции по картам Карно

4. По полученной минимизированной форме функции составить схему преобразователя.

5. Собрать составленную схему устройства в поле программы Proteus Если рассматриваемая переменная входит в конъюнкцию со знаком инверсии, то сигнал на вход элемента И подаётся через инвертор.

6. Проанализировать работу схемы на соответствие заданной таблице истинности. Для этого, задавая значения аргументов  $x_1 \div x_4$ , набрать по очереди все комбинации значений входных переменных и пользуясь пробниками, логическим анализатором или осциллографом, записать соответствующие значения выходов схемы.

## 6. Содержание отчёта

В отчете необходимо отразить: 1. Цель работы; 2. Заданную переключательную функцию в СДНФ; 3. Ход минимизации ПФ; 4. Полученную минимальную форму ПФ; 5. Схему минимизированной формы ПФ в заданном элементном базисе; 6. Результаты проверки схемы комбинационного автомата (или ИМС) в виде таблицы истинности.

## 7. Контрольные вопросы

1. На каких законах алгебры логики основывается минимизация

методом карт Карно?

2. Почему при минимизации, безразличным состояниям в ТИ можно поставить в соответствие любое значение – либо 0, либо 1 ?

3. Какие устройства называются *трансляторами* кодов?

4. Чему равно число столбцов таблицы истинности?

5. Почему преобразователь двоичного кода в код с проверкой на нечетность имеет четыре входа и пять выходов?

6. Какие устройства являются частными случаями преобразователей кодов?

## **ЛАБОРАТОРНАЯ РАБОТА №5** **Изучение двоичных сумматоров**

### **1. Цель работы**

Изучение принципов построения и действия одноразрядных и многоразрядных сумматоров.

### **2. Общие сведения**

Двоичными сумматорами называют логические устройства, выполняющие операцию сложения двух чисел, представленных в двоичном коде. Различают одноразрядные и многоразрядные, последовательные и параллельные сумматоры.

#### *2.1. Одноразрядные двоичные сумматоры*

В цифровых устройствах применяются одноразрядные суммирующие схемы на два и три входа, причем первую называют полусумматором, вторую – полным одноразрядным сумматором. Рассмотрим синтез полусумматоров, имеющих два входа  $a$  и  $b$ . Выходными сигналами такого устройства являются сумма  $S$  и перенос  $P$ , которые вырабатываются согласно таблице истинности данного устройства (табл.5.1).

Таблица 5.1.

<b>a</b>	<b>b</b>	<b>S</b>	<b>P</b>
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Из таблицы следует, что полусумматор описывается двумя переключательными функциями:

$$S = \bar{a}b + a\bar{b}, P = ab$$

то есть,

$$S = a \oplus b, P = ab$$

Переключательные функции можно реализовать на элементах “исключающее ИЛИ” и И (рис. 5.1) или после их преобразования – на элементах И-НЕ, И-ИЛИ-НЕ (рис. 5.2).

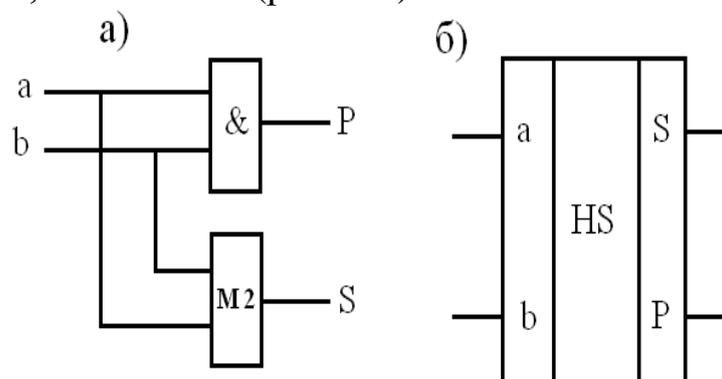


Рис. 5.1. Реализация полусумматора на элементах “исключающее ИЛИ” и И (а) и его условное обозначение (б)

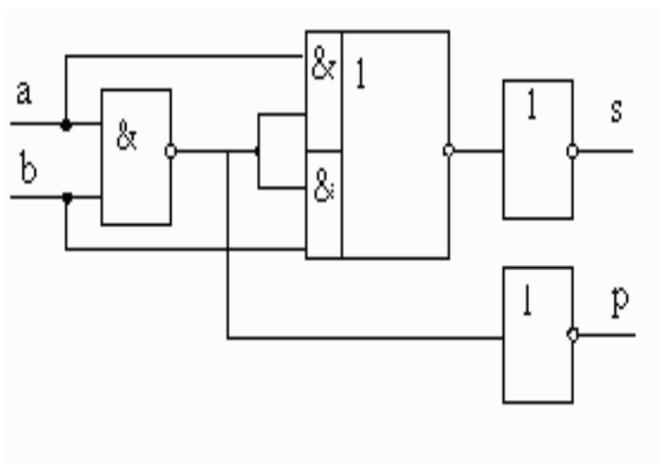


Рис. 5.2. Реализация полусумматора на элементах И-НЕ, И-ИЛИ-НЕ

Сумматор в отличие от полусумматора должен воспринимать не два, а три входных сигнала: два слагаемых  $a$ ,  $b$  и сигнал переноса  $p$  с предыдущего разряда  $p$ . В принципе, сумматор можно построить из двух полусумматоров и одной схемы ИЛИ (рис. 5.3).

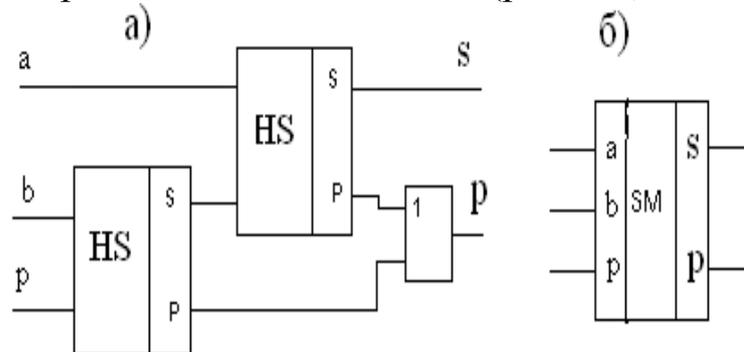


Рис. 5.3. Полный одноразрядный сумматор на основе полусумматоров (а) и его условное обозначение (б)

Однако такая схемотехническая реализация не всегда удобна, поэтому схему сумматора обычно синтезируют как единое устройство. Составим таблицу истинности полного одноразрядного сумматора (табл. 5.2).

Таблица 5.2.

a	b	p	S	P
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Из неё можно получить переключательные функции сумматора в виде СДНФ:

$$S = \bar{a}\bar{b}p + \bar{a}b\bar{p} + a\bar{b}\bar{p} + abp,$$

$$P = \bar{a}bp + a\bar{b}p + ab\bar{p} + abp.$$

Поскольку функция выхода  $S$  не подлежит минимизации, то для упрощения представим её в скобочной форме, не задаваясь набором элементов при реализации.

$$1) \quad S = \bar{p}(\bar{a}b + a\bar{b}) + p(+\bar{a}\bar{b} + ab),$$



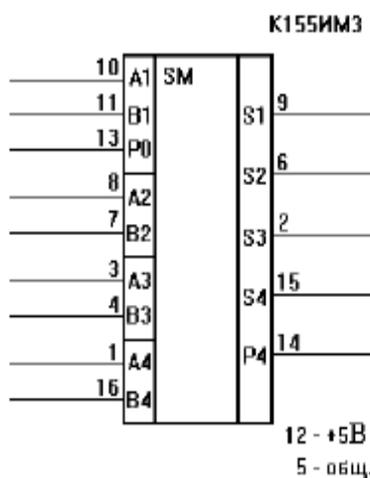


Рис.5.5. Обозначение четырехразрядного сумматора ИС типа К155ИМ3

### 3. Описание рабочего места

Работа выполняется на компьютере, в программе Proteus Сигналы логического «0» и «1» от аргументов X задаются в ручном режиме. Графические изображения элементов с заданным числом входов, реализующих исследуемые функции, выбираются из окна библиотеки компонентов (подкатегория Modeling Primitives). При составлении схем, соединение элементов производится вручную с помощью «мыши». Значения сигналов определяются через логический анализатор или осциллограф, который можно подключать к выходам исследуемой схемы.

### 4. Задание к лабораторной работе

1. Собрать схему полусумматора на элементах “исключающее ИЛИ” и И, и провести анализ её работы.
2. Собрать схему полусумматора на элементах И-НЕ, И-ИЛИ-НЕ и провести анализ её работы.
3. Построить из двух полусумматоров полный одноразрядный сумматор, провести анализ его работы и составить таблицу истинности.
4. Построить параллельный 2х-разрядный сумматор с последовательным переносом из одноразрядных сумматоров и составить его таблицу истинности.
5. Построить полный одноразрядный сумматор по переключательным функциям 1 и 2 провести анализ его работы и составить таблицу истинности.
6. Выбрать из библиотеки компонентов ИМС (серия TTL 74 LS,

подкатегория Adders) одноразрядный сумматор (74 LS183), исследовать его работу и составить таблицу истинности.

7. Выбрать из библиотеки компонентов ИМС (серия TTL 74, подкатегория Adders) 2-х разрядный сумматор (7482), исследовать его работу и составить таблицу истинности.

8. Согласно варианту задания указанного преподавателем, выбрать из библиотеки компонентов ИМС (серии TTL 74, TTL 74НС, TTL 74НСТ, TTL 74 LS, TTL 74F, подкатегория Adders) 4-х разрядный сумматор, исследовать его работу и составить таблицу истинности.

## **5. Указания к выполнению работы**

1. Изучить принцип действия полусумматоров и одноразрядных сумматоров.

2. Переключательную функцию полусумматора заданного в виде ТИ (табл.5.1), преобразовать для реализации на элементах И-НЕ, И-ИЛИ-НЕ.

3. Используя подкатегорию Modeling Primitives библиотеки компонентов, составить схемы полусумматоров по разным вариантам и провести исследования.

4. Для построения 2-х разрядного сумматора следует использовать сумматор, описываемый переключательными функциями 1 и 2.

5. При исследовании 2-х разрядного сумматора следует использовать сумматор 74 НС82 – (серии TTL 74НС, подкатегория Adders).

6. При исследовании 4-х разрядного сумматора вариантом задания, по указанию преподавателя, может быть любой сумматор серии TTL 74.

## **6. Содержание отчёта**

В отчете необходимо отразить: 1. цель работы; 2. таблицы истинности, переключательные функции и схемы полусумматоров и одноразрядных сумматоров; 3. таблицы истинности, переключательные функции и схемы 2-х разрядных сумматоров; 4. таблицы истинности, переключательные функции и схемы 4-х разрядных сумматоров по вариантам задания.

## **7. Контрольные вопросы**

1. Какие устройства называются двоичными сумматорами?

2. Как называются одноразрядные суммирующие схемы на два входа?

3. Чем отличаются параллельные сумматоры с последовательной передачей сигналов переноса от сумматоров с комбинированным переносом?

4. Как определяется время суммирования сумматора с последовательной передачей сигналов переноса?

5. Какие аналоги сумматора типа K155ИМ3 в библиотеке компонентов программы Proteus вы знаете?

## **ЛАБОРАТОРНАЯ РАБОТА №6**

### **Изучение шифраторов**

#### **1. Цель работы**

Изучение принципа работы, построения и применения шифраторов в цифровых устройствах.

#### **2. Общие сведения**

Устройство, преобразующее сигнал логической 1 на одном из входов в соответствующую n-разрядную кодовую комбинацию на выходах, называют шифратором (кодером). Шифраторы используют, например, в устройствах ввода информации в цифровые системы. В таких устройствах осуществляется преобразование десятичного номера клавиши в двоичный эквивалент этого номера на его выходе.

Шифратор может быть неприоритетным, если допускается подача сигнала логической 1 только на один из входов и может быть приоритетным, если допускается подача одновременно нескольких сигналов на входы. В таких шифраторах используется принцип приоритета старшего разряда, т.е. при одновременном нажатии, например, клавиш 0, 3, 1 на выходе шифратором будет генерироваться код 11, соответствующий 3.

Для неприоритетного шифратора (или просто шифратора) "4 в 2" таблица истинности имеет вид (табл.6.1):

Таблица 6.1.

номер входа	входы				выходы	
	x0	x1	x2	x3	y1	y0
0	1	0	0	0	0	0
1	0	1	0	0	0	1
2	0	0	1	0	1	0
3	0	0	0	1	1	1

Таблица 6.2.

номер входа	входы				выходы	
	x0	x1	x2	x3	y1	y0
0	1	0	0	0	0	0
1	x	1	0	0	0	1
2	x	x	1	0	1	0
3	x	x	x	1	1	1

В шифраторе приоритетов производится преобразование максимального десятичного номера входа в двоичный эквивалент этого номера. Для такого шифратора значения входных сигналов, лежащих ниже от единичной диагонали (см. табл.6.2), по определению не известны ("x" может быть 0 или 1). Следовательно, полная таблица истинности, должна содержать  $2^4=16$  строк. Комбинация 0000 на входах не определена.

Для синтеза схемы неприоритетного шифратора для каждой из функций выходов составим таблицу карты Карно. Четыре входных переменных дают  $2^4=16$  комбинаций, из которых по определению заданы в карте Карно только 4.

Остальные 12 неопределенных комбинаций в таблицах карт Карно отметим символом (~). Так как появление этих комбинаций на входах не предусмотрено (по определению), то в соответствующие клетки карты Карно можно подставлять любые значения, в том числе такие, которые позволяют наиболее полно минимизировать логические функции. Два из четырех вариантов приведены в табл.3 и табл.4 на рис.6.1. В обоих случаях две величины (~) до определены до 1 и включены в контуры.

Таблица 6.3.

x0x1 \ x2x3	"y1"			
	00	01	11	10
00	~	1	~	1
01	0	~	~	~
11	~	~	~	~
10	0	~	~	~

Таблица 6.4.

x0x1 \ x2x3	"y0"			
	00	01	11	10
00	~	1	~	0
01	1	~	~	~
11	~	~	~	~
10	0	~	~	~

Рис.6.1. Таблицы карт Карно для функций выходов y1 и y0 шифратора

Из приведенных таблиц карт Карно находим функции выходов y1 и y0:

$$y_1 = \overline{x_0 * x_1} = \overline{x_0 + x_1} \quad \text{и} \quad y_0 = \overline{x_0 * x_2} = \overline{x_0 + x_2}.$$

Реализация и условное обозначение шифратора приведены на рис.6.2.

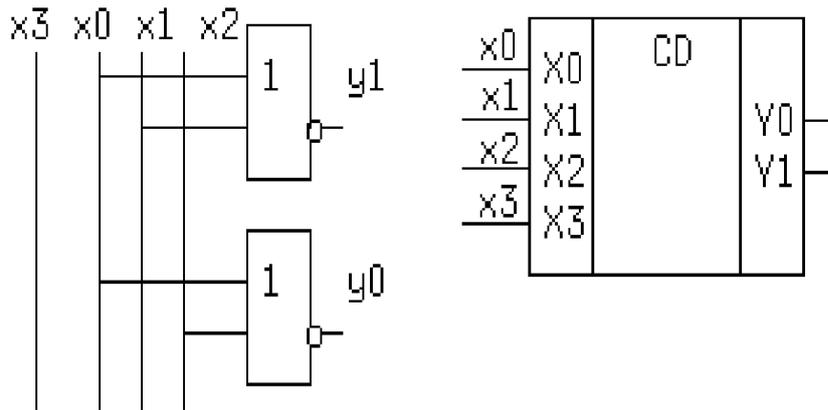


Рис.6.2. Реализация и условное обозначение шифратора “4 в 2”

Переменная  $x_3$  оказалась не включенной в систему функций описывающих шифратор из-за того, что если нет сигнала ни на одном из первых трех входов, то он неизбежно должен присутствовать, по определению, на оставшемся, т.е. на третьем входе.

Переменная  $x_3$ , вместе с остальными может быть использована для формирования функции  $y = x_0 + x_1 + x_2 + x_3$  равной 0, когда нет сигнала ни на одном из входов, что может указывать, например, о неисправности источников сигналов. Например, в шифраторе приоритетов ИМС-74148, что соответствует аналогу ИМС-155ИВ1 и где вход  $E_1$  является разрешающим, выход  $E_0$  используется для неисправности источников сигналов.

Шифратор может быть построен на практически всех представленных в библиотеках программ Proteus и EWB логических элементах. Например, из таблицы истинности (табл.6.1) можно получить:  $y_1 = x_2 + x_3$  и  $y_0 = x_1 + x_3$ . Это позволяет реализовать шифратор на элементах ИЛИ (при положительной логике).

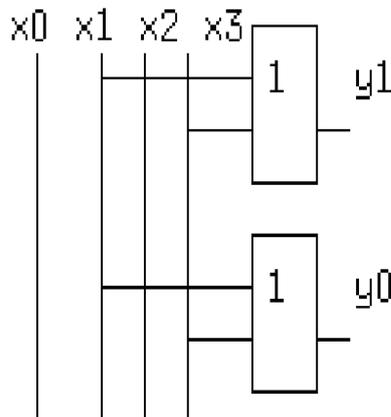


Рис.6.3. Реализация шифратора на элементах ИЛИ

При большом числе входов, с целью уменьшения количества используемых элементов, реализация шифратора может быть двухступенчатой.

### **3. Описание рабочего места**

Работа выполняется на компьютере, в программе Proteus или в программе EWB. Сигналы логического «0» и «1» от аргументов X задаются в ручном режиме или генераторами двоичных слов. Графические изображения элементов с заданным числом входов, реализующих исследуемые функции, выбираются из окна библиотеки компонентов. В программе Proteus при составлении схем, соединение элементов производится вручную с помощью «мыши». Значения сигналов определяются через логический анализатор или осциллограф, которые можно подключать к выходам исследуемой схемы.

### **4. Задание к лабораторной работе**

1. Собрать схемы шифраторов "4 в 2", приведенных на рис.6.1 и рис.6.2 провести анализ их работы и составить таблицы истинности.

2. По заданию преподавателя, согласно варианту, составить таблицу истинности для неполного шифратора с максимальным десятичным номером входа  $x=N \neq 2^n$ , вычислить переключательные функции, произвести их минимизацию, собрать схему и провести анализ её работы.

3. Согласно варианту задания указанного преподавателем, выбрать из библиотеки компонентов ИМС (серии TTL 74, TTL 74НС, TTL 74 LS, подкатегория Encoders) шифратор "8 в 3", исследовать его работу и составить таблицу истинности.

4. Согласно варианту задания указанного преподавателем, выбрать из библиотеки компонентов ИМС (серии TTL 74, TTL 74НС, TTL 74НСТ, TTL 74LS, подкатегория Encoders) шифратор "10 в 4", исследовать его работу и составить таблицу истинности.

### **5. Указания к выполнению работы**

1. Изучить принцип действия шифраторов.

2. Переключательную функцию полусумматора заданного на рис.6.2 преобразовать для реализации на элементах И-НЕ и И-ИЛИ-

НЕ.

3. При синтезе неполного шифратора, количество его выходов  $n$ , следует определять по формуле:  $n = \lceil \log_2 N \rceil$

4. Выбор заданной серии ИМС производится в окне библиотеки компонентов в (Category), а шифраторы этих серий в том же окне в (Sub-category).

5. При выполнении работы следует помнить, что задаваемые ИМС могут быть с отрицательной логикой работы, т.е. напряжение низкого уровня рассматривается как логическая 1, а напряжение высокого уровня рассматривается как логический 0.

## **6. Содержание отчёта**

В отчете необходимо отразить: 1. цель работы; 2) таблицы истинности, переключательные функции и схемы шифраторов "4 в 2" и неполного шифратора согласно варианту; 3) ИМС шифратора "8 в 3" заданной серии и его таблицу истинности; 4) ИМС шифратора "10 в 4" заданной серии и его таблицу истинности.

## **7. Контрольные вопросы**

1. Что представляет собой шифратор; при решении, каких задач он используется?

2. Чем отличается шифратор приоритетов от обыкновенного шифратора?

3. Почему функции выходов шифратора могут не зависеть от отдельных входных переменных?

4. Чем отличается шифратор с отрицательной логикой от шифратора с положительной логикой?

5. Какие аналоги сумматора типа K155ИМ3 в библиотеке компонентов программы Proteus вы знаете?

## **ЛАБОРАТОРНАЯ РАБОТА № 7 Изучение дешифраторов**

### **1. Цель работы**

Изучение принципа работы, построения и применения дешифра-

торов в цифровых устройствах.

## 2. Общие сведения

Устройство, распознающее различные кодовые комбинации, называют дешифратором (декодером). Дешифратор преобразует двоичный код на входе в сигнал логической 1 на том выходе, номер которого равен десятичному эквиваленту двоичного кода на входах. Таким образом, на его  $m$  выходах фактически формируются слова позиционного кода "1 из  $m$ ".

В полном дешифраторе количество выходов  $m = 2^n$ , где  $n$  – число входов. В неполном дешифраторе  $m < 2^n$ . По определению полный дешифратор должен формировать  $2^n$  выходных функций, определенных на всех наборах входных переменных. Рассмотрим дешифратор с  $n=2$  и  $m=4$ , называемый также дешифратором "2 в 4" и дополним его входом разрешения выходов ОЕ. Активным уровнем сигнала на прямых входах и выходах будет 1, а на инверсных 0.

По этому определению заполним таблицу истинности (табл.7.1), где величина ( $\sim$ ) может принимать любые значения.

Таблица 7.1.

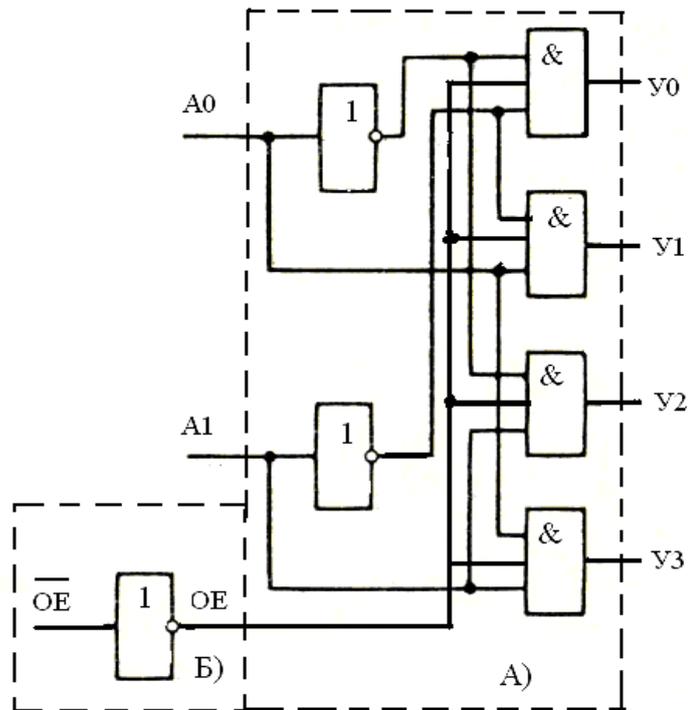
DEC число	Входы				Выходы								
	a1	a0	OE	$\overline{OE}$	y0	y1	y2	y3	$\overline{y0}$	$\overline{y1}$	$\overline{y2}$	$\overline{y3}$	
0	0	0			1	0	0	0	0	1	1	1	1
1	0	1	1	0	0	1	0	0	1	0	1	1	1
2	1	0			0	0	1	0	1	1	0	1	1
3	1	1			0	0	0	1	1	1	1	0	1
x	x	x	0	1	0	0	0	0	1	1	1	1	1

По таблице вычислим функции выходов дешифратора по единичным значениям функций:

$$y_0 = OE * \overline{a_1} * \overline{a_0}, \quad y_1 = OE * a_1 * a_0,$$

$$y_2 = OE * a_1 * \overline{a_0}, \quad y_3 = OE * \overline{a_1} * a_0.$$

Реализации функций, соответствующих обозначениям дешифратора (А) и (Б) приведены на рис.7.1, где видно, что на входе ОЕ дешифратора (Б) сигналом разрешения, т.е. активным, является низкий уровень напряжения.



(A)			
a0	A0	DC	0
a1	A1		1
			2
OE	OE		3

(Б)			
a0	A0	DC	0
a1	A1		1
			2
$\overline{OE}$	$\overline{OE}$		3

Рис.7.1. Дешифратор "2 в 4" с прямым и инверсным входом разрешения

Дешифраторы, реализуемые по непосредственно описывающим их функциям, называются линейными и представляют собой  $2^n$  независимых по выходам элементов И с  $n$  входами каждый.

Можно преобразовать полученные выше уравнения  $y_i$  с помощью закона двойной инверсии к базису И-НЕ:  $y_i = \overline{\overline{y_i}}$ . Студентам предлагается самим построить такой дешифратор и исследовать работу схемы.

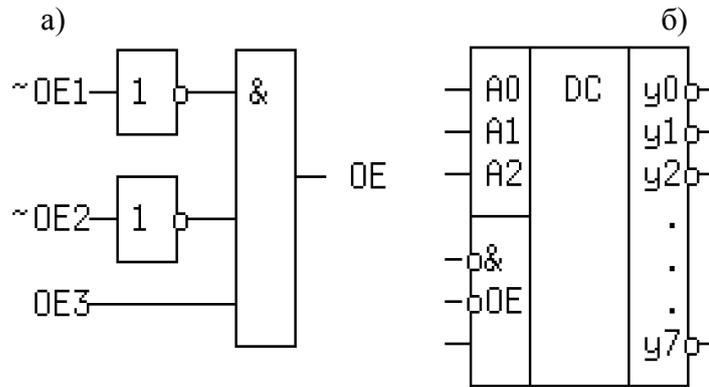


Рис.7.2. Схема входа разрешения и условное обозначение дешифратора "3 в 8" типа 1533ИД7

Вместо инвертора OE, может применяться более сложная схема, описываемая функцией:  $OE = \overline{OE1} * \overline{OE2} * OE3$ , показанная на рис.7.2 а. Здесь OE=1 в случае, когда OE1 = OE2 = 0 и OE3 = 1. Такая схема применяется в дешифраторе "3 в 8" типа 1533ИД7(555ИД7), условное обозначение которого приведено на рис.7.2 б.

Дешифраторы широко применяются в вычислительной технике, как часть больших интегральных схем, для выбора одного из нескольких внешних устройств (ВУ) при обмене данными между ним и микропроцессором. В этом случае на входы  $a_i$  подаются сигналы, называемые адресом ВУ, а входы называются адресными.

Дешифраторы, как самостоятельные изделия изготавливаются на 4, 8, 16 выходов. При необходимости количество входов и выходов наращивается путем применения ступенчатой структуры дешифрации.

### 3. Описание рабочего места

Работа выполняется на компьютере, в программе Proteus Сигналы логического «0» и «1» от аргументов X задаются в ручном режиме. Графические изображения элементов с заданным числом входов, реализующих исследуемые функции, выбираются из окна библиотеки компонентов (подкатегория Modeling Primitives). При составлении схем, соединение элементов производится вручную с помощью «мыши». Значения сигналов определяются через логический анализатор или осциллограф, которые можно подключать к выходам исследуемой схемы.

### 4. Задание к лабораторной работе

1. Собрать схемы дешифраторов "2 в 4", приведенных на рис. 7.1 и провести анализ их работы.

2. Преобразовать полученные выше уравнения, соответствующие обозначениям ДШ (А) и (Б) к базису И-НЕ, построить схему и исследовать работу дешифратора.

3. Пользуясь таблицей 7.1 синтезировать схему дешифратора "2 в 4" с прямыми входами и инверсными выходами, собрать схему и провести исследование её работы.

4. Произвести синтез дешифратора "3 в 8", условное обозначение которого приведено на рис.7.2 б, но с прямыми выходами, собрать схему, провести исследование её работы и составить таблицу истинности.

5. Согласно варианту задания, указанного преподавателем, выбрать из библиотеки компонентов ИМС (серии TTL 74, TTL 74НС, подкатегория Decoders) дешифратор "4 в 10", исследовать его работу и составить таблицу истинности.

6. Согласно варианту задания, указанного преподавателем, выбрать из библиотеки компонентов ИМС (серии TTL 74, TTL 74НС, подкатегория Decoders) дешифратор "4 в 16", исследовать его работу и составить таблицу истинности.

## **5. Указания к выполнению работы**

1. Изучить принцип действия дешифраторов.

2. Переключательную функцию дешифратора, приведенного на рис.7.2, преобразовать для реализации на элементах И-НЕ.

3. При исследовании дешифратора целесообразно использовать генератор слова на входе, индикаторы – на выходе.

4. Конечной целью исследования является получение таблицы истинности, поэтому для каждой из возможных входных комбинаций схемы, необходимо фиксировать состояние выхода.

## **6. Содержание отчёта**

В отчете необходимо представить: 1. цель работы; 2. таблицы истинности, переключательные функции и схемы обоих построенных дешифраторов "2 в 4"; 3. переключательные функции дешифратора "2 в 4" в базисе И-НЕ и его схему; 4. таблицу истинности, переключательные функции и схему синтезированного дешифратора "3 в 8"; 5. ИМС дешифратора "4 в 10" заданной серии, согласно варианту и его

таблице истинности; 6. ИМС дешифратора “4 в 16” заданной серии, согласно варианту и его таблице истинности.

### **7. Контрольные вопросы**

1. Что представляет собой дешифратор и при решении, каких задач он используется?
2. Какой дешифратор называется линейным?
3. Чем определяется быстродействие линейного дешифратора?
4. Какие логические элементы могут использоваться для построения дешифратора?
5. Чем отличается полный дешифратор от неполного?

## СПИСОК РЕКОМЕНДУЕМОЙ ЛИТЕРАТУРЫ

1. Сапожников В.В., Кравцов Ю.А., Сапожников Вл.В. Теория дискретных устройств железнодорожной автоматики, телемеханики и связи: Учебник для ВУЗов ж.д. транспорта. – М.: УМК МПС России, 2001.
2. Сапожников В.В., Сапожников Вл.В. Дискретные устройства железнодорожной автоматики, телемеханики и связи.–М.: Транспорт, 1988.
3. Хорунов Ш.Р., Юлдашев Ш.М. «Исследование логических функций и дискретных схем», методические указания к выполнению лабораторных работ, Ташкент, 2008.
4. Фридман А.Д., Менон П. Теория и проектирование переключательных схем. – М.: Энергия, 1980.
5. Корнев Е.А. Схемотехника цифровых, аналого - цифровых и цифро – аналоговых устройств: Учебное пособие. – Оренбург: ГОУ ОГУ, 2005.
6. Рахметов Г.Р., Хорунов Ш.Р. и др. Теория дискретных устройств. Методические указания. Ташкент, 2004г.

## СОДЕРЖАНИЕ

1. ЛАБОРАТОРНАЯ РАБОТА № 4 Синтез преобразователей кодов.....	3
2. ЛАБОРАТОРНАЯ РАБОТА № 5 Изучение двоичных сумматоров.....	10
3. ЛАБОРАТОРНАЯ РАБОТА № 6 Изучение шифраторов.....	16
4. ЛАБОРАТОРНАЯ РАБОТА № 7 Изучение дешифраторов.....	20
5. СПИСОК РЕКОМЕНДУЕМОЙ ЛИТЕРАТУРЫ.....	26

Редактор: Сафарова С. Г.

---

Подписано в печать.

Объем

2 п.л.

Формат бумаги 60x84 1/16

Кол-во 20 шт.

Заказ № 16/5

---

Тиражировано в типографии ТашИИТ г. Ташкент, ул. Адылходжаева, 1.