

Министерство высшего и среднего специального образования Республики
Узбекистан

Ташкентский институт текстильной и легкой промышленности

Кафедра: *«Автоматизация и компьютеризация технологических
процессов»*

КУРСОВОЙ ПРОЕКТ

по курсу: *«Микропроцессорные средства и системы
автоматизации и управления»*

Разработала: ст-ка 3-го курса,
гр. № 22р-10, Морозова Д.

Приняла: Жукова Ю.А.

Ташкент 2013 г.

Содержание

1. Введение.....	стр. 3
2. Описание объекта управления.....	стр. 5
3. Описание применяемых датчиков и их функции.....	стр. 8
3.1. Таблица сигналов датчика.....	стр. 8
3.2. Таблица управляющих сигналов.....	стр. 8
4. Обобщённая схема микропроцессорного устройства.....	стр. 9
5. Описание выбранных для проекта микросхем.....	стр. 12
5.1. Блок микропроцессора.....	стр. 12
5.2. Блоки оперативного запоминающего устройства (ОЗУ) и постоянного запоминающего устройства (ПЗУ).....	стр. 18
5.3. Блок интерфейса.....	стр. 21
5.4. Блок специальных БИС.....	стр. 24
6. Таблица разъёмов.....	стр. 28
7. Системные шины.....	стр. 28
8. Заключение.....	стр. 30
9. Использованная литература.....	стр. 31

1. Введение.

Внимание специалистов различных областей техники всё больше привлекают перспективные изделия микроэлектроники – большие интегральные схемы с программно-управляемыми функциями обработки цифровой информации.

Как известно, любая информационная задача в принципе может быть решена путём её разбиения на отдельные функции обработки информации и выполнения этих функций в определённом порядке, задаваемом программой. Принципиально универсальным элементом интегральной микросхемотехники, реализующим заданный программой процесс решения, является микропроцессор.

Микропроцессоры и ОЭВМ – это достаточно сложные устройства, хотя диапазон их использования очень широк. Главные достоинства микропроцессорной техники – это компактность, экономичность, универсальность невысокая стоимость, массовость применения. Благодаря своим свойствам микропроцессоры нашли применение как в системе управления космическими полетами, так и в детских игрушках; ОЭВМ используются для управления бытовыми приборами и роботами, станками с числовым программным управлением и т.п.

В данном курсовом проекте разработан автоматизированный принцип работы валичного джина марки ДВ-1М на основе микроэлектроники. В курсовом проекте рассмотрены устройство валичного джина и сам процесс валичного джинирования хлопка-сырца, устройства блоков микропроцессора, запоминающих устройств, интерфейса и специальных БИС. Описаны принципы работы микросхем блоков и их структура. Проект позволяет контролировать уровень хлопка в рабочей камере джина от переизбытка подачи хлопка, подаваемого с предыдущей машины технологического процесса.

Задание на курсовой проект.

Вариант № 6

1.	Тип микропроцессора	- КР 1810
	количество разрядов	- 12-разрядный
2.	Тип ОЗУ	- динамическая
	количество разрядов	- 64-разрядная
3.	Тип ПЗУ	- с ультра фиолетовым стиранием
	количество разрядов	- 12-разрядная
4.	Интерфейс ввода/вывода:	
	для сигналов с датчиков	- параллельный
	для выдачи управляющих сигналов	- параллельный
5.	Тип схемы усиления	- транзисторная
6.	Специальная БИС	- ПКП
7.	Дополнительное устройство	- 7-сигментная индикация

2. Описание объекта управления.

В качестве объекта управления в данной курсовой работе выбран валичный джин марки ДВ-1М.

Валичное джинирование предназначено для отделения волокна от семян тонковолокнистых сортов хлопчатника. Сущность валичного джинирования заключается в затаскивании поверхностью вращающегося рабочего вала волокон хлопка-сырца под неподвижный нож, прижатый к этому валу, и последующем отбросе семян у кромки ножа отбойным органом (Рис. 1).

Процесс валичного джинирования происходит следующим образом: Летучки хлопка-сырца из-под питателя джина подаются на поверхность рабочего валика, который выполнен из кожзаменителя КМК или РКМ. Валик шероховатой поверхностью захватывает волокно летучки и транспортирует её в зону джинирования, где волокно, за счёт силы трения о валик, протаскивается за кромку неподвижного ножа, при этом семена пройти в зазор не могут. Отбойный валик, своими лопастями, при вращении отбрасывает семена у рабочей кромки ножа и транспортирует их по сетчатой поверхности, где очищенные семена выпадают в зазоры сетки и уходят из процесса. Недоджинированные семена валиком, повторно возвращаются в зону джинирования.

Производительность модуля П=100 – 120 кг. волокна в час.

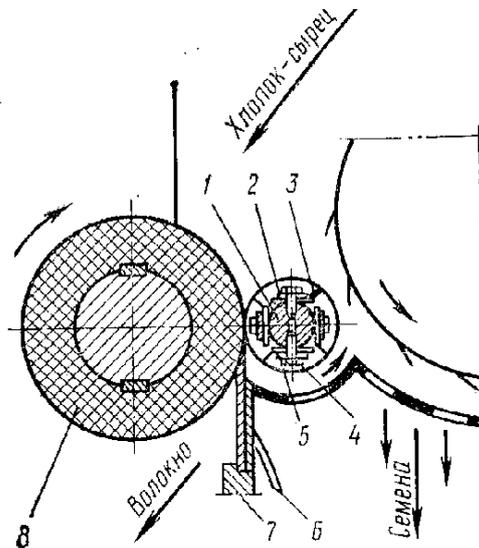


Рис.1. Схема основных рабочих органов валичного модуля джина.

1-вал; 2-гибкий амортизатор; 3-молоточки; 4-болт; 5-планка; 6-пружина; 7-нож; 8-рабочий валик.

Эффективность процесса зависит от состояния шероховатой поверхности рабочего валика и неподвижного ножа, силы прижатия неподвижного ножа к рабочему валику, частоты вращения и диаметра рабочего валика, конструкции и режима работы отбойного валика, разновидности перерабатываемого хлопка-сырца и т. д.

Валичный джин марки ДВ-1М предназначен для отделения волокна от семян тонковолокнистого хлопчатника. В питателе джина хлопок - сырца очищается, разравнивается и равномерно подается на джинирование. Летучки хлопка-сырца захватываются ворсистой поверхностью рабочего валика, изготовленного из кожзаменителя, и втягиваются под плотно прижатый к рабочему барабану нож. Семя, остановившееся у кромки ножа, отбивается вращающимся отбойным органом (рис. 2).

Джин оснащен индивидуальной секцией регенерации, выделяющей недоджинированные летучки. Мелкие металлические примеси, попадающие в машину, улавливаются специальными магнитами, а при попадании крупных металлических примесей в машину срабатывает специальное устройство, отключающее её.

На таких джинах перерабатывается длиноволокнистый хлопок-сырец I, II и III сортов.

Хлопок сырца из распределительных шнеков подается в шахты расположенные над джинами (Рис.2). Питающие лопастные валики 1, подают хлопок сырца на колковый барабан 2, который протаскивает его по перфорированной сетке 3 и выбрасывает его на лоток 5, подводящий хлопок под воздействие игольчатого барабана 6. Иглы этого барабана нанизывают дольки хлопка и передают под воздействие лопастей разравнивающего 15 и ускоряющего 14 барабанов. Отбойный

барабан многоударного действия 12, вращающийся навстречу рабочей кромке ножа 11, равномерно подает хлопок-сырец в зону джинирования и своими лопастями ударяет по семенам летучек хлопка, подтянутым к ножу, отрывает семена от волокон и протаскивает их по сетке 13 к игольчатому барабану 6, который перемещает их по рабочей поверхности сетки. При этом непроджинированные летучки возвращаются в рабочую зону на повторную обработку, а оголенные семена проваливаются через ячейки сетки 13, в щели между колосниками 7 и выводятся из-под машины. Волокно, увлеченное ворсистой поверхностью барабана 10, в виде уплотненного холста по лотку 9 подается на ленточный транспортер и далее отправляется на волокноочистку.

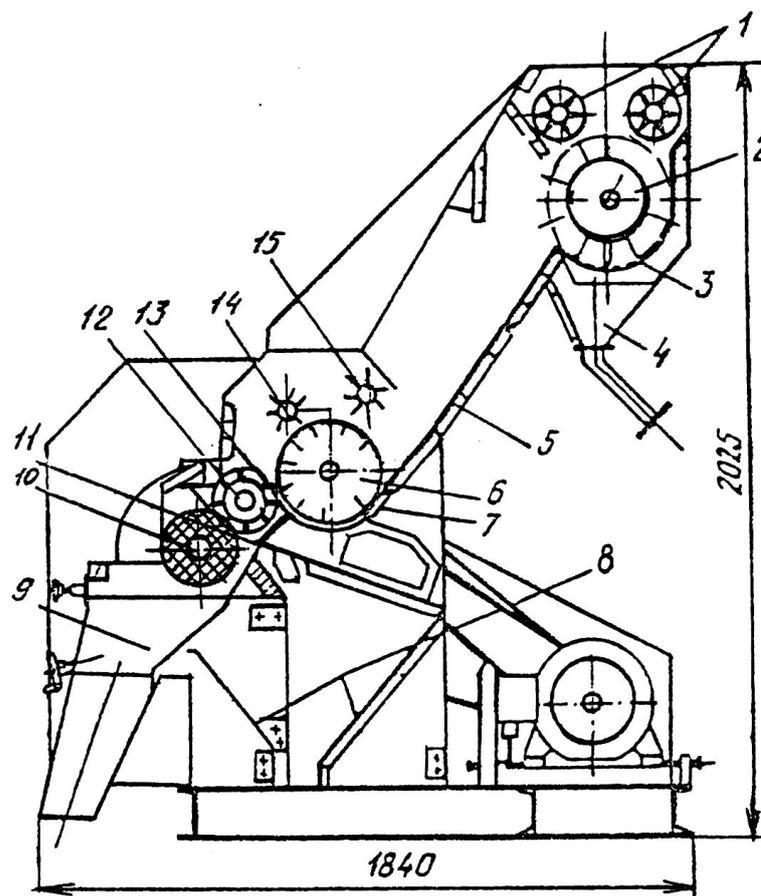


Рис.2. Схема валичного джина ДВ-1М.

1 – питающие лопастные валики; 2 – колковый барабан; 3 – перфорированная сетка; 4 – сорывыводящий лоток; 5 – лоток; 6 – игольчатый барабан; 7 – колосниковая решетка; 8 – лоток; 9 – лоток; 10 – рабочий барабан; 11 – неподвижный нож с декой; 12 – отбойный барабан; 13 – перфорированная сетка; 14 – ускоряющий валик; 15 – разравнивающий валик.

Техническая характеристика валичного джина марки ДВ-1М

Производительность по волокну, кг/ч.	100-130
Прирост механической поврежденности семян, %	не более 2
Употребляемая мощность, кВт	10,5
Масса, кг	1414

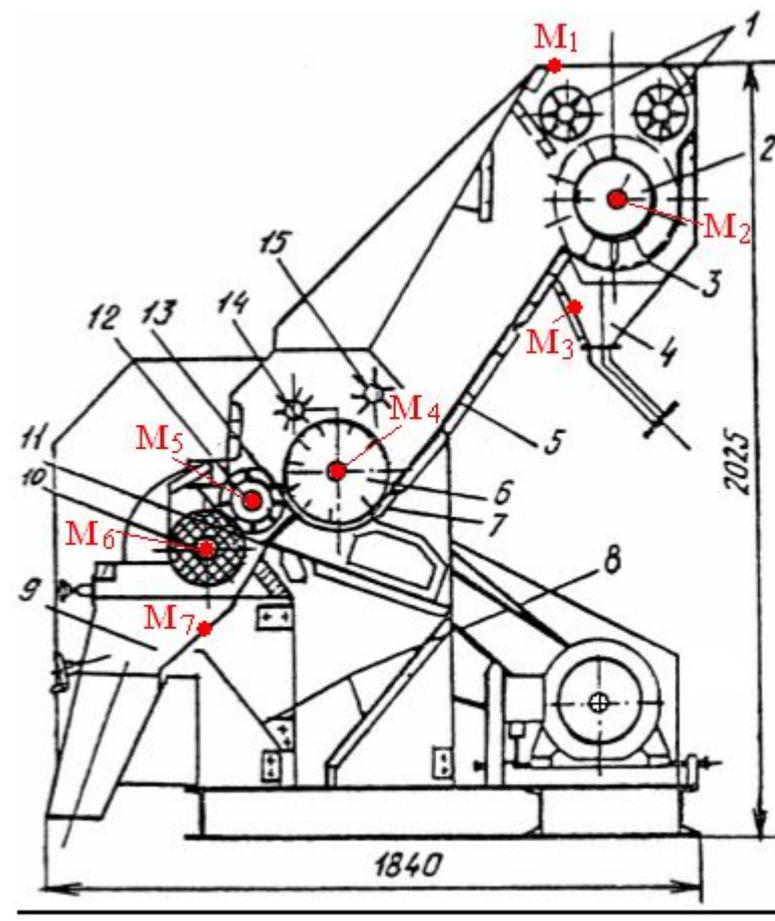


Рис.3. Крепление датчиков на объекте управления.

3. Описание применяемых датчиков и их функции.

Крепление датчиков осуществляется на подвижных и неподвижных местах валичного джина. Используются датчики стационарного положения и датчики конечных положений. Тип датчиков - цифровой и аналоговый.

Датчики стационарного положения действуют в момент, когда валичный джин находится в неподвижном состоянии.

Составим таблицу датчиков неполного механизма (табл. 1).

3.1. Таблица сигналов датчика.

Таблица 1.

№	Наименование	Тип	Условное обозначение	Контакт
1.	Датчик неполного механизма М ₁	циф.	DHM ₁	A ₁
2.	Датчик неполного механизма М ₂	аналог.	DHM ₂	B ₁
3.	Датчик неполного механизма М ₃	циф.	DHM ₃	A ₂
4.	Датчик неполного механизма М ₄	аналог.	DHM ₄	B ₂
5.	Датчик неполного механизма М ₅	аналог.	DHM ₅	A ₃
6.	Датчик неполного механизма М ₆	аналог.	DHM ₆	B ₃
7.	Датчик неполного механизма М ₇	циф.	DHM ₇	A ₄
8.	Датчик неполного механизма М ₈	аналог.	DHM ₈	B ₄

Датчики конечных положений действуют в момент, когда рабочие органы пильного джина совершают какое-либо движение и функционируют до тех пор пока работа пильного джина не будет окончена.

Составим таблицу управляющих сигналов (табл. 2).

3.2. Таблица управляющих сигналов.

Таблица 2.

№	Наименование управляющей системы	Условное обозначение	Контакт
1.	Управляющий механизм М ₁	М ₁ •	A ₁
2.	Управляющий механизм М ₁ вверх	М ₁ ↑	B ₁
3.	Управляющий механизм М ₁ вниз	М ₁ ↓	A ₂
4.	Управляющий механизм М ₂	М ₂ •	B ₂
5.	Управляющий механизм вращения М ₂	М ₂ ↻	A ₃
6.	Управляющий механизм М ₃	М ₃ •	B ₃
7.	Управляющий механизм М ₃ вверх	М ₃ ↑	A ₄
8.	Управляющий механизм М ₃ вниз	М ₃ ↓	B ₄
9.	Управляющий механизм М ₄	М ₄ •	A ₅
10.	Управляющий механизм вращения М ₄	М ₄ ↻	B ₅
11.	Управляющий механизм М ₅	М ₅ •	A ₆
12.	Управляющий механизм вращения М ₅	М ₅ ↻	B ₆
13.	Управляющий механизм М ₆	М ₆ •	A ₇
14.	Управляющий механизм вращения М ₆	М ₆ ↻	B ₇
15.	Управляющий механизм М ₇	М ₇ •	A ₈
16.	Управляющий механизм М ₇ вверх	М ₇ ↑	B ₈
17.	Управляющий механизм М ₇ вниз	М ₇ ↓	A ₉

Сигнал, поступающий с датчиков является входным сигналом. Так как датчики являются цифровыми то сигнал поступающий с них так же является цифровым.

Сигнал, вырабатываемый микропроцессорным устройством является выходным. Он поступает на двигатели, закрепленные на объекте, и сообщает им необходимое направление движения. Сигнал является аналоговым.

4. Обобщенная схема микропроцессорного устройства.

Составим обобщенную схему микропроцессорного устройства. (рис. 4).

В структуру МПСУ входят следующие основные блоки:

1. блок МП с буфером адреса и данных, дешифратор адреса и схемы обеспечения запуска, синхронизация и остановка МП.
2. блок ЗУ. ОЗУ служит для хранения данных, промежуточных и окончательных результатов и программ в процессе отладки. ПЗУ хранит как системные программы, стандартные прикладные программы.
3. блок интерфейсов обеспечивает связь оператора с объектом управления.
4. последовательный интерфейс может включать в себя БИС для приема и выдачи аналоговых сигналов АЦП и ЦАП, так же может включать в себя ряд специальных БИС: Т, ПКП, КПДП.

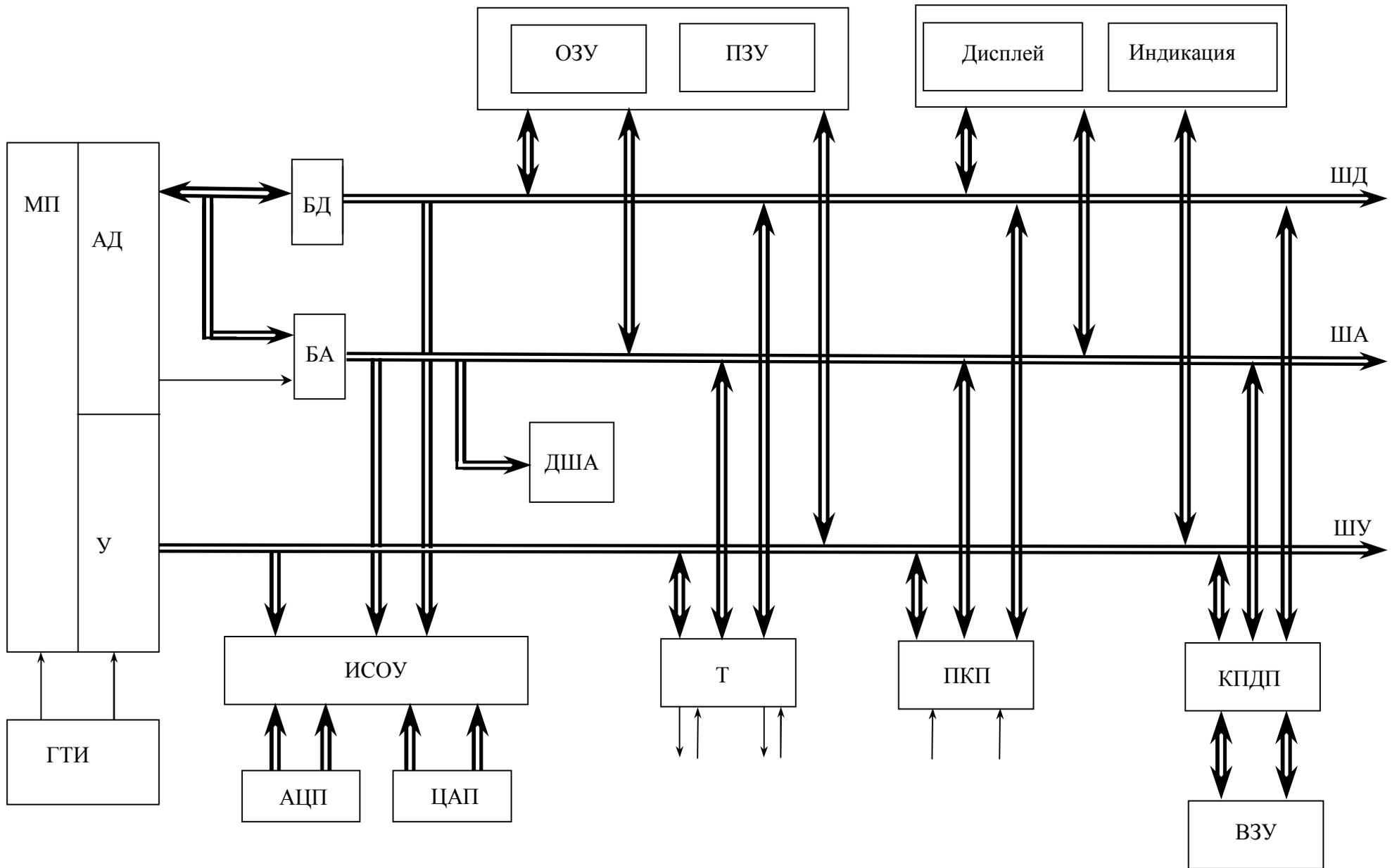


Рис. 4. Обобщенная структура МПСУ.

ГТИ -	Генератор тактовых импульсов.
БЗУ -	Блок внутренних ЗУ.
ИСОУ -	Интерфейс связи с ОУ.
Т -	Таймер.
ПКП -	Программируемый контроллер прерываний.
КПДП -	Контроллер прямого доступа к памяти.

Для разработки данного курсового проекта предлагается использовать микропроцессорный комплект серии КР 1810. Данный микропроцессорный комплект не содержит полного комплекта микросхем, необходимых для разработки данного задания, поэтому будем использовать необходимые микросхемы других серий, совместимых с данной.

5. Описание выбранных для объекта микросхем.

Рассмотрим все необходимые для выполнения данного курсового проекта микросхемы и выясним назначения ножек их функции и направление подключения.

5.1. Блок микропроцессора.

1. Микросхема КМ 1810 ВМ 86

Микросхема КМ 1810 ВМ 86 представляет собой однокристалльный высокопроизводительный 16-разрядный микропроцессор с фиксированной системой команд. Она предназначена для использования в качестве центрального процессорного устройства при построении средств вычислительной техники - от простейших одноплатных микро-ЭВМ до высокопроизводительных мультипроцессорных систем.

Микропроцессор обладает высоким быстродействием (до $2,5 \cdot 10^6$ операций/с типа RR при тактовой частоте 5 МГц), обеспечивает возможность прямой адресации памяти объемом до 1Мбайта, 65536 устройств ввода и 65536 устройств вывода. Для вычисления адресов операндов, размещенных в памяти, используется 24 режима адресации. Микропроцессор имеет векторную структуру прерывания и обеспечивает обработку до 256 запросов прерывания трех типов: внешних, внутренних и программных.

Архитектурной особенностью микропроцессора КМ1810ВМ86 является наличие аппаратно-программных средств, позволяющих упростить построение мультипроцессорных систем на его основе. Эти средства обеспечивают синхронизацию работы нескольких независимых (выполняющих собственные потоки команд) процессоров, имеющих общие ресурсы, а также синхронизацию параллельной работы микропроцессора и сопроцессоров (специализированных процессоров, аппаратно реализующих команды сложных процедур). Микропроцессор КМ 1810 ВМ 86 характеризуется двумя режимами работы- минимальным и максимальным, которые отличаются способом формирования сигналов обмена и соответственно возможностями реализуемых систем.

Условное графическое обозначение микросхемы приведено на рис.5, назначение выводов, используемых как для минимального, так и максимального режимов работы, - в табл.3, назначение выводов, используемых только в минимальном режиме или только в максимальном режиме, - в табл. 4, структурная схема показана на рис.6.

Структура микропроцессора КМ 1810 ВМ 86 ориентирована на параллельное выполнение функций выборки и команд; состоит из устройства сопряжения канала (УСК), устройства обработки (УО) и устройства управления и синхронизации.

Устройство сопряжения канала предназначено для: формирования физического адреса памяти, выборки команд из памяти и записи их в очередь команд, чтения операндов команд из памяти или регистров ввода /вывода, записи результатов выполнения команд в память или регистры ввода/вывода.

17	NMI	CPU	↔	16
18	INT		A/D0	15
			A/D1	14
19	C		A/D2	13
			A/D3	12
21	SR		A/D4	11
			A/D5	10
22	RDY		A/D6	9
			A/D7	8
			A/D8	7
23	$\overline{\text{TEST}}$		A/D9	6
			A/D10	5
			A/D11	4
33	$\text{MN}/\overline{\text{MX}}$		A/D12	3
			A/D13	2
		A/D14	39	
		A/D15		
30	$\text{HLDA}(\overline{\text{RQ}}/\overline{\text{GT}}1)$	A16/SA3	38	
		A17/SA4	37	
		A18/SA5	36	
31	$\text{HLD}(\overline{\text{RQ}}/\overline{\text{GT}}0)$	A19/SA6	35	
		BHE/SA7	34	
		$\overline{\text{RD}}$	32	
1	* GND	$\overline{\text{WR}}(\text{LOCK})$	29	
		M/10 (SA2)	28	
20	* GND	DT/R (SA1)	27	
		$\overline{\text{DEN}}(\overline{\text{SA}}0)$	26	
40	* Ucc	ALE (QS0)	25	
		$\overline{\text{INTA}}(\text{QS1})$	24	

Рис. 5. Условное графическое обозначение КМ 1810 ВМ 86

возможностями реализуемых систем.

В УСК входят: шесть 8 – разрядных регистров очереди команд; четыре 16 – разрядных сегментных регистра; 16 – разрядный регистр адреса (указателя) команды; 16 – разрядный регистр обмена; 16 – разрядный сумматор адреса.

Устройство обработки предназначено для выполнения операций по обработке данных. Команды, выбранные из памяти и записанные в регистры очереди команд УСК, по запросам от УО поступают через 8 – разрядную магистраль команд на микропрограммное устройство управления. УО не имеет непосредственной связи с внешней магистралью системы и обменивается данными через регистр обмена с УСК.

В устройство обработки входят: 16 – разрядное арифметико-логическое устройство, восемь 16 – разрядных регистров общего назначения, 16 – разрядный регистр признаков состояния микропроцессора.

Таблица 3

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 20	GND	—	Общий
2-16 39	A/D0- A/D15	Вход/ выход'	Канал адреса/данных
17	NMI	Вход	Немаскируемый запрос прерывания
18	INT	Вход	Маскируемый запрос прерывания
19	C	Вход	Тактовый сигнал
21	SR	Вход	Сигнал «Установка»
22	RDY	Вход	Сигнал «Готовность»
23	\overline{TEST}	Вход	Сигнал «Проверка»
32	\overline{RD}	Выход'	Сигнал «Чтение»
33	MN/\overline{MX}	Вход	Режим минимального/максимального включения
34	$\overline{BHE}/SA7$	Выход'	Разрешение передачи по старшей половине канала данных D15-D8/сигнал состояния
35-38	A19/SA6; A18/SA5; A17/SA4; A16/SA3	Выходы'	Канал адреса/сигналы состояния
40	U_{cc}	—	Напряжение питания +5В

'- С тремя состояниями.

Таблица 4

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
Режим минимального включения микросхемы			
24	\overline{INTA}	Выход	Подтверждение прерывания
25	ALE	Выход	Стробящий сигнал адреса
26	\overline{DEN}	Выход'	Разрешение передачи данных
27	DT/ \overline{R}	Выход'	Выдача/прием данных
28	M/\overline{IO}	Выход'	Память/внешнее устройство
29	\overline{WR}	Выход'	Запись
30	HLDA	Выход	Подтверждение захвата
31	HLD	Вход	Захват
Режим максимального включения микросхемы			
24, 25	QS1, QS0	Выходы	Сигналы состояния очереди команд
26-28	$\overline{SA0}/\overline{SA2}$	Выходы'	Сигналы состояния цикла канала
29	$\overline{L\overline{O\overline{CK}}}$	Выход	Канал занят
30, 31	$\overline{RQ}/\overline{GT1}, \overline{RQ}/\overline{GT0}$	Вход/выход	Запрос/разрешение доступа к магистрали

'- С тремя состояниями.

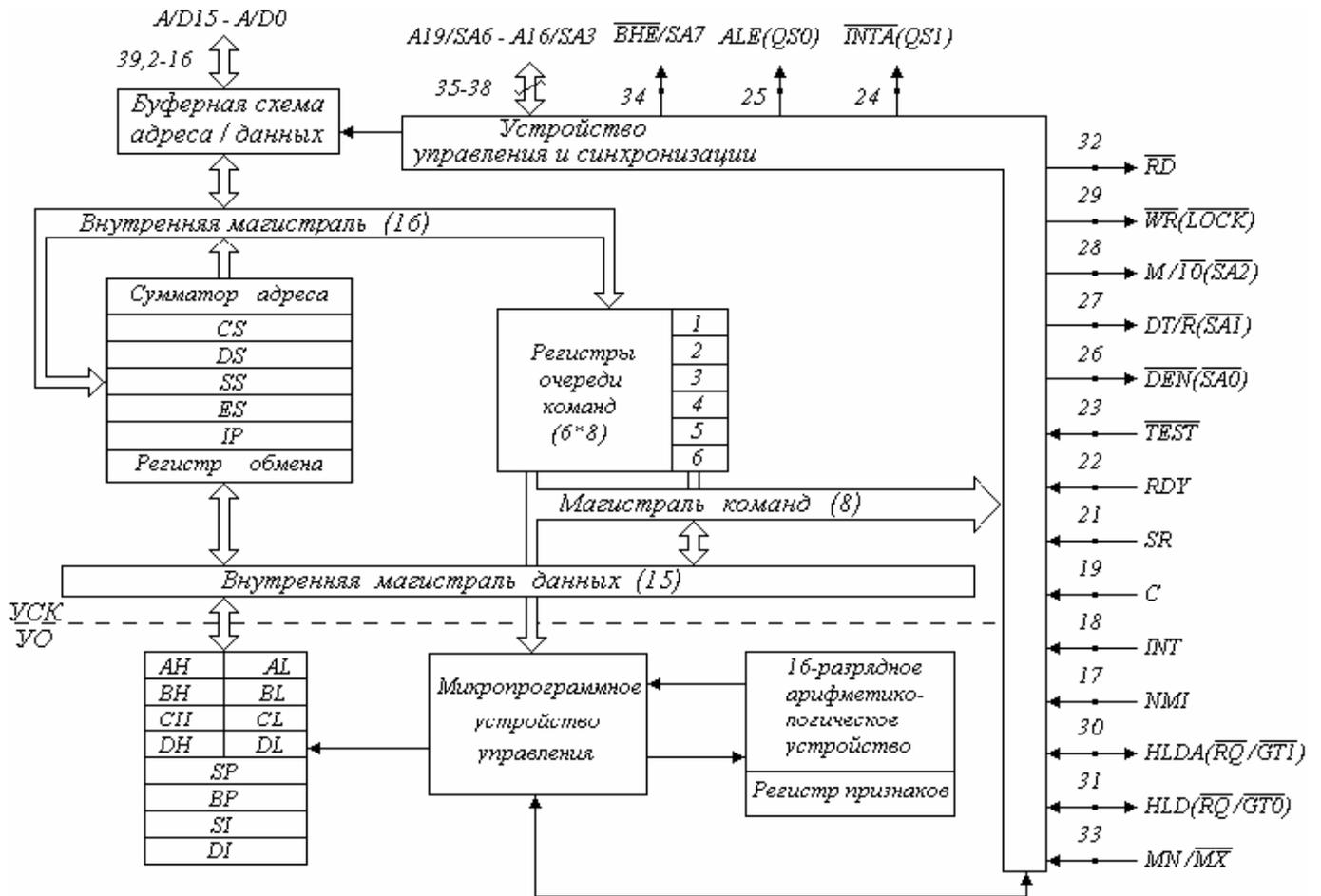


Рис. 6. Структурная схема микропроцессора КМ 1810 ВМ 86.

Так как микросхема является 16-разрядной, а по заданию дан 12-разрядный МП, то необходимо взять одну схему и соединить не все ножки.

2. Микросхема КР 1810 ГФ 84

Микросхема КР 1810 ГФ 84 представляет собой тактовый генератор и задающее устройство для микропроцессора КМ 1810 ВМ 86. Её назначение – формирование тактовых сигналов для микропроцессора и периферийных устройств, а также сигналов «Установка» и «Готовность».

Условное графическое обозначение микросхемы приведено на рис.7, назначение выводов – в табл.5, функциональная схема показана на рис.8.

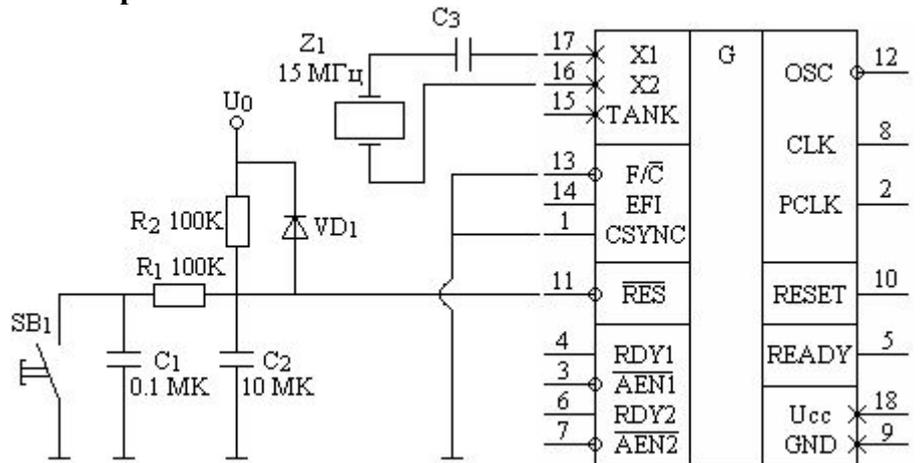


Рис. 7. Условное графическое обозначение КР 1810 ГФ 84

Микросхема состоит из следующих функциональных узлов: задающего мультивибратора, делителей на 2 и на 3, формирователя тактового сигнала, схем синхронизации и выбора задающей частоты и схем формирования сигналов «Установка» и «Готовность».

В качестве источника частоты в микросхеме используется кварцевый резонатор, подключаемый к выводам X1 и X2 мультивибратора (при этом на входе F/C̄ должен быть сигнал низкого

уровня), либо внешний ТТЛ- сигнал, поступающий на вход EFI (на входе F/\bar{C} - сигнал высокого уровня). Выбранный источник должен генерировать на трёхкратной частоте тактового сигнала CLK , требуемой для микропроцессора.

При использовании кварцевого резонатора возможна работа на его гармониках. В этом случае к выводу $TANK$ подключается резонансный LC -контур. Однако стабильность тактовой частоты обеспечивается только при работе на основной частоте резонатора. Резонатор следует располагать в непосредственной близости от выводов микросхемы $X1$ и $X2$ с обеспечением минимального сопротивления соединяющих проводников. Рекомендуются типы резонаторов: РГ-05, РК8, РК45ММ и другие, имеющий металлический корпус и малые габаритные размеры. Последовательно с резонатором подключается конденсатор небольшой ёмкости (5-25 пФ), подбираемый при точной настройке на требуемую частоту мультивибратора.

При использовании внешнего генератора скважность импульса сигнала EFI должна быть близка к 2, частота – не более 25 МГц.

В микросхеме КР1810ГФ84 имеется три частотных выхода: OSC – мультивибратор, CLK – тактовый сигнал МОП и $PCLK$ – периферийный тактовый сигнал ТТЛ.

Выход OSC может подключаться к другим генераторам КР 1810 ГФ 84 в качестве источника внешней частоты. Сигнал OSC используется также для тактирования схемы управления динамическим ОЗУ. Сигнал OSC инвертирован по отношению к сигналу мультивибратора, управляющему тактовым сигналом CLK . Скважность импульса OSC равна 2.

Тактовый сигнал CLK образуется путём деления на три частоты мультивибратора или EFI . Скважность импульса CLK равна 3, амплитуда около 4,5 В (при $U_{CC} = 5.0$ В), длительность фронта (среза) менее 10 нс. Перечисленные параметры тактового сигнала необходимы для эффективного управления микропроцессором, другими МОП- и ТТЛ- устройствами, непосредственно соединёнными с местной процессорной шиной.

Периферийный тактовый сигнал $PCLK$ образуется путем деления на 2 частоты сигнала CLK . Он предназначен для тактирования различных периферийных устройств, работающих на уровнях сигнала ТТЛ. Скважность импульса $PCLK$ равна 2.

Таблица 5

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	$CSYNC$	Вход	Синхронизация
2	$PCLK$	Выход	Периферийный тактовый сигнал ТТЛ
3	$\overline{AEN}1$	Вход	Адрес готовности шины 1
4	$RDY1$	Вход	Сигнал готовности шины 1
5	$READY$	Выход	Готовность
6	$RDY2$	Вход	Сигнал готовности шины 2
7	$\overline{AEN}2$	Вход	Адрес готовности шины 2
8	CLK	Выход	Тактовый сигнал МОП
9	GND	-	Общий
10	$RESET$	Выход	Установка
11	\overline{RES}	Вход	Сигнал установки
12	OSC	Выход	Мультивибратор
13	F/\bar{C}	Вход	Выбор источника частоты
14	EFI	Вход	Внешняя частота
15	$TANK$	-	Вывод подключения LC – контура
16, 17	$X2, X1$	-	Выводы подключения резонатора
18	U_{CC}	-	Напряжение питания

Запуск осуществляется с нажатия кнопки SB_1 .

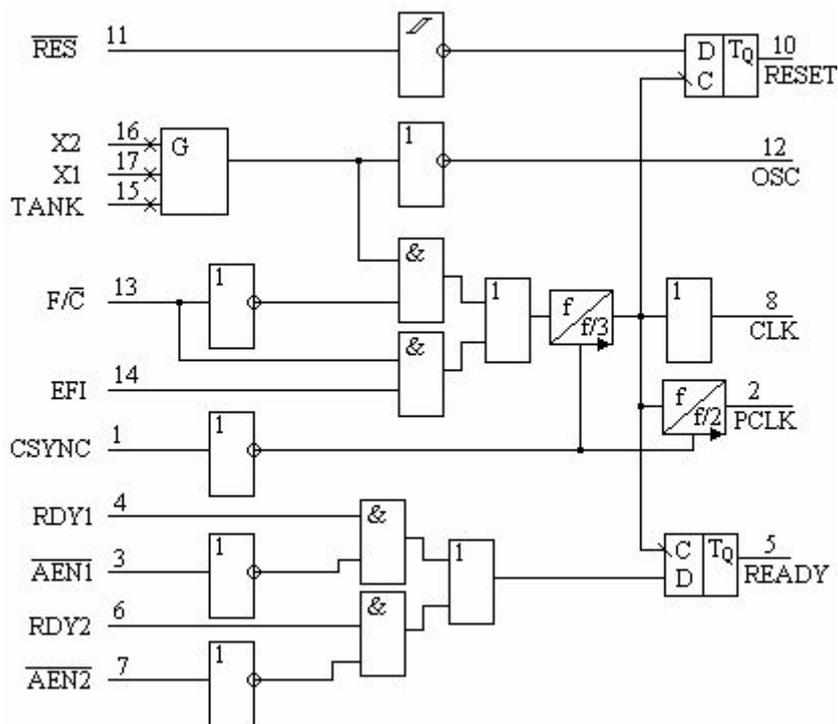


Рис. 8. Функциональная схема КР 1810 ГФ 84

3. Микросхемы КР 580 ИР 82 и КР 580 ИР 83

Микросхемы КР580ИР82 и КР580ИР83 – 8-разрядные адресные регистры, предназначены для связи микропроцессора с системной шиной; обладают повышенной нагрузочной способностью. Микросхема КР580ИР82 – 8-разрядный D-регистр – «защелка» без инверсии и с тремя состояниями на выходе, КР580ИР83 – 8-разрядный D-регистр – «защелка» с инверсией и тремя состояниями на выходе.

Условное графическое обозначение микросхем приведено на рис.9, назначение выводов – в табл.6, функциональная схема показана на рис.10.

Каждая микросхема состоит из восьми одинаковых функциональных блоков и схемы управления. Блок содержит D-триггер – «защелку» и мощный выходной вентиль без инверсии или с инверсией. При помощи схемы управления производится стробирование записываемой информации и управление третьим состоянием мощных выходных вентилях.

В зависимости от состояния стробирующего сигнала STB микросхемы могут работать в двух режимах: в режиме шинного формирователя и в режиме хранения.

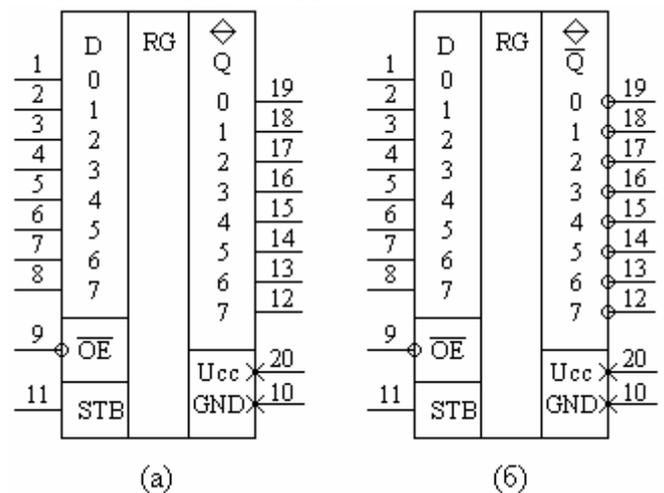


Рис. 9. Условное графическое обозначение КР 580 ИР 82 (а) и КР 580 ИР 83 (б)

Таблица 6

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1-8	$D0-D7$	Вход	Информационная шина
9	\overline{OE}	Вход	Разрешение передачи (управление третьим состоянием)
10	GND	-	Общий
11	STB	Вход	Стробирующий сигнал

12-19	$Q7-Q0$ ($\overline{Q}7 - \overline{Q}0$ для КР580ИР83)	Выход	Информационная шина
20	U_{cc}	-	Напряжение питания $+5V \pm 5\%$

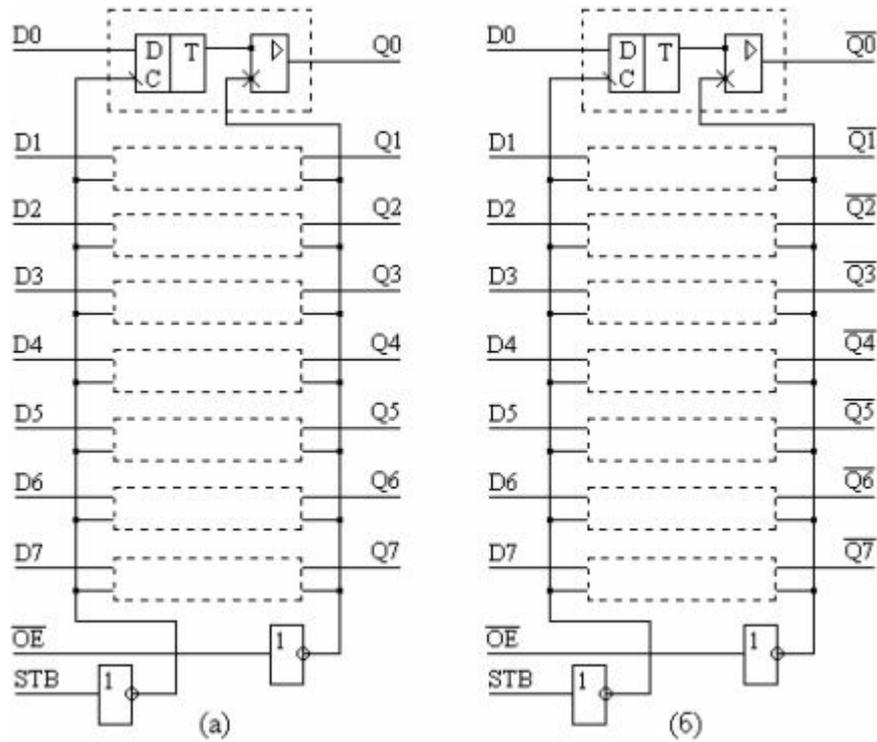


Рис. 10. Функциональная схема КР 580 ИР 82 (а) и КР 580 ИР 83 (б)

Так как данные микросхемы являются 8-разрядными, а по заданию нам дан 12-разрядный МП, то необходимо взять одну схему КР 580 ИР 82 и одну схему КР 580 ИР 83.

5.2. Блоки оперативного запоминающего устройства (ОЗУ) и постоянного запоминающего устройства (ПЗУ).

Далее приступаем к разработке блока ЗУ, состоящего из следующих микросхем.

1. Мультиплексор КП 1

Мультиплексор – это операционный узел ЭВМ, осуществляющий микрооперацию передачи сигнала с одного из своих входов на один выход.

Так как по заданию нами используется 64-разрядное ОЗУ, то нам необходимо взять микросхему для облегчения самой схемы.

Возьмём микросхему КП1=(150) мультиплексор 16 в 1 со стробом. На рис.11 показано условное графическое обозначение КП1, назначение входов и выводов – в табл.7

Параметр	74150 155 КП1
Вых. ток лог. 1, мА	0,8
Вых. ток лог. 0, мА	16
Вх. ток лог. 1, мкА	40
Вх. ток лог. 0, мА	1,6
Вх. напряжение лог. 0 ($I=I_{max}$), В	-0,2-0,4
Вх. напряжение лог. 1 ($I=I_{max}$), В	2,4-3,4-
Вых. ток короткого замыкания, мА	20-55
Ток потребления, мА	-40-68
Задержки распространения (нс)	
от A,B,C,D W=L-->H	-23-35
от A,B,C,D W=H-->L	-22-33
от D ₀ -D ₁₅ W=L-->H	-13-20
от D ₀ -D ₁₅ W=H-->L	-8,5-14
от S W=L-->H	-15,5-24
от S W=H-->L	-21-30

Таблица 7

Входы и выход	Обозначение	Функциональное назначение входов и выхода
1-8, 16-23	$D_0 - D_{15}$	Входные линии
15, 14, 13, 11	A, B, C, D	Адресные линии
9	S	Строб
10	W	Инверсный выход

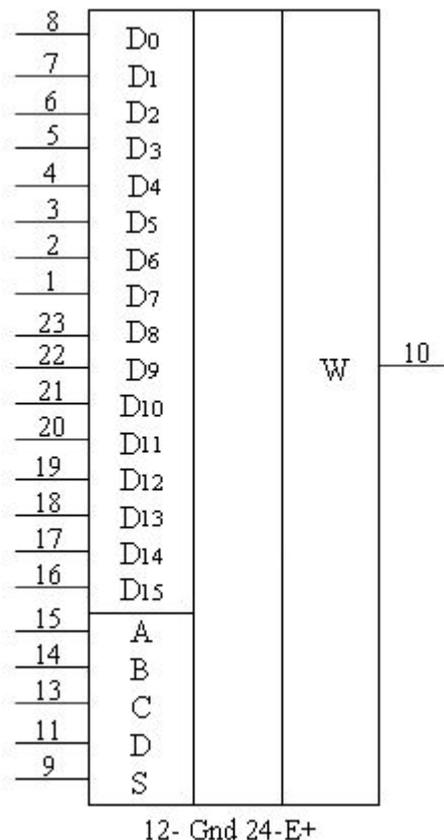


Рис. 11. Условное графическое обозначение КП1

DCBA	S	W
X	H	H
Код	L	-D (код)

Так как данная микросхема является 16-разрядной, а по заданию необходима 64-разрядная ОЗУ, то берём 4 схемы.

2. Микросхема КР 565 РУ 5

Микросхема КР 565 РУ 5 (рис. 12) – является микросхемой оперативным запоминающим устройством (ОЗУ) динамического типа.

Данная микросхема является 8-разрядной, поэтому для нашей разработки нам необходимо использовать восемь таких микросхем. Ножки $A_0 - A_7$ всех схем соединяются с выходами мультиплексора. Входы CS и DI соединяются с аналогичными входами на микросхеме шинного формирователя.

Выход микросхемы D_0 так же соединяется с шинным формирователем.

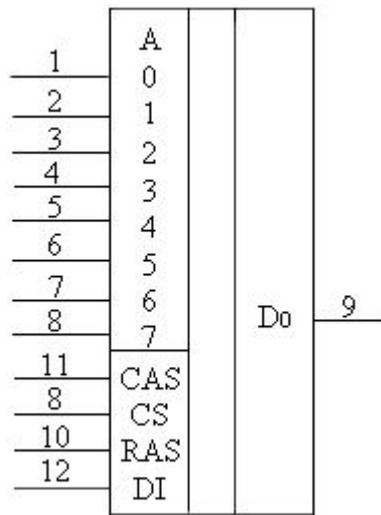


Рис. 12. Условное графическое обозначение КР 565 РУ 5

3. Микросхема К 589 АП 16

Микросхема К 589 АП 16 (шинный формирователь) (рис. 13) обеспечивает развязку входов и выходов устройств, работающих на двунаправленную магистраль. Шинный формирователь (ШФ) обеспечивает передачу информации по одному из двух направлений. Структура ШФ допускает параллельное использование нескольких таких микросхем.

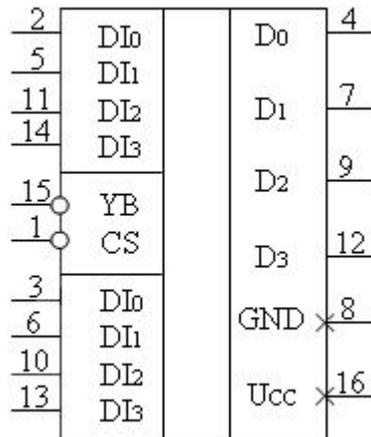


Рис. 13

Так как микросхема является 4-разрядной, а микропроцессор задан 12-разрядный, то нам необходимо использовать 3 таких микросхем.

4. Микросхема К 573 РФ 24

Микросхема К 573 РФ 24 – репрограммируемое постоянное запоминающее устройство (ПЗУ) с ультрафиолетовым стиранием (рис.14). Микросхема К573РФ24 с ультрафиолетовым стиранием информации имеет емкость 2 килобайта и допускает 100 циклов программирования. Имеются 4 модификации этой микросхемы: РФ21, РФ22, РФ23, РФ24. Микросхема РФ24 имеет емкость 2К x 4 бит. В этой микросхеме используются все адресные линии. В микросхеме РФ24 для ввода-вывода данных используют линии 10, 11, 13, 16.

Напряжение программирования 25 В на микросхему К573РФ2 и ее модификации подают постоянным уровнем. Считывание информации из микросхемы производится в асинхронном режиме доступа к накопителю, при котором сигналы на входы *CE* и *OE* подаются уровнями. Указанные сигналы можно подавать и в форме импульсов.

В таблице 8 приведены режимы программирования (записи), считывания и хранения записанной информации для микросхемы К 573 РФ 24.

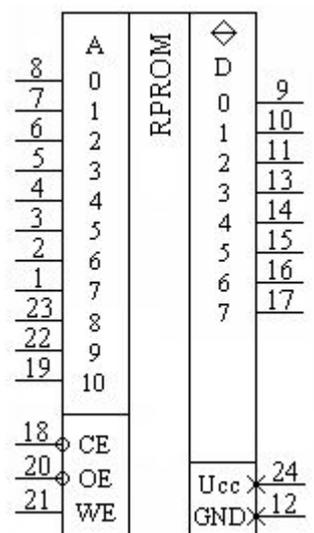


Рис. 14. Условное графическое обозначение К 573 РФ 24

Из рис. 14 можно учесть: A - адресные входы; D – информационные выходы; U_{cc} – вывод для подачи напряжения питания; CE и OE – входы управления состоянием выводов, если $CE=OE=1$, входы D имеют высокоимпедансное состояние, а при $CE=OE=0$ вывод информации разрешен.

Микросхема РПЗУ К 573 РФ24 имеет одиннадцатиразрядный дешифратор, выходы которого соединены с восьмиразрядной матрицей М2. В процессе записи выходные элементы РПЗУ находятся в режиме приема информации через выходы $D_0 - D_7$ (на входе “ OE ” уровень “1”). В режиме считывания записанной информации на вывод U_{cc} подаётся напряжение питания +5В.

Таблица 8

Сигнал	Запись	Считывание	Хранение
CS	1*	0	1
OE	1	0	X
$U_{PR}, В$	25	5	5
DIO	DI	DO	Z

* - сигнал действует в течение 50 мс.

Так как данная микросхема является 8-разрядной ПЗУ, а по заданию необходима 12-разрядная ПЗУ, то берём две таких микросхемы. На первой схеме соединяем все ножки, а на второй схеме на входе соединяем $A_0 - A_5$, а на выходе $D_0 - D_3$.

Все перечисленные выше микросхемы входят в блок ЗУ.

5.3. Блок интерфейса.

Далее приступаем к разработке блока интерфейса, состоящего из следующих микросхем.

1. Микросхема КР 580 ВВ 55 А

Микросхема КР 580 ВВ 55А (рис. 15) – программируемое устройство ввода/вывода параллельной информации, применяется в качестве элемента ввода/вывода общего назначения, сопрягающего различные типы периферийных устройств с магистралью данных систем обработки информации.

Обмен информацией между магистралью данных систем и микросхемой КР 580 ВВ 55А осуществляется через 8-разрядный двунаправленный трехстабильный канал данных (D). Для связи с периферийными устройствами используется 24 линии ввода/вывода, сгруппированные в три 8-разрядный канала ВА, ВВ, ВС, направление передачи информации и режимы которые определяются программным способом.

Так как данная микросхема является 8-разрядной, а по заданию необходим 12-разрядный микропроцессор, то нам потребуются две подобные микросхемы.

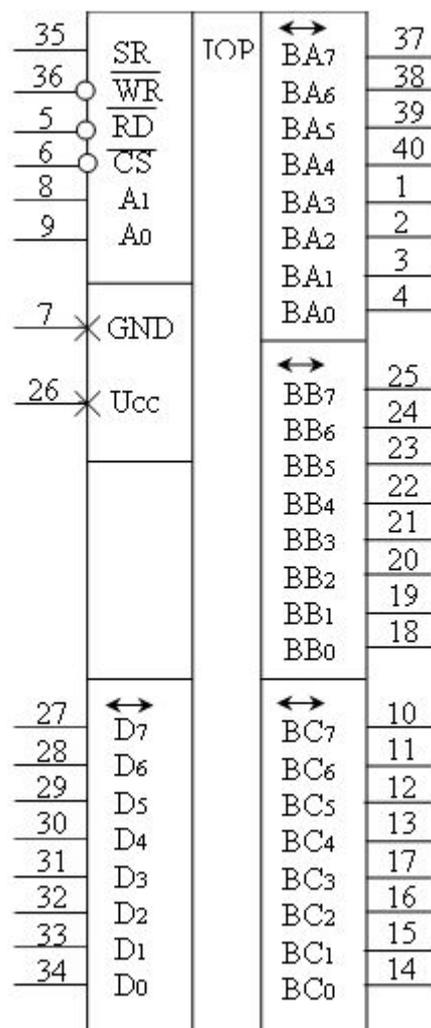


Рис.15. Условное графическое обозначение КР580ВВ55А

Таблица 7

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1 – 4 37 – 40	$BA_3 - BA_0$ $BA_7 - BA_4$	Входы/выходы	Информационный канал А
5	RD	Вход	Чтение информации
6	CS	Вход	Выбор микросхемы
7	GND	—	Общий
8, 9	A_0, A_1	Вход	Младшие разряды адреса
10 – 17 18 – 25	$BC_3 - BC_0$ $BC_7 - BC_4$	Входы/выходы	Информационный канал С
26	$BB_0 - BB_7$	—	Напряжение питания $5В \pm 5\%$
27 – 34	U_{cc}	Входы/выходы	Канал данных
35	SR	Вход	Установка в исходное состояние
36	WR	Вход	Запись информации

2. 7-сегментная индикация.

Один из способов цифровой индикации состоит в следующем. Имеется семь элементов, расположенных так, как показано на рис. 16,а. Каждый может светиться либо не светиться, в зависимости от значения соответствующей логической переменной, управляющей его свечением. Вызывая свечение элементов в определённых комбинациях, можно получить изображение десятичных цифр 0, 1, ..., 9 (рис. 16,б).

Схема преобразователя приведена на рис. 16, в.

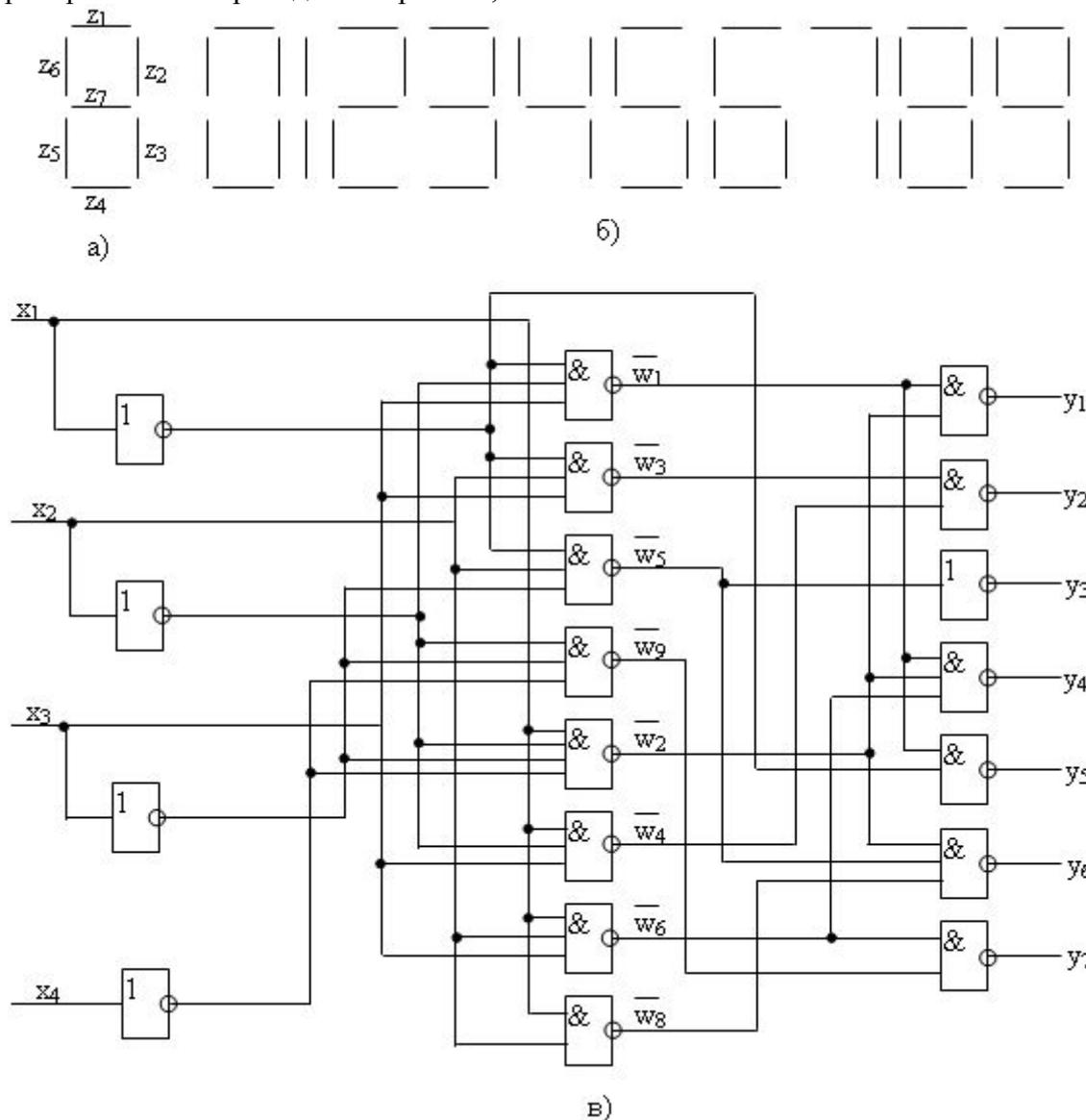


Рис. 16

3. Схема усиления

МПСУ с объектом управления (ОУ) обменивается двумя потоками сигналов: 1) цифровые сигналы с датчиков объекта прием которых происходит через параллельный интерфейс; 2) управляющие сигналы, которые выдаются МПСУ для приведения в действие электроприводов ОУ. Для функционирования привода ОУ необходимо соответствующее напряжение и ток, которые не могут быть обеспечены непосредственно ЦВ МПСУ. Для этого необходимы специальные схемы преобразования логического сигнала управления в соответствие напряжению и току.

В курсовом проекте используется транзисторная схема (рис.17) усиления. Количество схем усиления зависит от количества датчиков на ОУ.

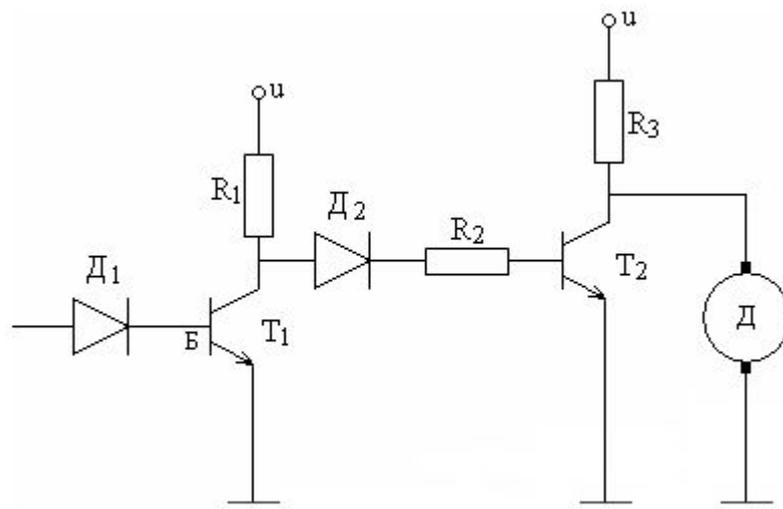


Рис. 17.

Все перечисленные выше микросхемы входят в блок интерфейса.

5.4. Блок специальных БИС.

Теперь приступим к разработке блока специальных БИС.

1. Микросхема КР 1810 ВН 59 А

Микросхема КР1810ВН59А – программируемый контроллер прерывания (ПКП), предназначен для реализации прерываний в системах с приоритетами многих уровней. Она может применяться совместно с микросхемами серий КР580 или КМ1810.

Микросхема обслуживает до восьми запросов на прерывание микропроцессора, поступивших от внешних устройств, и позволяет расширять число обслуживаемых запросов до 64 путём каскадного соединения микросхем ПКП.

Микросхема может работать в нескольких режимах, которые устанавливаются программным путём.

Уровни приоритета входов запросов устанавливаются программным путём. Приоритеты, закреплённые за внешними устройствами, могут быть изменены в процессе выполнения программы.

Условное графическое обозначение микросхемы приведено на рис.18 назначение выводов – в табл.8, структурная схема показана на рис.19

Принцип работы ПКП КР1810ВН59А зависит от типа используемого микропроцессора. При работе с микропроцессором серии КР580 после получения от него сигнала \overline{INTA} ПКП вырабатывает вектор прерывания, т.е. начальный адрес подпрограммы обслуживания того устройства, которое вызвало прерывание. Происходит это следующим образом. При получении сигнала \overline{INTA} микросхема КР1810ВН59А посылает кодовую комбинацию 11001101 (т.е. код команды *CALL*) на 8–разрядную шину данных. Код команды *CALL* инициирует ещё два сигнала \overline{INTA} , которые поступают на ПКП со стороны микропроцессора. Последние два сигнала позволяют микросхеме КР1810ВН59А выдать сформированный двухбайтовый адрес подпрограммы на шину данных: сначала младшие восемь разрядов адреса, затем старшие восемь разрядов адреса. Так завершается выдача трехбайтовой команды *CALL* микросхемой КР1810ВН59А на шину данных системы.

При работе с микропроцессором серия К1810 старший по уровню приоритета запрос, определяемый ПКП, инициирует сигнал *INT*, поступающий на микропроцессор. Процессор выдаёт два сигнала \overline{INTA} . В ответ на сигнал $\overline{INTA1}$ ПКП не выдаёт данных в микропроцессор, и буферная схема шины данных остаётся в высокоомном состоянии. По сигналу $\overline{INTA2}$ ПКП посылает байт данных в процессор с кодом подтверждения запроса на прерывание. Чтобы запрос обслуживался, он должен сохраняться до прихода сигнала \overline{INTA} , иначе ПКП выдаёт вектор прерывания как бы для седьмого запроса, независимо от наличия этого запроса. Одна микросхема КР1810ВН59А управляет восемью уровнями прерывания и имеет внутренние возможности для расширения их до 64 путём соединения аналогичных микросхем с помощью специальной шины CAS2-CAS0.

При работе ПКП с микропроцессором серии КР580 назначение микросхемы ведущей или ведомой осуществляется подачей на вывод $\overline{MS}/\overline{SV}/\overline{DE}$ напряжения высокого или низкого уровня соответственно. При работе ПКП с микропроцессором серии К1810 назначение микросхемы ведущей или ведомой осуществляется программным путём.

Предварительно каждой ведомой микросхеме присваивается её код (путём записи соответствующего командного слова), равный номеру входа *IRQ* ведущей микросхемы, с которым соединен вывод *INT* ведомой микросхемы. Если сигнал *INT*, поступивший на микропроцессор, выработан сигналом *IRQ*, поступившим на вход ведущей микросхемы, то формирование адреса

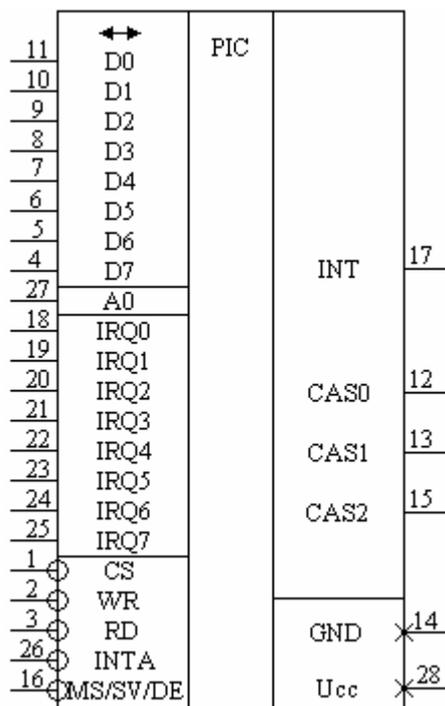


Рис. 18 Условное графическое обозначение КР 1810 ВН 59 А

подпрограммы обслуживания осуществляется этой же микросхемой аналогично тому, как это происходит при работе с одной микросхемой. Если же прерывание МП происходит по сигналу IRQ , поступившему на вход ведомой микросхемы, то формирование адреса подпрограммы обслуживания осуществляется следующим образом. При поступлении первого сигнала \overline{INTA} ведущая микросхема выдаёт на шину данных код команды $CALL$ только при работе с микропроцессором серии КР580, а на шину $CAS2-CAS0$ – код номера ведомой микросхемы. Поэтому с приходом остальных сигналов \overline{INTA} код адреса подпрограммы обслуживания выдаётся на шину данных той ведомой микросхемой, запрограммированный номер которой совпал с кодом на шине $CAS2-CAS0$. Получая запросы от периферийных устройств, ПКП определяет, какое из них обладает наивысшим уровнем приоритета. При этом уровни приоритета входов $IRQ7-IRQ0$ микросхемы заранее заданы и находятся всегда в строго определённом соотношении (статус уровней приоритета). Самым высоким уровнем приоритета обладает вход IRQ с обозначением 0 приоритетного кольца, а самым низким – вход IRQ с обозначением 7, называемым дном приоритетного кольца. Таким образом, задавая положение дна, можно однозначно определять уровень приоритета каждого входа микросхемы. Все возможные варианты статусов приведены в табл.9.

Так как данная схема является 8-разрядной, а по заданию нам нужен 12-разрядный микропроцессор, то возьмём 2 такие микросхемы.

Таблица 8

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	\overline{CS}	Вход	Выбор микросхемы
2	\overline{WR}	Вход	Запись
3	\overline{RD}	Вход	Чтение
4-11	$D7 - D0$	Вход / вывод'	Канал данных
12, 13, 15	$CAS2 - CAS0$	Вход / вывод'	Шина каскадирования
14	GND		Общий
16	$\overline{MS} / \overline{SV} / \overline{DE}$	Вход / вывод	Выбор ведомой микросхемы (разрешение данных)
17	INT	Выход	Прерывание
18-25	$IRQ7 - IRQ0$	Вход	Запрос прерывания
26	\overline{INTA}	Вход	Подтверждение прерывания
27	$A0$	Вход	Адресный вход
28	U_{CC}	-	Напряжение питания

' - Двухнаправленный трехстабильный.

Таблица 9

Вход микросхемы	Статус уровня приоритета	Вход микросхемы	Статус уровня приоритета
IRQ0	7 6 5 4 3 2 1 0	IRQ4	3 2 1 0 7 6 5 4
IRQ1	0 7 6 5 4 3 2 1	IRQ5	4 3 2 1 0 7 6 5
IRQ2	1 0 7 6 5 4 3 2	IRQ6	5 4 3 2 1 0 7 6
IRQ3	2 1 0 7 6 5 4 3	IRQ7	6 5 4 3 2 1 0 7

Примечание. Жирной цифрой 7 обозначено дно приоритетного кольца.

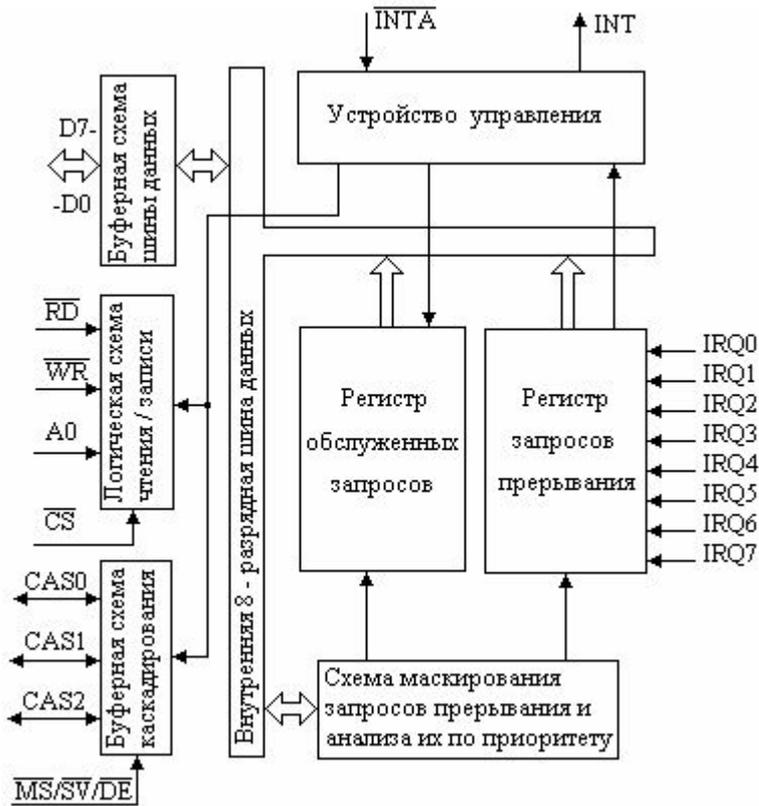


Рис. 19 Структурная схема КР 1810 ВН 59 А

2. Микросхема ЦИС 133 ЛП 8

Микросхема ЦИС 133 ЛП 8 (рис. 20). Для преобразования аналогового сигнала в цифровой необходимо использовать микросхему АЦП.

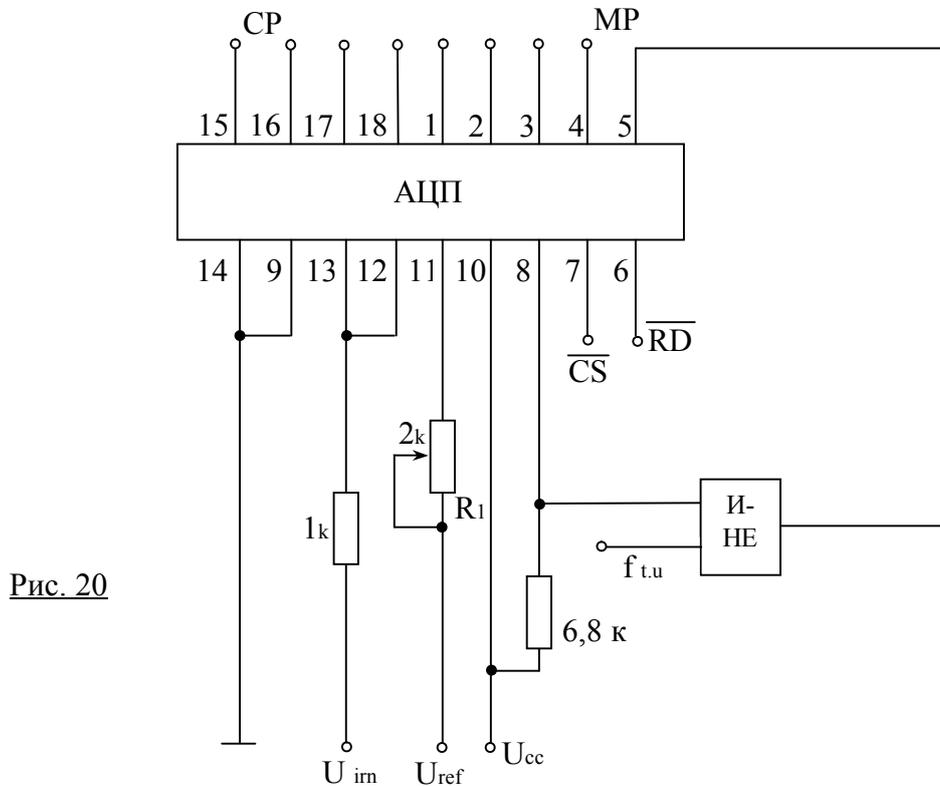


Рис. 20

Микросхема подключается к шине адреса (ША) при помощи входов 1 – 5 и 15 – 18.

3. Микросхема К 1108 ПА1

Микросхема К 1108 ПА1 (рис. 21) – 12-разрядный ЦАП предназначена для построения блоков аналогового ввода-вывода с повышением быстродействия.

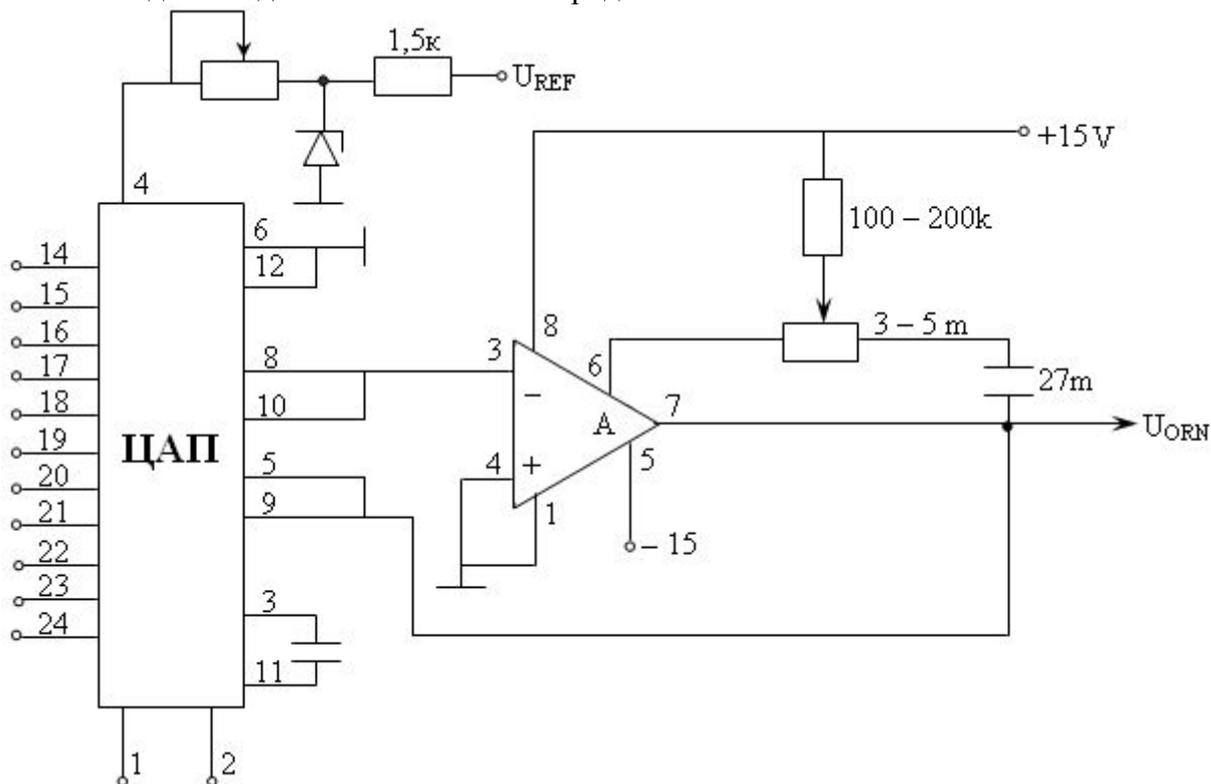


Рис. 21

Микросхема подключается к шине адреса (ША) при помощи входов 14 – 24.

Все перечисленные выше микросхемы входят в блок специальных БИС.

6. Таблица разъемов

Разъемы связаны непосредственно с объектом управления. На них выводятся все датчики служащие для управления валичным джином и все свободные ножки с микросхем.

Контакт	Цепь	Контакт	Цепь	Контакт	Цепь
A ₁	NMI	B ₁₀	STB	A ₂₀	M ₅ •
B ₁	RDY	A ₁₁	GND, U _{CC}	B ₂₀	M ₅ ↻
A ₂	TEST	B ₁₁	YB	A ₂₁	M ₆ •
B ₂	MN, MX	A ₁₂	CE, OE, WE	B ₂₁	M ₆ ↻
A ₃	HLD, HLDA	B ₁₂	A ₆ -A ₁₀	A ₂₂	M ₇ •
B ₃	GND, U _{CC}	A ₁₃	D ₅ -D ₈	B ₂₂	M ₇ ↑
A ₄	A/D ₁₃ -A/D ₁₅	B ₁₃	IRQ ₀ – IRQ ₇	A ₂₃	M ₇ ↓
B ₄	DT/R	A ₁₄	MS, SV, DE		
A ₅	ALE, DEN	B ₁₄	CAS ₀ – CAS ₂		
B ₅	TANK	A ₁₅	M ₁ •		
A ₆	EFI	B ₁₅	M ₁ ↑		
B ₆	RDY _{1,2} , AEN	A ₁₆	M ₁ ↓		
A ₇	OSC	B ₁₆	M ₂ •		
B ₇	RESET	A ₁₇	M ₂ ↻		
A ₈	READY	B ₁₇	M ₃ •		
B ₈	GND, U _{CC}	A ₁₈	M ₃ ↑		
A ₉	D ₆ -D ₇	B ₁₈	M ₃ ↓		
B ₉	Q ₆ -Q ₇	A ₁₉	M ₄ •		
A ₁₀	OE	B ₁₉	M ₄ ↻		

7. Системные шины.

Шина адреса. Это однонаправленная шина, так как информация передается по ней только в одном направлении- от ЦПУ к памяти или к элементам ввода-вывода. Только центральный процессор может устанавливать логические уровни на линиях шины адреса. В данной системе процессор может формировать $2^{16}=65536$ различных адресов, каждый из которых соответствует одному участку памяти или одному элементу ввода-вывода. Например, адрес 20A0₁₆ может относиться либо к участку ОЗУ или ПЗУ, в котором хранится одно восьмибитовое слово, либо к восьмибитовому буферному регистру, который является частью логики интерфейса с жидкокристаллическим индикатором (ЖКИ) или цифроаналоговым преобразователем.

Когда ЦПУ необходимо связаться (записать или считать информацию) с каким-то конкретным участком памяти или элементом ввода-вывода, он помещает соответствующий 16-битовый код адреса на 16 своих выводов адреса, т.е. выдает биты с A₀ по A₁₅ на шину адреса. Эти биты затем декодируются, чтобы можно было выбрать требуемый участок памяти или элемент ввода-вывода. Процесс декодирования адреса выполняется с помощью соответствующей логики, которая не показана на рис.22.

Шина данных. Это двунаправленная шина - данные по ней могут передаваться как к ЦПУ, так и от него. Восемь выводов данных микропроцессора, с D₀ по D₇, могут служить и входами в зависимости от того, какую операцию в настоящий момент выполняет ЦПУ: чтения или записи. Во время операции чтения эти выводы работают как входы и получают данные, которые выдаются на шину данных из какого-либо участка памяти или элемента ввода-вывода, выбранных с помощью кода адреса. Во время операции записи выводы центрального процессора действуют как выходы и выдают на шину данных информацию, которая затем пересылается в память или на какой-либо элемент ввода-вывода. В любом случае, передаваемые слова данных имеют длину восемь битов, потому что рассматриваемый процессор может ориентировать только восьмибитовыми словами.

Шина управления. По этой шине передается набор сигналов, которые используются для синхронизации работы отдельных элементов μC . Некоторые из этих сигналов, такие как ALE , \overline{PSEN} , \overline{RD} , и \overline{WR} , передаются на другие элементы системы центральным процессором для того, чтобы сообщить им, какой тип операции выполняется в текущий момент. Сигнал ALE отвечает за включение на шине адреса и приобретает высокий логический уровень тогда, когда ЦПУ выдает на эту шину восемь младших битов, с AD_0 по AD_7 . С помощью сигнала ALE включается защелка на шине адреса, которая «запоминает» выданный младший байт. Сигнал \overline{PSEN} приобретает низкий логический уровень, если ЦПУ необходимо извлечь на памяти очередную команду программы и выдать ее на шину данных. Сигнал \overline{RD} также приобретает низкий уровень, если ЦПУ хочет извлечь байт данных из памяти или с внешнего порта и выдать ее на шину данных. Сигнал \overline{WR} приобретает низкий уровень напряжения только в том случае, если ЦПУ выдает на шину данных байт информации, который необходимо записать во внешнюю память или выдать на выходной порт системы. Элементы ввода-вывода микрокомпьютера также могут выдавать управляющие сигналы на ЦПУ. В качестве примера можно привести хотя бы тот же сигнал $RESET$, который поступает на соответствующий вход процессора (вход RST). Если сигнал на этом входе переходит в высокий логический уровень, то ЦПУ сбрасывается в определенное начальное состояние. Другим примером служат сигналы прерывания, которые поступают на вход $INT0$ микропроцессора; эти сигналы используются устройствами ввода для того, чтобы обратить внимание процессора на необходимость немедленного выполнения другой задачи.

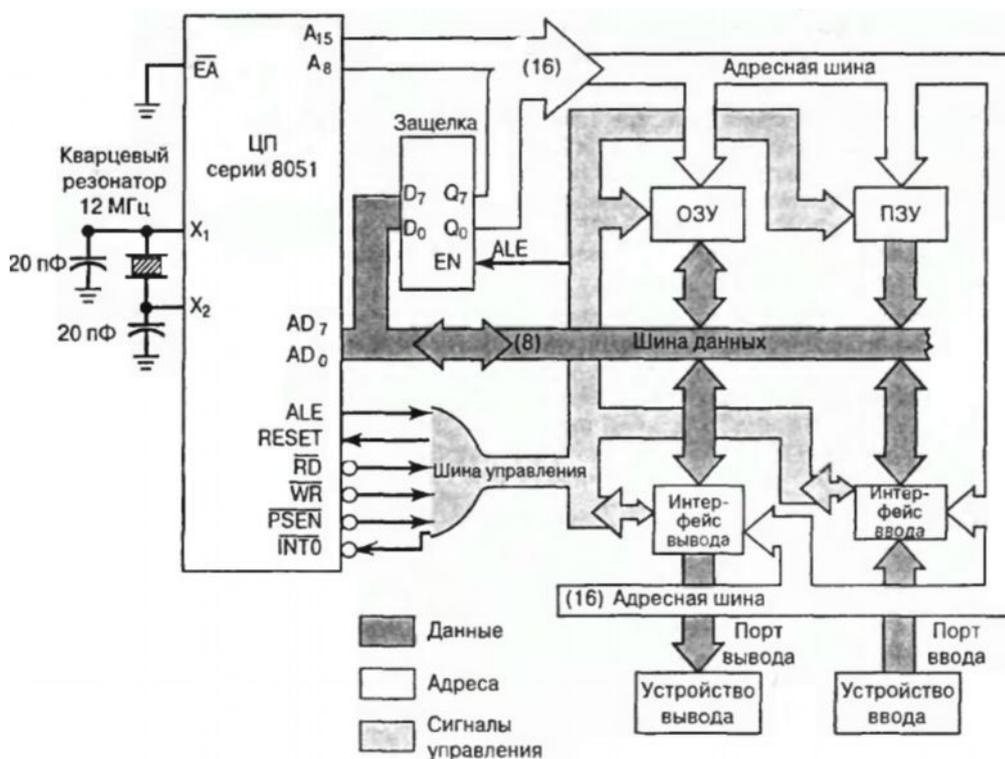


Рис.22. Структура системных шин.

8. Заключение

В данном курсовом проекте было осуществлено внедрение аналоговых и цифровых датчиков в валичный джин марки ДВ-1М. Датчики позволяют контролировать весь процесс джинирования хлопка-сырца от подачи хлопка в рабочую камеру джина до вывода из патруба машины джинированного волокна. В проекте разработаны: блок микропроцессора, который включает в себя микропроцессор с фиксированной системой команд, тактовый генератор и адресные регистры; блоки оперативного запоминающего устройства (ОЗУ) и постоянного запоминающего устройства (ПЗУ), в состав которых входят мультиплексор, оперативное запоминающее устройство (ОЗУ) динамического типа, шинный формирователь и постоянное запоминающее устройство (ПЗУ) с ультра фиолетовым стиранием; блок интерфейса, в который входят программируемое устройство ввода/вывода параллельной информации, 7-сигментная индикация и транзисторная схема усиления; блок специальных БИС, который состоит из программируемого контроллера прерывания, аналого-цифровой преобразователь, цифроаналоговый преобразователь. Соединение микросхем по блокам показано в графической части курсового проекта.

Преимущественными характеристиками автоматизированного технологического процесса валичного джина являются: удобство в управлении машиной, задачей необходимых параметров скоростей на валы, контроль за продвижением хлопка внутри машины, безопасность, избежание поломок при большой нагрузке на джин, лёгкость выявления причин поломки машины, долговечность.

9. Использованная литература

1. Б. А. Калабеков «Цифровые устройства и микропроцессорные системы».
2. Шахнов «Микропроцессоры и микропроцессорные комплекты интегральных микросхем». Справочник
3. Федарков Б. Г. «Микропроцессорные системы ЦАП и АЦП».
4. Бедревский М.А., Кручинкин Н.С., Подолян В.А. «Микропроцессоры», М., 1981г.
5. Ключев В.И., Терехов В.М. «Электропривод и автоматизация общепромышленных механизмов», М., 1980г.
6. Свириденко П.А., Шмелёв А.Н. «Основы автоматизированного электропривода», М., 1970г.
7. Табин Б. В. «Интегральные микросхемы». Справочник.
8. Прангишвили И.В. «Микропроцессоры и локальные сети микроЭВМ в распределённых системах управления», М.: Энергоавтомиздат, 1985г.
9. Смоллов В.Б., Угрюмов Е.П., Фомичев В.С. «Микроэлектронные цифроаналоговые и аналоговые преобразователи информации», Л.: Энергия, 1976г.
10. Балашов Е.П., Пузаиков Д.В. «Микропроцессоры и микропроцессорные системы», М.: Радио и связь, 1981г.
11. Шило В.Л. «Функциональные аналоговые интегральные микросхемы», М.: Радио и связь, 1982г.
12. Борисов В.С. «Микропроцессорные комплекты интегральных схем», М.: Радио и связь, 1982г.
13. Вершинин О.Е. «Применение микропроцессоров для автоматизации технологических процессов», Л.: Энергоавтомиздат, 1986г.
14. Кагаи Б.М., Сташин В.В. «Микропроцессоры в цифровых системах», М.: Энергия, 1979г.
15. Фритч В. «Применение микропроцессоров в системах управления», М.: Мир, 1984г.