

ЎЗБЕКИСТОН РЕСПУБЛИКАСИ ОЛИЙ ВА ЎРТА МАХСУС ТАЪЛИМ ВАЗИРЛИГИ

БУХОРО МУҲАНДИСЛИК-ТЕХНОЛОГИЯ ИНСТИТУТИ

«Информатика ва ахборот технологиялари» кафедраси

5140900 – Касб таълими («Информатика ва ахборотлар технологияси») таълим йўналиши бўйича

**“VHDL –аппарат қурилмалари тавсифи учун
дастурлаш тили” модули бўйича презентацион
маърузаларни яратиш мавзусидаги**

БИТИРУВ МАЛАКАВИЙ ИШ

Бажарди:

12-09 МИИТ гуруҳи талабаси
Абдуллаев Азиз.

Раҳбар:

Файзиев Ш.И.

Ҳимояга рухсат этилди

«_____» _____ 2013 й.

Кафедра мудири:

_____ доц. Раззоқов Ш.И.

БУХОРО – 2013

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиев Ш.И.				
Талаба	Абдуллоев А				

	ФИО	имзо	сана	“VHDL –аппарат курилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

ҚИРИШ

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

КИРИШ

Менинг битирув малакавий ишим мавзуси “VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили”модули бўйича презентацион маърузаларни яратиш деб номланади.

Бугунги кунга келиб, компьютер технологияларига бўлган талаб кун сайин ортиб бормоқда. Ахборот технологиялари ҳамма соҳага кириб, ушбу соҳанинг ривожланишига муносиб ҳисса қўшиб келяпти. Дастурлаш соҳаси эса ҳозирги кунда энг даромад келтирувчи ва юртни бутун жаҳонга танитувчи соҳага айланиб бормоқда. Шунинг учун ҳам президентимиз ахборот технологиялари тўғрисида қатор фармонлар чиқариб, ушбу соҳани юртимизда ривожланишига ва жаҳон бозорида ўзбек дастурларини муносиб ўрин эгаллашига катта эътибор бермоқдалар. Шу боисдан информатика ва ахборот технологиялари йўналишида таҳсил олаётган талабаларга бир қатор дастурлаш тиллари фан сифатида қўйилган ва талабалардан ушбу фанни чуқур эгаллашлари талаб этилади.

Худди шу маънода турли соҳалар учун тузилаётган дастурлар ушбу соҳада фаолият юритаётган ходимларнинг кундалик амалларини автоматлаштириб иш унумдорлигин оширишмоқда. Барча ташкилотлар ва таълим муассасалари ўзларининг фаолиятларини, ишчи-ходимлар назоратини автоматлаштиришга ҳаракат қилмоқда. Умуман олганда бугунги кунда ҳаётимизнинг барча соҳасига ахборот ва интернет технологиялари кириб борганлиги сир эмас. Бундай дастурларни яратиш билан турли катта-кичик фирмалар ва мустақил дастурчилар шуғулланиб ҳамма соҳада кўзга кўринарли ютуқларга эришганлар. Бироқ компьютер қурилмаларини яратиш ва уларга дастурий таъминотлар ёзиш бугунги кунда энг машаққатли, аммо сердаромад соҳаси ҳисобланади. Бугунги кунда бир қатор мамлакатлар ушбу соҳада етакчиликни қўлга олиб, бошқаларга бу борада ўрнатқуч бўлиб келмоқда. Бу борада бизнинг йўналишда ҳам 158677- TEMPUS -1- 2009- DE- TEMPUS – JPCR HEICA: Ўрта Осиёда информатика соҳасидаги олий таълим инициативалари лойиҳаси бўйича “Дастурланадиган мантиқий схема ва системаларни ишлаб чиқиш” фани киритилди. Бу фанда асосан мантиқий қурилмаларни дастурлашни ўрганиш кўзда тутилган. Шу боис ушбу фаннинг “VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузалар яратилиши кераклиги шарт қилиб қўйилди. Мен ушбу дастурлаш тилини ўрганиб чиқиб, шу презентацион маърузаларни яратишга уриниб кўрдим.

Масаланинг қўйилиши. Яратилувчи презентацион маърузалар талабалар ёки мантиқий қурилмаларни дастурлашни ўрганувчилар учун маълумотнома (қўлланма) сифатида ишлатилиши лозим.

Битирув малакавий ишнинг мақсади. “VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили”модули бўйича презентацион маърузаларни яратиш.

Маърузалар талабаларда мантиқий қурилмаларни дастурлаш тилларида ишлаш кўникмаларини ҳосил қилиш учун имконият яратади.

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили”модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Абдуллоев А			

Мавзунинг долзарблиги. Ҳар бир компьютери бор киши, компьютерда мавжуд техник носозликларни аниқлаш ва уларни бартараф этишни, айниқса дасиурланадиган мантиқий интеграл схемаларда турли схемаларни лойиҳалаштиришни истайди. Бироқ бунинг учун ундан шу қурилма ва дастурлаш тили тўғрисида батафсил маълумотга эга бўлиш талаб қилинади. Ушбу муаммони олдин олиш мақсадида ушбу битирув малакавий иш қўйилди.

Кутилаётган натижалар. Яратилган маърузалардан Касбий таълим (Информатика ва ахборот технологиялари) йўналиши талабаларига бўйича “Дастурланадиган мантиқий схема ва системаларни ишлаб чиқиш” фанидан маъруза модули ва тажриба машғулотларини бажаришда маълумотнома сифатида фойдаланилиши мумкин.

Битирув малакавий иш Кириш, Мавзу бўйича назарий маълумотлар, Асосий қисм, Меҳнатни муҳофаза қилиш, Хулоса, Фойдаланилган адабиётлар рўйхати ва илова каби қисмлардан иборат.

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Абдуллоев А			

I БОБ

Назарий қисм

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиев Ш.И.				
Талаба	Абдуллоев А				

VHDL асосий элементлари

1.1 Рақамли тизимларни таркибий ва ҳолатий маълумотлар.

Рақамли тизимлар уни ичидаги функциялар орқали ёки таркибий қисмлар маълумотлари ёрдамида ифодалаш мумкин.

ТАРКИБИЙ МАЪЛУМОТ – бу тизимнинг таркибий қисмларини (схема, элементлар), маълумотларидан, ва уларни боғлиқлик томонларидан ташкил топган курсатма.

Ҳолатий маълумот – маълумотни бирон бир процедура ёрдамида ифодалаш мумкин, бунда божариш буладиган алгоритмни ташкиллаштиради.

Рақамли тизим марракаб бўлиши мумкин, мисол ўрнида микропроцессор кўришимиз мумкин. Ёки оддий бўлиши мумкин, мисол мантиқий элементларидан ташкил топган кетма-кет схема.

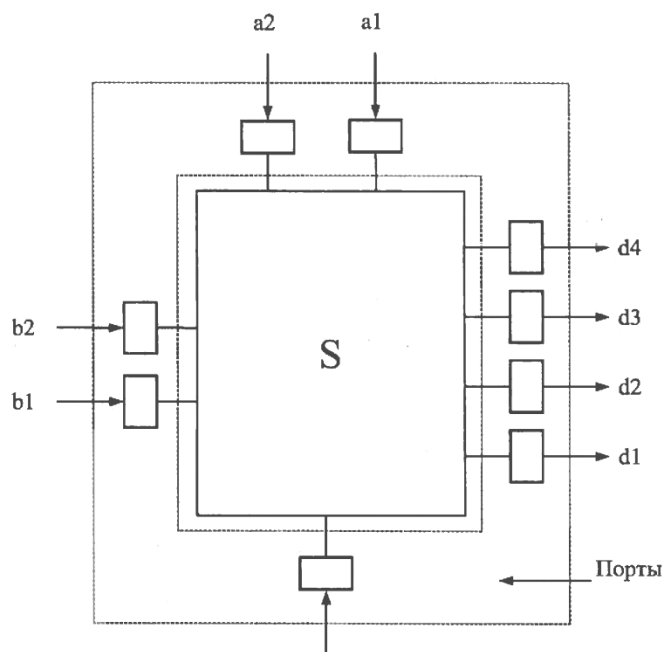
Таркибий маълумот бир неча таркибий қисмларни маълумотларидан иборат, бу ифодалашни кичик даражали иерархия деб аташади. Схемага киришни графлар ёрдамида тасавур қилсак, дарахт (граф) ҳосил бўлганд дарахт бутун бир тизимни ифодалайди.

Тасавур қилайлик, рақамли тизим **S** (1.1 расм) бир алгоритмни бажариши керак. Тизимга иккита иккикатакли сон киритилган **a=(a2,a1)** ва **b=(b2,b1)**, **a2 b2** - сонни катта катакчалари, **x**-бошқарувчи сигнал.

Агар **x=1** булган вақтида **S** тизими, **a** ва **b** ларни кўпайтириб натижада тўрт катакли сон **d=(d4,d3,d2,d1)** келиб чиқиши керак, **d= a x b**.

Агар **x=0** булган вақтида **a** ва **b** ларни кўшадилар, ва **d4** хар вақтда 0 тенг бўлиши керак, **d3** – эса **c2** ни ўзлаштиради, **d2** – **s2** суммасини катта катакчаси, **d1**– **s1** суммасини кичик катакчаси.

Тасаввур қилайлик, $(a2,a1)+(b2,b1)=(c2,s2,s1)$.



Бунда хар бир тизимни алгоритми ўзига хос тилда ифодалиниши керак.

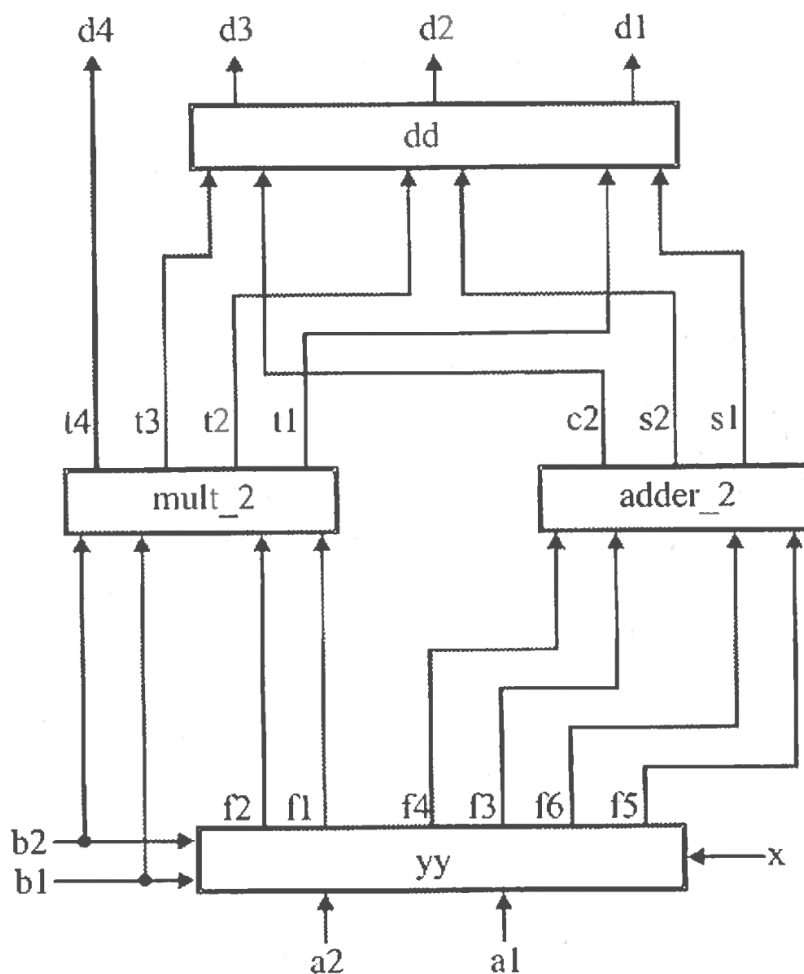
Кейнчалик шу **S** тизимни алгоритми VHDL тилида содалаштирилиб

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Абдуллоев А			

кўрсатилади. Агарда тизимни таркибий қисмлари жихатидан маълумот берсак тизимга икки катакли сумматор ва икки катакли купайтиришни киритишимиз мумкин.

Икки катакли самматор – бу икка катакли сонларни кушиш учун мулжалланган курилма, икки катакли кўрайтириш курилмаси икки каатакли сонларни кўпайтириш учун мўлжалланган. Тизимга шунинг дек бошқариш курилмаси ва кириш сигналларни боғлаш учун мўлжалланган дизъюнктив схемани ҳам киритиш мумкин.

Тизимни тузилиши 1.2 расмда кўрсатилган.



Adder_2 – икки катакли сумматор, mult_2 – икки катакли кўпайтириш, YY – бошқариш курилмаси, dd – дизъюнктив схема. Дизъюнктив схемани учта дизъюнкторлардан ташкил топган. Бошқариш курилмаси оддий бўлиб кейинги холда ишлайди:

$$(a2, a1) = (f4, f3),$$

$$(b2, b1) = (f6, f5),$$

Агар $x = 0$ $(f2, f1) = (0, 0)$, **a** ва **b** Adder_2 кириш сигналлари

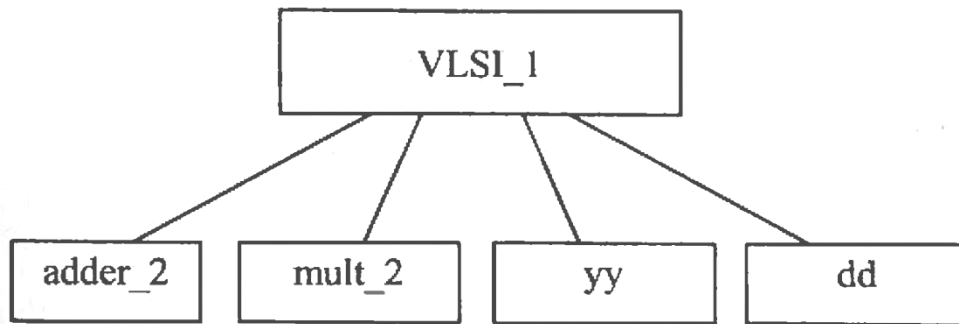
$$(f4, f3) = (0, 0),$$

$$(f6, f5) = (0, 0),$$

Агар $x = 1$ $(a2, a1) = (f2, f1)$, **a** ва **b** mult_2 кириш сигналлари

	ФИО	имзо	сана	“VHDL –аппарат курилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Абдуллоев А			

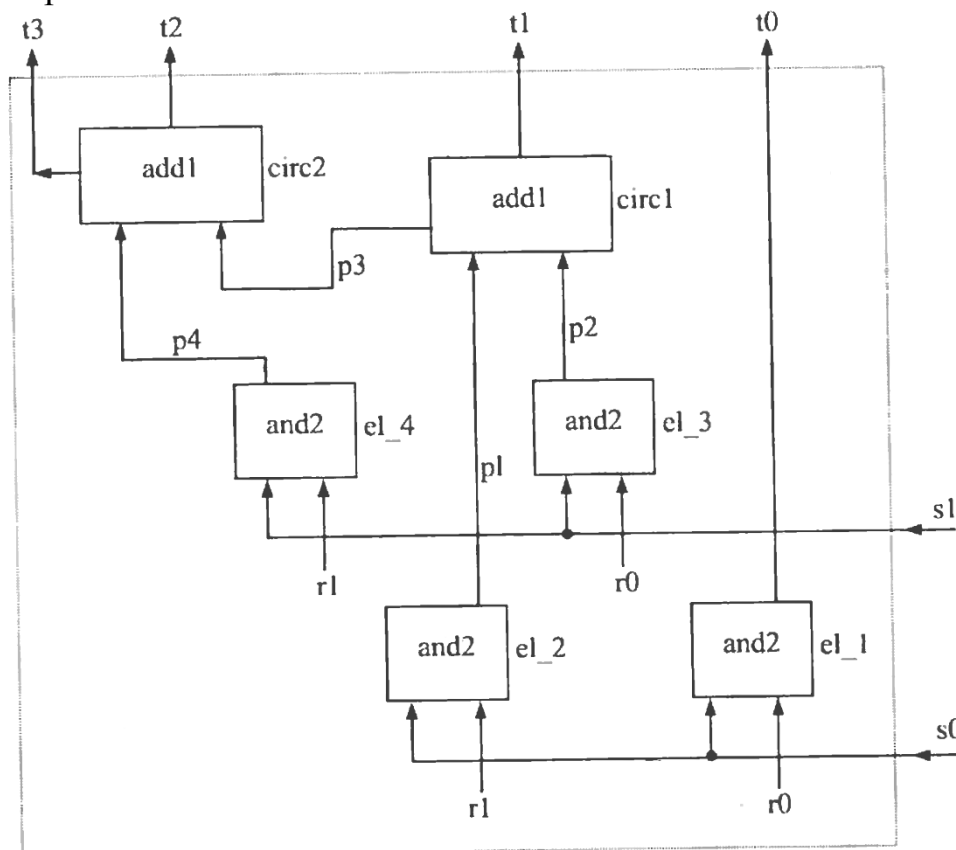
Айтайлик тизим ♦LSI_1 деб ном берсак, иерархия тузилиши шундай бўлади, 1.3 расм



mult_2 кўпайтириш қурилмасини ишлашини кшрамиз. Схемани (1.4 расм) кириш сигнал сифатида r1, r0, s1, s0 оламиз. r1 ва r0 сигналлари икки катакли сон деб интерпретация қилинади $r=(r1, r0)$, s1 ва s0 икки катакли сон деб оламиз $s=(s1, s0)$.

Чиқиш сигналлари (t3, t2, t1, t0) t (r ва s кўпайтирмаси) сонни катакчалари деб оламиз $t=(t3, t2, t1, t0)$ $(t3, t2, t1, t0) = (r1, r0) \times (s1, s0)$.

1.4 расм



Схемага икки хил эментлар киради – add1, and2.

and2 сони мантикий ВА элементи – икки киришга эга конъюнктор.

VHDL тилида ВА белгисини & конъюнкция ифодалаш учун эмас, векторларни конкатенация учун ишлатишади

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш
Рахбар	Файзиёв Ш.И.			
Талаба	Абдуллоев А			

Мантикий конъюнкцияси учун **and** операторини ишлатишади, шунинг учун VHDL тилида **and2** функцияни кўриниши кейинг кўринишда бўлади:

$$y \leq x1 \text{ and } x2;$$

X1 ва **x2** кириш сигналларнинг номи, **y** – чиқиш сигналнинг номи, **<=** сигналларни мўлжалаш оператори.

Add1 элементи бир катакли яримсумматор, ишлаши ростлик жадвалида кўрсатилган:

b1	b2	c1	s1
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Бунда **b1, b2** – бир катакли сон деб интерпретасияштирилади, **c1** – сумма, **s1** – кейинг катакга ўтиш.

Булев функцияни ўзимизга таниш бўлган математик кўриниши кейинг холатда бўлади:

$$s1 = b1 \oplus b2 = (\bar{b1} \wedge b2) \vee (b1 \wedge \bar{b2}),$$

$$c1 = b1 \wedge b2.$$

VHDL тилида add1 кейинги кўринишда бўлади[^]

$$s1 \leq ((b1 \text{ and } (\text{not } b2)) \text{ or } (\text{not } b1) \text{ and } b2));$$

$$c1 \leq b1 \text{ and } b2;$$

Or – дизъюнкция мантикий оператори

And - конъюнкция мантикий оператори

Not– инкор оператори

Кўпайтириш схемасини лойихасини дарахтини mult_2 деб номлаймиз, and2 ва add1 схемаси киритилади. Агар дарахтга or2(дизъюнкция), in♦(инвертор) ва and2(конъюнкция) киритилса, унда лойихани дарахти уч даражали бўлади.

Add2, or2, инв лойихани барглари деб ҳисобланади. Лойихани барглари таркибий қисмларга ега эмас бўлиб примитив деб номланади. Примитив холатий даражада ифодаланади.

Икки катакли кўпайтириш қурилмасини Лойихасини объектлар mult_2, add1, and2 деб ҳисобланади.

Дарахт илдизини белгиланиши (mult_2) лойиха номи деб ҳисобланади.

Хар бир объект икки хар-хил маълумотга ега:

-Объектни бутунлигича ифодалаш (entity)

- Объектни архитектурасини ифодалаш (architecture).

Объектни бутунлигича ифодалаш уни номини ва портларнинг маълумотлари (кириш, чиқиш) киради. VHDL тилида буни “interface” деб номланади. Бир объектни иккинчи объектни ажратиш учун entity термини лойихани номи деб ҳисоблашимиз мумкин.

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Абдуллоев А			

Кириш(in) ва чиқиш(out) сигналлари учун режим ва йўналиш кўрсатилади.

And2 лойиҳасини малумоти:

```

Entity and2 is          -- лойиҳани номини объектини
декларасияси
Port (x1,x2: in BIT)   -- кириш портларини декларасияси
      y: out BIT)        -- чиқиш портларини декларасияси
architecture functional of and 2 is -- архитектура декларатсияси
begin                    -- объектни функциясини ифодаланиши
y<=x1 and x2;
end functional;

```

Коментариялар икки дефиз(--) бошланиб сатирни охиригача давом этади.

BIT – бу сигнал тури. Архитектура объектни ишлашини ёки таркибий декомпозитсиясини соддалашган холда кўрсатиши мумкин. Add1 объектини кўриниши:

```

entity add1 is
port (b1, b2 : in BIT; c1, s1 : out BIT);
end add1;
architecture struct_1 of add1 is
begin
s1<= ((b1 and (not b2)) or ((not b1) and b2));
c1<= b1 and b2;
end struct_1;

```

Mult_2 объектини кўриниши:

```

entity mult_2 is
port (s1, s0, r1, r0 : in BIT;
      t3, t2, t1, t0 : out BIT);
end mult_2;
architecture structure of mult_2 is
component
add1 port (b1, b2: in BIT; c1, s1: out BIT);
end component;
signal p1, p2, p3, p4 : BIT;
begin
t0 <= r0 and s0; p2 <= r0 and s1; p1 <= r1 and s0; p4 <= r1 and s1;
circ1: add1 port map (p1, p2, p3, t1);
circ2: add1 port map (p3, p4, t3, t2);
end structure;

```

Архитектурани ифодаланганда икки подсхема(таркибий қисм) ёллон(декларатсияштирилади) қилади. **Begin** калит сўзидан сўнг ифодалаш экземплярлари киритилади. Хар бир экземпляр ўзига хос белгига ега(circ1, circ2 - белги). Хар бир экземпляр ўзига хос картасига(port map) ега. Портларни картаси таркибий қисим ва экзеплярлар кириш ва чиқиш сигналларини ўпфхж боғлиқлигини кўрсатади. VHDL тилида add1 таркибий қисм(подсхема) деб олдик ВА мантикий элементини функционал даражасига кўтардик. Бу жуда хам бизларга қўл келади. Бу хусусият биринчи этапларда лойиҳалашда яхши қўллайдилар.

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили”модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Абдуллоев А			

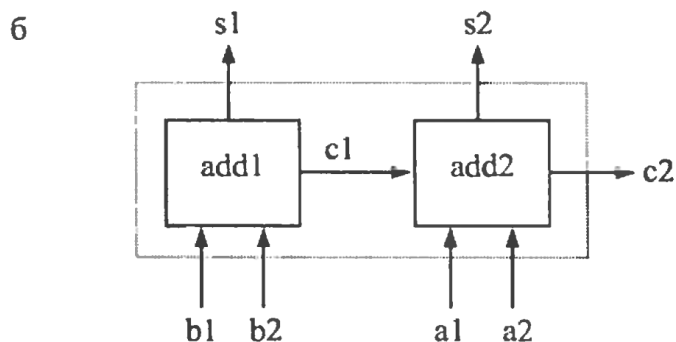
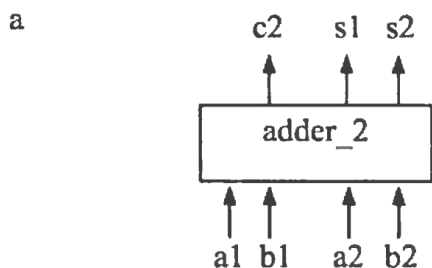
Бундан ташқари add1, add2, ташкил топган икки катакли сумматорни ҳам кўриб чиқишимиз мумкин, add1 ва add2 ростлик жадвали:

c1	a1	a2	c2	s2
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Add2 объектини кориниши

```

entity add2 is
  port (c1, a1, a2: in BIT; c2, s2: out BIT);
end add2;
architecture struct_1 of add2 is
  begin
  s2 <= ((not c1) and (not a1) and a2) or ((not c1) and a1 and (not a2))
  or ( c1 and (not a1) and (not a2) ) or (a1 and a2 and c1);
  c2 <= (a1 and c1) or (a2 and c1) or (a1 and a2 );
  end struct_1;
  
```



1.5 расм. Икки катакли сумматор $(a1,b1)+(a2,b2)=(c2,c2,c1)$ а-кўрсатилиши, б- бир катакли яримсумматор(add1) ва бир катакли сумматорни(add2) ларни каскад уланмалари.

Лойиҳа дарахти adder_2–га add1, add2 кириритилади, VHDL –да кейинг кўринишга ега:

	ФИО	имзо	сана	“VHDL –аппарат курилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Абдуллоев А			

```

entity adder_2 is
port (a1, b1, a2, b2 : in BIT;
       c2, s2, s1 : out BIT);
end adder_2;

architecture structure of adder_2 is
component
add1
port (b1, b2: in BIT;
       c1, s1: out BIT);
end component;

component add2
port(c1, a1, a2: in BIT;
       c2, s2: out BIT);
end component;
signal c1: BIT;
begin
circ1: add1
port map (b1, b2, c1, s1);
circ2: add2
port map (c1, a1, a2, c2, s2);
end structure;

```

Кўпайтириш қурилмаси (Mult_2) –га киритилган add1 таркибий даражасида ифодаланган.

VHDL –да C тизимни (1.2 расм) таркибий маълумоти кейинг листингда кўрсатилган

```

entity vlsi_1 is
port (a2, a1, b2, b1, x: in BIT;
       d4, d3, d2, d1: out BIT);
end vlsi_1;
architecture structure of vlsi_1 is
component adder_2           -- декларация компонента
port (a1, b1, a2, b2: in BIT;
       c2, s2, s1: out BIT);
end component;
component mult_2           -- декларация компонента
port(s1, s0, r1, r0: in BIT;
       t3, t2, t1, t0: out BIT);
end component;
component dd               -- декларация компонента
port (x1, x2, x3, x4, x5, x6 : in BIT;
       y1, y2, y3 : out BIT);

```

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Абдуллоев А			

```

end component;
component уу -- декларация компонента
port( a2, a1, b2, b1, x : in BIT;
      f6, f5, f4, f3, f2, f1 : out bit);
end component;

signal f1, f2, f3, f4, f5, f6, t4, t3, t2, t1, c2, s2, s1: BIT;
      -- декларация внутренних сигналов

begin
circ1: уу
port map ( a2, a1, b2, b1, x, f6, f5, f4, f3, f2, f1);
circ2: mult_2
port map ( f2, f1, b2, b1, d4, t3, t2, t1);
circ3: adder_2
port map ( f4, f3, f6, f5, c2, s2, s1);
circ4: dd
port map ( s1, t1, s2, t2, c2, t3, d1, d2, d3);
end structure;

```

УУ, dd подсхемани функционал даражасидаги кўриниши:

```

entity YY is
port (a2, a1, b2, b1, x : in BIT;
      f6, f5, f4, f3, f2, f1 : out BIT);
end YY;
architecture struct_1 of YY is
begin
f1 <= x and a1;
f2 <= x and a2;
f3 <= not x and a1;
f4 <= not x and a2;
f5 <= not x and b1;
f6 <= not x and b2;
end struct_1;

```

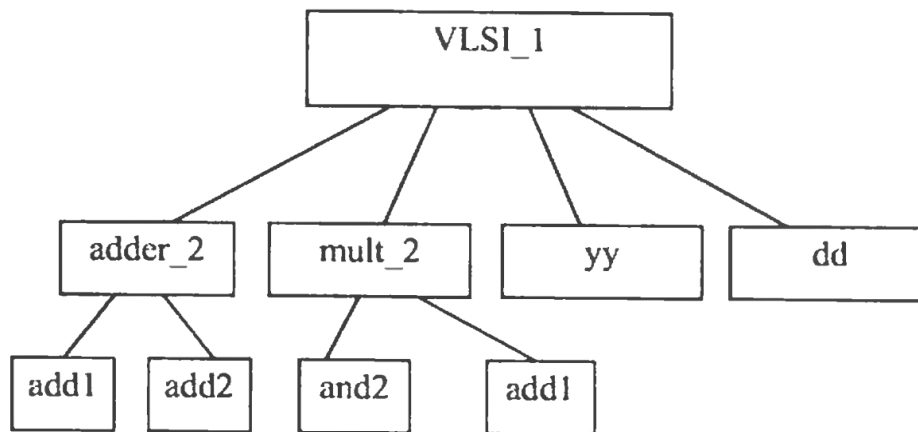
```

entity dd is
port (x1, x2, x3, x4, x5, x6 : in BIT;
      y1, y2, y3 : out BIT);
end dd;
architecture struct_1 of dd is
begin
y1 <= x1 or x2;
y2 <= x3 or x4;
y3 <= x5 or x6;
end struct_1;

```

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

S тизимини лойиҳасини дарахти 1.6 расм:



Етибор беринг, кириш ва чиқиш сигналлар бутун сон бўлиб интерпретацияштирилган, шунинг ёрдамида ифодалаш соддалаштирилган.

```

entity vlsi_1 is
  port (a, b : in integer range 0 to 3;
    x : in BIT;
    D : out integer range 0 to 15);
end vlsi_1;

architecture functional of vlsi_1 is
  signal c: integer range 0 to 15;
  begin
  p0: process(a, b, x)
  begin
    if (x = '0') then
  c <= a + b;
    elsif ( x = '1') then
  c <= a * b ;
    end if;
  end process;
  D <= c;
  end functional;
  
```

Кўрганимиздек таркибий малумотга нисбатан соддалаштирилган. Бунақа автоматик ўзгаришлар фақат VHDL тилида бўлади, бу синтезлашган деб номлашган.

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Абдуллоев А			

II БОБ

Асосий қисм

	ФИО	имзо	сана	“VHDL –аппарат курилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Рахбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

VHDL ҳақида қисқача маълумотлар

Тарихи

- 1981 АҚШ мудофаа вазирлиги қурилмалар ҳаётий цикли инқирози” янги технологияларини қайта жиҳозлашни енгиллаштириш мақсадида ташаббус киритди.
- 1983 Стандартлаштириш, IBM ва TI ADA га асосланган қурилмаларни ифодалаш тилини ишлаб чиқди.
- 1986 VHDL 7.2 версияси асоси ниҳоясига етди.
- 1986 VHDL 7.2 версияси АҚШ мудофаа вазирлиги VHDL ҳуқуқларини IEEE га дим этди.
- 1987 VHDL 1076-1987 нинг IEEE стандарти бўлди.
- 1988 VHDL ANSI стандарти бўлди.
- 1993 1076-1987 IEEE стандарт кўп қўлланиладиган бўлди.
- 2008 1076-2008 IEEE стандарт тилнинг сўнгги текшируви.

Тизимли даража

Махсулаштириш

Алгоритмлар даражаси

Ечим ғояси

Регистрли узатиш даражаси

Мантиқий элементлар

Бажарилиши

Транзисторлар даражаси
Ниқоблар даражаси

ASIC

Режалалаш даражаси

FPGA

- VHDL тизимнинг мантиқий элемент даражасигача ифодаланиши учун қўлланилади.
- Автоматлаштириш регистрли узатиш даражасида бошланади.
- Синтез абстракция юқори даражаларининг фаол соҳаси ҳисобланади.

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

Синтаксис таҳлили

ADA дан сўнг яратилган бўлиб Pascal тилига ўхшашдир

- Сўзмассўз синтаксисга эга:
- Дастур бажарилиши ва интерфейснинг бўлинишига талаб

— *Interface*

```
entity FA is
  port(
    a, b, c : in bit;
    s, cout : out bit;
  );
end FA;
```

— *(An) Implementation*

```
architecture FA_1 of FA is
  begin
    s    <= a xor b xor c;
    cout <= (a and b) or (a and c)
           or (b and c);
  end FA_1;
```

- Ҳар иккаласи ҳам .VHDL файлда сақланади.
- - белгиси бидан бошланиб қатор охиригача давом этади.
- VHDL регистрга боғлиқ эмас.

- **Маълумотларнинг содда турлари**

- Тўпламлар

```
type boolean is (false , true);
type bit     is ('0' , '1');
type character is (NUL, ..., '0' , '1' , ..., 'A' , 'B' , ...);
```

- Сонли қийматлар соҳаси

```
type integer is range -2147483648 to 2147483647; — or larger
type real    is range      -1E38 to      +1E38; — or larger
```

- Чегараланган қийматлар соҳасига эга ички тип

```
subtype natural is integer range 0 to integer 'high;
subtype positive is integer range 1 to integer 'high;
```

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

Маълумотларнинг таркибли типлари: Массивлар

Чексиз массивлар типи

```
type bit_vector is array(natural range <>) of bit;  
type string      is array(positive range <>) of bit;
```

Чекли массивлар типи

```
-- Immediately constrained Array: byte is not a bit_vector  
type    byte is array(7 downto 0) of bit;
```

```
-- Constrained Subtype: byte is a bit_vector  
subtype byte is bit_vector(7 downto 0);
```

Кўп ўлчовли массивлар(оддий мисол)

```
type matrix is  
array(natural range <>, natural range <>) of integer;
```

Маълумотларнинг Таркибли типлари: Тузилмалар

Хужжатлар(оддий мисол)

```
type packet is record  
    valid : bit;  
    data  : byte;  
end record;
```

		ФИО	имзо	сана	“VHDL –аппарат курилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Абдуллоев А				

Операторлар

Ўсиш тартибида:

Бинар ий	and or xor nand nor xnor	-Айлана авсларни ишлатади
Таққослаш	= / =< <= > >=	-тенг эмаслик ёзуви
Жойини ўзгартириш/Айлантириш	sll srl sla sra rol ror	-...нинг фойдасига
Ўшиш/Улаш	+ - &	-...конкатенация
Белги	+ -	
Кўпайтириш	* / mod rem	
Бошқаа унар амаллар	not abs **	Аппарат таъминоти мураккаблиги

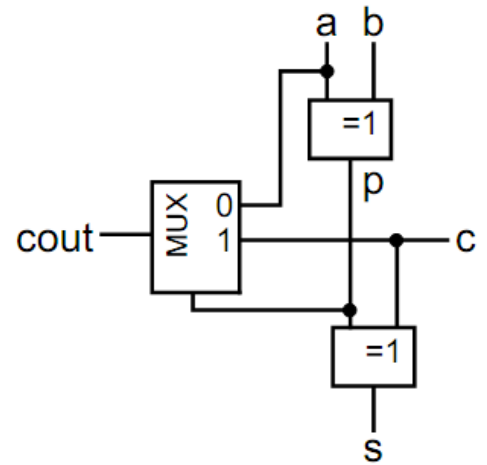
Тенг кучли бинар операторлар чандан ўнгга қараб бажарилади.

	ФИО	имзо	сана	“VHDL –аппарат курилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

Сигналлар

... узелларнинг типлаштирилган тадбиқини намоён этади:

```
architecture FA_2 of FA is
  signal p : bit; — "Propagate"
begin
  p    <= a xor b;
  s    <= p xor c;
  cout <= c when p = '1' else a;
end FA_2;
```



	ФИО	имзо	сана	“VHDL –аппарат курилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

Параллел ўзлаштириш

Эркин ўзгарувчили(комбинаторика) ни ифодалайди:

® Улар бир бирига параллел.

® Амаллар кетма-кетлиги ахамиятга эга эмас:

```
p <= a xor b;   ва   s <= p xor c;  
s <= p xor c;   ва   p <= a xor b;
```

Тенг кучли!

Параллел ўзлаштириш: Вариантлар

Шартсиз ўзлаштириш

```
s <= p xor c;
```

Шартли ўзлаштириш

```
y <= '0' when clr = '1' else  
      '1' when set = '1' else  
      x;
```

- Биринчи мурожаат биринчи бажарилади
- Комбинаторика учун зарурий сўнгги имконият

Танловли ўзлаштириш

```
with s select  
  y <= a when "00",  
  b when "01" | "10",  
  c when others;
```

Тенглаштирилган мультиплексор
Холатларнинг руйхати
тугатилиши мумкин

	ФИО	имзо	сана	“VHDL –аппарат курилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

Жараёнлар

... булар комплекс параллел амаллардир.

◆ Кетма- кет кодлар али бири бирини кўрсатади:

® Жараён ичидаги операторлар кетма-кетлиги мухим

◆ Бошқариладиган бошқарув оқимига эга:

— *Branches*

```
if <cond1> then
  ...
elsif <cond2> then
  ...
end if;
```

— *Loops*

```
for i in 0 to N loop
  a(i) <= '0';
end loop;
```

— *Case Selections*

```
case s is
  when "00" =>
    ...
  when "01" | "10" =>
    ...
  when others =>
    ...
end case;
```

Комбинаторикали жараёнлар

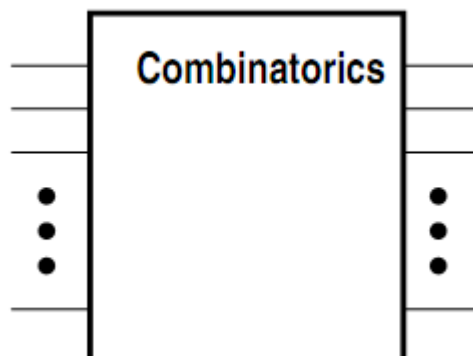
... комбинаториканинг ҳолатини ифодалайди.

... деталлаштирилган тузилмали ишланмадан қочади.

... технологик оптималлаштиришни таҳлил ускуналарига қолдиради.

... қўлда ишлангандек тенгламаларни олиш имконияти мавжуд:

- анча тушунарли
- осон мослашувчан



	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

Комбинаторикали жараёнлар: Мисоллар

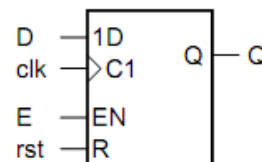
```
architecture FA_3 of FA is
begin -- / "Sensitivity list"
  process(a, b, c) -- !!!: ALL inputs must be listed here!
    variable p : bit; -- Local intermediate nodes as variables
  begin
    p := a xor b; -- !!!: Assignment to variable looks DIFFERENT
    s <= c;
    if p = '0' then -- !!!: Compute ALL outputs on
      cout <= a; -- ALL control flow paths
    else
      cout <= c;
      s <= not c; -- Signal assignments may be overwritten
    end if;
  end process;
end FA_3;
```

Кетма-кет жараёнлар

... ҳолат регистрларининг ҳаракатини ифодалайди.

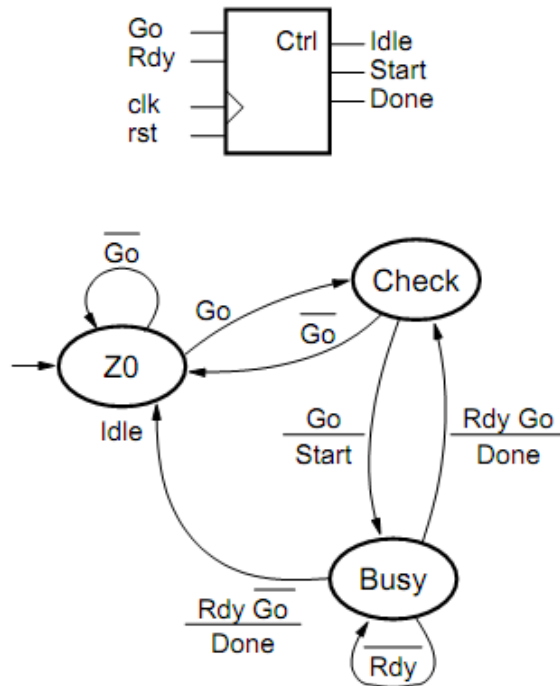
◆ Мисол: Ассинхрон қайта ўрнатилувчи D-FF

```
process(rst, clk) -- !!!: ONLY inputs that may
begin -- induce a state transition
  if rst = '1' then -- asynchronous ...
    Q <= '0'; -- ... reset
  elsif clk'event and clk = '1' then -- positive clock edge
    if E = '1' then -- enable
      Q <= D;
    end if;
  end if;
end process;
```

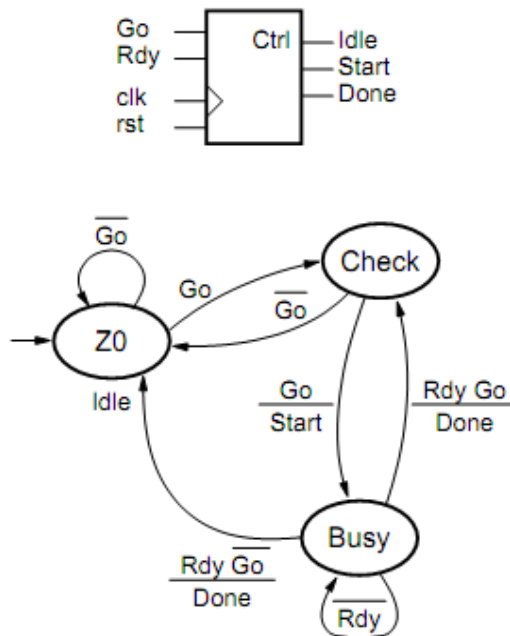


	ФИО	имзо	сана	“VHDL –аппарат курилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

Мисол: Сўнгги автоматлар



Интерфейсни аниқлаш



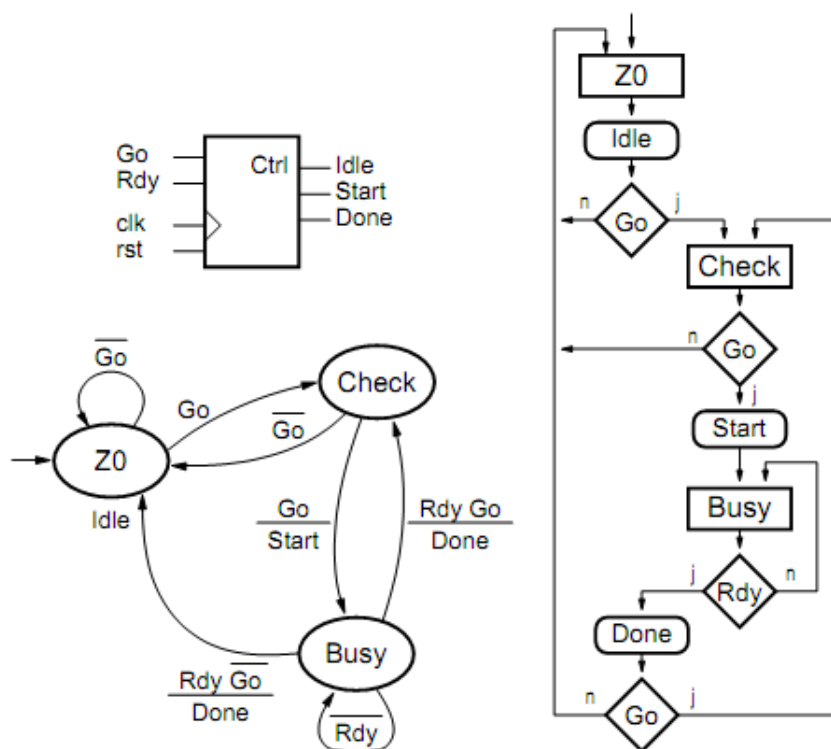
	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Абдуллоев А			

```

rst, clk      : in      bit ; -- Ташлаш, синхронизатор
Go            : in      bit ; -- Циклни бошлаш
Rdy          : in      bit ; -- Циклни тўхтатиш
Idle         : out     bit ; -- Кутиш
Start        : out     bit ; -- Цикл бошланиши
Done         : out     bit  -- Цикл охири
);
end ctrl ;

```

Мисол: SM-Chart



- ◆ Ҳолат диаграммасига тенг кучли
- ◆ Иерархик ечимларни моделлаштириш
- ◆ Қурилмани ифодалаш тилига(HDL) ўгириш осон

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Абдуллоев А			

Мисол: Типлар ва Сигналлар

```
architecture rtl of ctrl is
  type tState is (Z0, Check, Busy);
  signal State      : tState := Z0; -- state register
  signal NextState : tState;      -- combinatorial computation
begin
  -- of successor state
  ...
end rtl;
```

Бунга босманг!

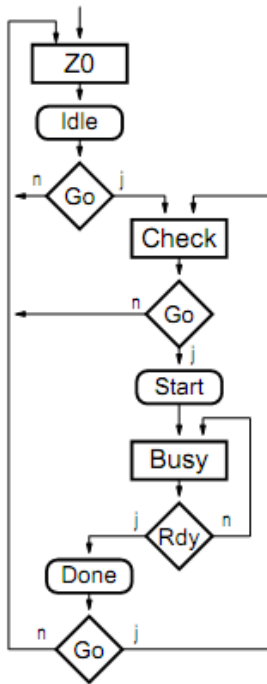
Регистрлар сигналларининг ўрнатилиши улар қийматларининг ташлаб юборилишига тенг кучли. Акс ҳолда бир бирига мос келмайди.

Мисол: Регистрлар

```
architecture rtl of strg is
  type tState is (Z0, Check, Busy);
  signal State      : tState := Z0; -- state register
  signal NextState : tState;      -- combinatorial computation
begin
  -- of successor state
  -- Sequential Process
  process (clk)
  begin
    if clk 'event and clk = '1' then -- rising edge
      if rst = '1' then              -- synchronous reset
        State <= Z0;
      else
        State <= NextState;
      end if;
    end if;
  end process;
  ...
end rtl;
```

		ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Абдуллоев А				

Мисол: Комбинаторика



— *Combinatorial Process*

```

process(State , Go, Rdy)
begin
  — Default Assignment
  NextState <= State;
  Idle      <= '0';
  Start    <= '0';
  Done     <= '0';

  case State is
    when Z0 =>
      Idle <= '1';
      if Go = '1' then
        NextState <= Check;
      end if;

    when Check =>
      if Go = '0' then
        NextState <= Z0;
      else
        Start      <= '1';
        NextState <= Busy;
      end if;
  
```

```

when Busy =>
  if Rdy = '1' then
    Done <= '1';
    if Go = '0' then
      NextState <= Z0;
    else
      NextState <= Check;
    end if;
  end if;
  
```

```

  — not required here
  — completes state enumeration
  when others =>
    null;
  — does nothing
  end case;
end process;
  
```

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиев Ш.И.			
Талаба	Абдуллоев А			

Ўзлаштиришнинг тўхтаб қолиши

... берилган вақтдан сўнг сигналнинг ўзгаришига олиб келади:

a <= b and c after 20 ns;

...Функцияли моделлаштириш учун яхши

... сим стимулни ифодалаш учун синов стендида қўллаш мумкин:

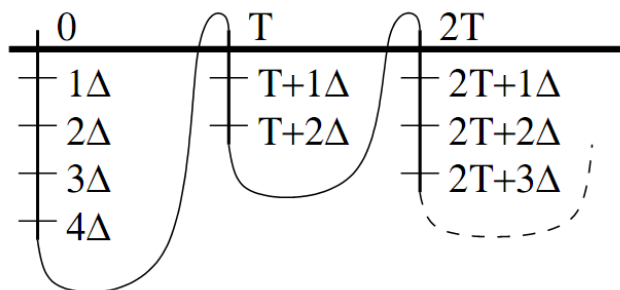
clk <= not clk after 50 ns; — 10-MHz Clock

... таҳлил ускуналари орқали аниқланади ёки рад этилади.

Семантик модел: Моделлаштириш вақти

Кетма-кет дастурий таъминода параллел аппарат таъминотини моделлаштириш

→ Делта цикллар орқали вақтни икки ўлчовли моделлаштириш:



1. Сигналларда ҳолатли бошқарилувчили моделлаштириш.
2. Моделлаштириш вақти ҳар бир ҳолат учун тайинланади.
3. Ҳар бир сигнал делта цикллар орқали аниқланганланган ҳолат бирта қийматга эга.

	ФИО	имзо	сана	“VHDL –аппарат курилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

Семантик модел: Бажарилиши

1. Ҳар бир сигнал одатдаги қийматининг ўрнатилиши.
2. $t=0$ симуляцияси вақтини ўрнатиш.
3. Барча параллел операторларни бажарилувчи операторлар тўпламига йиғиш.
4. Бажарилувчи операторлар тўпамидан ҳар бир операторни олиш ва бажариш.
Сигналнинг ҳар бир ҳисобланувчи қиймати учун ҳолатни генерация қилиш:
5. Кейинги ҳолатга ўтиш вақтигача моделлаштириш вақти узайтирилади кейинги ҳолат мавжуд бўлмаса тўхтатилади.
6. Узайтирилган вақт моделлаштирилиши учун режалаштирилган ҳолатдан келиб чиқиб сигналнинг қиймати янгиланади.
7. 4 - қадамга ўтилади.

Семантик модел: Натижа

Ҳис этувчи комбинаторика жараёнлари рўйхатидан киритилган маълумотларнинг олиши:

Бу маълумотларнинг ўзгаришидан сўнг жараённинг қайта ҳисобланишига олиб келади.

9 Хонали мантиқ (IEEE-1164)

U	Одатдаги қиймати ўрнатилмаган
X	тезлаштирилган
0	Тезлаштирилган 0
1	Тезлаштирилган 1
Z	Юқори қаршилик
W	Кучсизлик
L	Кучсиз 0
H	Кучсиз 1
-	Ҳолат

- ◆ Моделлаштириш орқали отладка қилиш учун интуитив қиймат .
- ◆ Оптимизация имкониятларини ифодалаш: акс ҳолда
- ◆ Ёпиш қурилмаларини узатишни ифодалаш.
- ◆ ва юклаган резисторларни моделлаштириш.

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

Ёрдам: таҳлил

Таҳлил рақамли мантиқни келтиради:

- ◆ Ички сигналлар доимо 0 ёки 1 қийматга эга.
- ◆ L ва H 0 ёки 1 да акс этади.
- ◆ «-» ва X таҳлил ускунасига қараб ихтиёрий 0 ёки 1 да акс этади.
- ◆ Z Қурилмада комбинаторика мавжуд эмас.

Ёрдам: таҳлил

Мета қийматлар моделлаштириш схемасини таҳлили учун муҳим аҳамиятга эга:

- ◆ ‘U’ Ҳали баҳоланмаган ва уларга боғлиқ бўлмаган сигналларни кўрсатади.
- ◆ ‘-’ қизиқиш мавжуд эмаслигини ифодалайди.

→ Мумкин бўлганда қўлланг!

- ◆ X сигналлар:

Ечилмаган ийматларни лаш

ар хил ийматли шиналарни ариш –ХАТОЛИК!

Мисол: 7 сегмент(бўлак)ни кодлаштириш

```
library IEEE;           -- Declare IEEE-Library
use IEEE.std_logic_1164.all; -- Allows use of 9-valued logic

entity seg7dec is
  port(
    dig : in  std_logic_vector(3 downto 0); -- decimal BCD digit
    seg7 : out std_logic_vector(6 downto 0) -- H-active 7-segment output
  );
end seg7dec;

architecture seg7dec_impl of seg7dec is
begin
  with dig select
    seg7 <= "1111110" when "0000",
           "0110000" when "0001",
           "1101101" when "0010",
           "1111001" when "0011",
           "0110011" when "0100",
           "1011011" when "0101",
           "1011111" when "0110",
           "1110000" when "0111",
           "1111111" when "1000",
           "1111011" when "1001",
           "_____" when others;
end seg7dec_impl;
```

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

Мисол: Уч ҳолатли буферга эга мултиплексор

```
entity mux4 is
  port(
    sel      : in  std_logic_vector(1 downto 0);
    a, b, c, d : in  std_logic;
    y        : out std_logic;
  );
end mux4;
```

Шинанинг ийматли драйверларига рухсат этилади

```
architecture mux4_impl of mux4 is
begin
  y <= a when sel = "00" else 'Z';
  y <= b when sel = "01" else 'Z';
  y <= c when sel = "10" else 'Z';
  y <= d when sel = "11" else 'Z';
end mux4_impl;
```

	U	X	0	1	Z	W	L	H	-
U	U	U	U	U	U	U	U	U	U
X	U	X	X	X	X	X	X	X	X
0	U	X	0	X	0	0	0	0	X
1	U	X	X	1	1	1	1	1	X
Z	U	X	0	1	Z	W	L	H	X
W	U	X	0	1	W	W	W	W	X
L	U	X	0	1	L	W	L	W	X
H	U	X	0	1	H	W	W	H	X
-	U	X	X	X	X	X	X	X	X

Бу каби жадваллар ва ни исоблашда ишлатилади

Маълумотларнинг аппаратга мўлжалланган арифметик типлари

Ишорали ва ишорасиз сонларни битларда ифодалаш:

◆ Пакет : `use IEEE.numeric_std.all;`

◆ Аниқловчи :

Ишорасиз: `type unsigned is array(natural range <>) of std_logic;`

Ишорали: `type signed is array(natural range <>) of std_logic;`

◆ ... * ишорадан ва < ёки >= таққослашлардан боғлиқ арифметикани ҳисоблашда фақат фарқланади.

◆ ... тўғридан тўғри integer га қўшишга рухсат беради:

`Count <= Count + 1;`

◆ Қуйидаги имкониятларни беради:

Маълумотлар кенглигининг хавфсиз назорати

Битларнинг амалларини оддий ифодалаш

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Абдуллоев А			

Типларнинг ўзгариши

- ◆ ... типлар концепциясининг қатъий амал қилинишига хизмат қилади
- ◆ ... одатда қурилмани ишга туширмайди
- ◆ ... VHDL функциялари билан тадбиқ этилган.

```
function to_integer (arg : unsigned)      return natural;  
function to_integer (arg : signed)       return integer;  
function to_unsigned(arg, size : natural) return unsigned;  
function to_signed  (arg : integer;  
                    size : natural) return signed;
```

— *Pseudo-functions for ‘‘Related Types’’:*

```
function signed  (arg : std_logic_vector) return signed;  
function unsigned(arg : std_logic_vector) return unsigned;  
function signed  (arg : unsigned)       return signed;  
...
```

Блоклар

- ◆ ... Архитектура ичида бажарилишини тузилмалаштиради.
- ◆ ... Локал эълонларни химоялашга рухсат беради.

```
<Label>: block  
  [Local declarations]  
begin  
  ...  
end block [Label];
```

Умумлаштириш(Хулоса)

- ◆ ... умуман олганда параметрли лойиҳалаш имконини беради

		ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Абдуллоев А				

```

— Determines the parity of an n-bit argument
entity par_n is
  generic(N : positive := 8); — Generic with Default
  port(
    arg : in  std_logic_vector(1 to N);
    par : out std_logic
  );
end par_n;

architecture rtl of par_n is
  signal tmp : std_logic_vector(1 to N);
begin
  tmp(1) <= arg(1);
  xor_chain: for i in 2 to N generate
    tmp(i) <= tmp(i-1) xor arg(i);
  end generate;
  par <= tmp(N);
end rtl;

```

Generate- оператори

- ◆ ... такрорланувчи ва шартли ички тузилмаларни ифодалаш имконини беради
- ◆ ва умумий лойихалашда амал қилади.

```

<Label>: if <Condition> generate
[ [local declarations]
begin]
... — else-branch is only to come with VHDL-2003
end generate [Label];

```

```

<Label>: for <Identifier> in <range> generate
[ [local declarations]
begin]
...
end generate [Label];

```

	ФИО	имзо	сана	“VHDL –аппарат курилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

Массив ва атрибутлар тип

◆ Массивга муружаатнинг ифодасини содалаштириш

Мисол: **signal** arr : std_logic_vector(7 **downto** 0);

arr ' length	Массив узунлиги
arr ' range	Индекс и
arr ' reverse_range	Тескари индекс и
arr ' left	Индекс ининг чап чегараси
arr ' right	Индекс ининг чегараси
arr ' high	Массивнинг ори индекси
arr ' low	Массивнинг уйи индекси

- Ўзгарувчилар номлари ўрнига типлар номлари ҳам ишлатилиши мумкин
- Кўп ўлчовли массивлар типларнинг исталган ўлчови аргументлар орқали олинади.

arr ' length(1) ва arr ' length тенг кучли!

Компонентлар

Лойиҳалашнинг иерархик тузилмаларини этади ва мумкин бўлган ечимларни қайта қўллаш имконини беради.

```
architecture rtl of xyz is
  -- Component declaration (analogous to the declaration of the entity)
  component par_n is
    generic(N : positive := 8); -- Generic with Default
    port(
      arg : in  std_logic_vector(1 to N);
      par : out std_logic
    );
  end component;
  -- Connections signals
  signal arg1, arg2 : std_logic_vector(5 downto 0);
  signal par1, par2 : std_logic;
  ...
begin
  -- Instantiation
  p1 : par_n      -- Named assignment of parameters / signals
    generic map(N => 6)
    port      map(arg => arg1, par => par1);
  p2 : par_n      -- Positional assignment of parameters / signals
    generic map(6)
    port      map(arg2, par2);
  ...
end rtl;
```

	ФИО	имзо	сана	“VHDL –аппарат курилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

Компонентлар II

Очиқ чиқувчилар open калитли сўзи билан боғланган
Агар мураккаб тузилмалар архитектуралар бўлса, қисман бажарилиш талаб этилиши мумкин:

```
architecture rtl of xyz is
...
-- work is implicit library to current project
for par1 : par_n use entity work.par_n(rtl_fast);
...
begin
-- Instantiation
par1 : par_n -- Known assignment of parameters / signals
generic map(N => 6)
port map(arg => arg1, par => par1);
...
end rtl;
```

Пакетлар

Жамлаш учун фойдали:

Локаль бўлмаган типлар ва константалар
Компонентларни эълон қилиш
Функция ва процедуралар
Интерфейс ва этишга бўлиниши:

```
package Paket is
subtype tALUOp is std_logic_vector(1 downto 0);
constant ALU_OP_ADD : tALUOp := "00";
...

function max(arg1 : integer; arg2 : integer) return integer;
end package Paket;

package body Paket is
function max(arg1 : integer; arg2 : integer) return integer is
begin
if arg1>arg2 then return arg1; end if;
return arg2;
end;
end package body Paket;
```

		ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Абдуллоев А				

Функция ва процедуралар

Харакатли моделлар учун жуда фойдали, аммо уларнинг таҳлил ускуналари қувватланиши чегараланган:

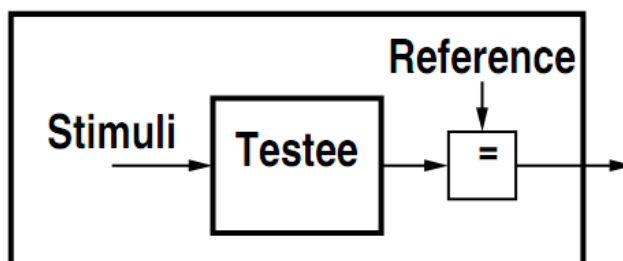
Масалан, доимий комбинаторикали ифодаларни ҳисоблашда.

Параметрлар турли режимларда келади:

Режим Синф параметр процедура функция

Синов стендлари

- ◆ Лойиҳалашни баҳолашда ва моделлаштириш орқали текширишда хизмат қилади.
- ◆ дизайнни компонент сифатида қабул қилади.
- ◆ Ҳаракатли моделнинг тадбиғи:
 - Стимуллар генерацияси
 - Чиқиш сигналлари текшируви



Чексиз жараёнлар

- ◆ Ҳис этиш рўйхатисиз эълон қилинади
- ◆ Чексиз циклда бажарилади.
- ◆ Кутиш даври узилиши керак.

```
wait on <Sensitivity list >;
wait for <Time >;
wait until <Condition >;
wait; -- forever
```

Wait for - делта циклининг кутилиши

Wait нинг бир нечта конструкциялари таҳлил этилиши мумкин:

Масалан:

```
wait until clk 'event and clk = '1'; -- only once in a process
```

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

Тасдиқ

Моделлаштириш вақтида статик ва динамик имкониятларни текшириш учун ишлатилади.

Мантқиқда таҳлил қилинмайди.

```
assert <Condition>           — Assertion  
  [report   <String >]      — Message  
  [severity (note|warning|error|failure)]; — Severity
```

Агар кенг тарқалмаса хабар чиқарилади, моделлаштириш тўхтатилади.

: Мисол

```
architecture tb_impl of tb is  
  signal arg : std_logic_vector(1 to 4);  
  signal par : std_logic;  
begin  
  par : par_n  
    generic map(N => 4)  
    port     map(arg, par);  
  
  process  
  begin  
    for i in 0 to 15 loop  
      arg <= to_stdlogicvector(i, 4);  
      wait for 10ns;  
      assert par = (arg(1) xor arg(2) xor arg(3) xor arg(4))  
        report "Parity_Mismatch"  
        severity error;  
    end loop;  
    report "Test_complete";  
    wait; — forever  
  end process;  
end tb_impl;
```

		ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Абдуллоев А				

Таҳлил учун ёрдамлар

◆ Яхши натижа яхши тушунчани талаб этади

Тузилма (блок-схемалар
Харакат (SM-графикалар

◆ Абстракциянинг юқори даражасида лойиҳалаш лозим.

Таҳлил ускунаси одатда акс эттириш технологиясини анча тўқис қилади.

◆ Буферли триггерли ассинхрон ишлар.

◆ FPGA: мураккаб мантиқ ўрнига кўплаб триггерларни қўллаш лозим. Ҳар бир мантиқий ячейка бирта триггерга эга.

One – hot кодлаштириш ҳолати оддий автоматлар учун қулай ҳисобланади.

Ўзгарувчи қийматлар

Функциялар

Моделлаштириш

Синтез

$I_s_X(s)$

s 0 ёки 1 ни акс эттиради.

ёЛҒОН

$I_s_X('X')$

рост

ёЛҒОН

to_X01

0, 1 ёки 'X' ('U', 'X', 'W', '-', 'Z')
ни акс эттиради

яҒОНАЛИГИ

$rising_edge(clk)$ clk' event and $to_X01(clk)='1'$ and $to_X01(clk' last_value)='0'$

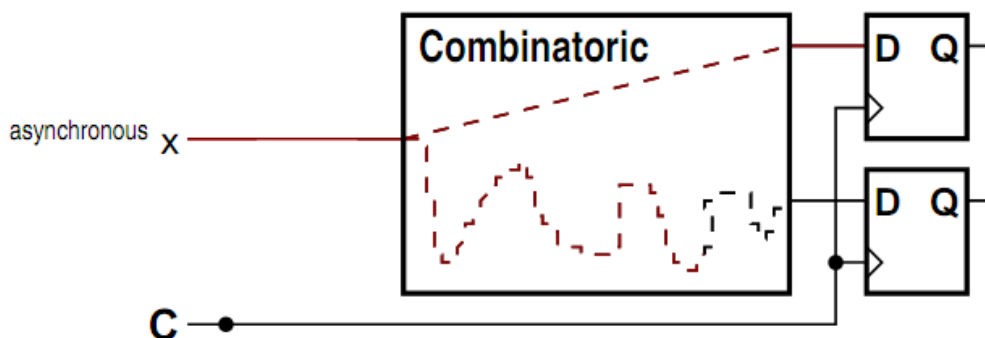
Доимо аҳамиятсиз ҳолатни қўлланг! Улар:

Моделлаштиришда нотўғри қийматли сигналлар ўрнига муҳим бўлмаган сигналлардан фойдаланади.

Сигнал ҳолати ҳужжати муҳим эмас.

Таҳлил ускунаси учун оптималлаштириш имкониятини очади.

Асинхрон киришлар



◆ маълум вазиятларида кириш ўтказгичлари

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Абдуллоев А			

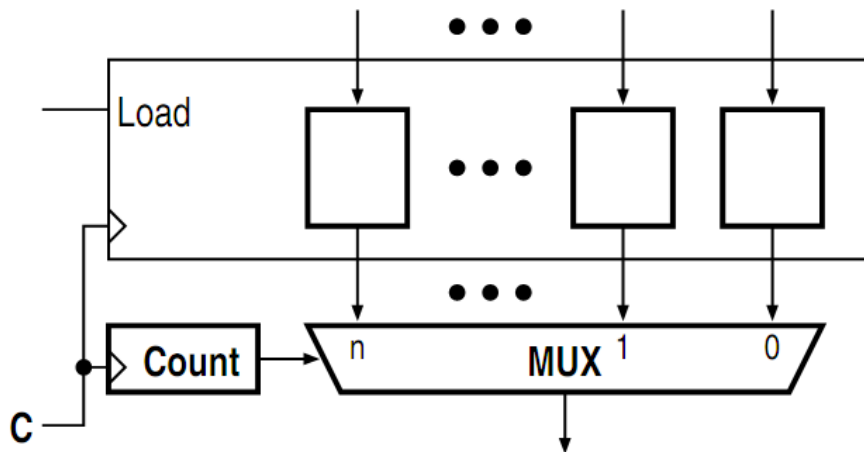
- ◆ Навбатдаги актив фронт комбинаторика орқали тарқалиши кафолатланмаган.
- ◆ Тизим ҳолатининг мос келмаслиги турли узунликдаги йўлларда учраши мумкин.

Асинхрон киришлар

- ◆ Тўхталиш регистрининг регистрацияси таҳлил ускунаси орқали аниқланади. Агар чегаралаш соатлар кониқарли бўлмаса огоҳлантирилади.
- ◆ Кўп ҳолларда ўзгарувчан унлик учун триггерларнинг иккинчи босқичи мавжуд.
- ◆ Эътибор қилинг: Ташлаш тугмалари ҳам асинхрон кириш ҳисобланади.

Массивлар устида такрорлаш

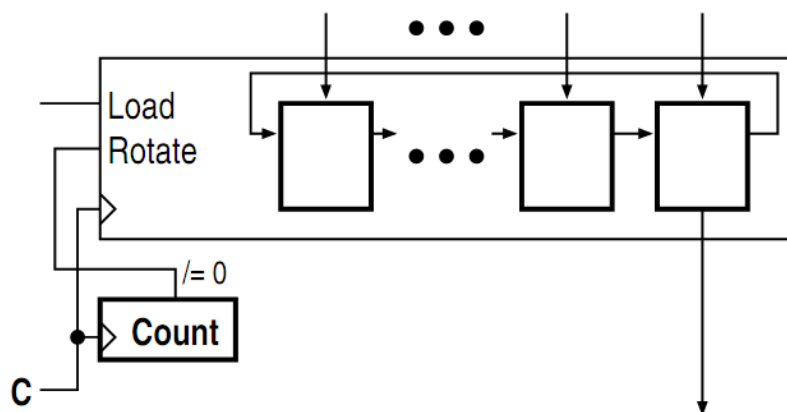
Массивга индекс бўйича муурожаатнинг ошиши мултиплексорнинг мураккаб схемалари ёки мантиқни қўшишни кўзда тутди.



Массивлар устида такрорлаш

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Абдуллоев А			

◆ Кўп ҳолларда яхши исобланади:
Силжиш регистри ёрдамида доимий тузилма



Параллеллаштириш, рақамлар тўлиши(арифметикали)...

Кенг селекторли импульслар ва таққослаш блоклари

Массив атрибутларидан фойдаланган ҳолда амалга оширишни кузатувда сақланг.

— *Wide OR*

```
y <= '1' when x /= (x'range => '0') else '0';
```

— *Wide AND*

```
y <= '1' when x = (x'range => '1') else '0';
```

— *Wide XOR*

```
process(x)
  variable t : std_logic;
begin
  t := '0'; — Neutral initialization
  for i in x'range loop
    t := t xor x(i);
  end loop;
  y <= t; — Final result assignment (signal)
end process;
```

— *Comparator*

```
y <= '1' when x = to_unsigned(42, x'length) else '0';
```

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Абдуллоев А			

Ҳисоблашнинг тугалланишини классик эълон қилиш

```
-- Counts: 0 .. CNT_CNT-1
process(clk)
begin
  if rising_edge(clk) then
    if rst = '1' then
      Cnt <= (others => '-');
    else
      if Init = '1' then
        Cnt <= (others => '0');
      elsif Step = '1' then
        Cnt <= Cnt + 1;
      end if;
    end if;
  end if;
end process;

-- AND over all (possibly inverted) digits of Cnt
Done <= '1' when Cnt = CNT_CNT-1 else '0';
```

Ҳисоблашнинг тугалланишини эълон қилишни оптималлаштириш

```
-- Counts: 0 .. CNT_CNT-1
process(clk)
begin
  if rising_edge(clk) then
    if rst = '1' then
      Cnt <= (others => '-');
    else
      if Init = '1' then
        Cnt <= (others => '0');
      elsif Step = '1' then
        Cnt <= Cnt + 1;
      end if;
    end if;
  end if;
end process;

-- AND over all expected '1' of Cnt (only for up-counter!)
Done <= '1' when (Cnt or not to_unsigned(CNT_CNT-1, Cnt'length))
  = (Cnt'range => '1') else '0';
```

	ФИО	имзо	сана	“VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

Ҳисоблашнинг тугалланишини ишорани алмаштириш орқали эълон илиш

```
-- Counts: CNT_CNT-2 .. -1
-- -> Cnt must have an extra bit for the sign!
process (clk)
begin
  if rising_edge (clk) then
    if rst = '1' then
      Cnt <= (others => '-');
    else
      if Init = '1' then
        Cnt <= to_signed(CNT_CNT-2, Cnt'length);
      elsif Step = '1' then
        Cnt <= Cnt - 1;
      end if;
    end if;
  end if;
end process;

-- No combinatorics!
Done <= Cnt(Cnt'left);
```

	ФИО	имзо	сана	“VHDL –аппарат курилмалари тавсифи учун дастурлаш тили” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Абдуллоев А				

III БОБ

Ҳаёт фаолияти хавфсизлиги

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти л матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиев Ш.И.				
Талаба	Мажидова З				

Гигиеник меъёрлаш, шовкин ва унинг инсон организмига таъсири.

Шовкин деб-инсонга таъсир этувчи хар хил частотали интенсивли товушларининг бирлигидан иборат булади. Физик нуктаи назардан товуш мухит бирлигини механик тебранишни билдиради.

Товуш тулкини товуш босими P , P_0 билан характерланади ва яна тебраниш тезлиги \diamond ж/м интенсивлиги J $Вт/ж^2$ ва частота бир секундга тугри келадиган тебраниш сони S , G_2 билан хам. Бирор бир мухитнинг товуш тебраниши кузгатувчи куч таъсирида унинг стагионар холатини бузилишдан вужудга келади. Мухитнинг бирор кисми мувозанат холатига нисбатан тебранади, чунки бу тебранишларнинг тезлиги товуш тулкинларини таркалиш тезлигидан анча кичик бу бирлик хоссасига боглик температура ва мухит зичлигига.

Товуш тебранишлари вақтида хавода паст ва юкори босим областлари хосил булади, бу-товуш босимини аниклайди. Товуш босими -деб тинч мухитда бир дакикадаги юкори босим ва урта босим орасидаги фарк тушинилади. Товуш тулкини таркалишида мухитда кувват кучиши юзага келади. Кучган кувват товуш интенсивлигини аниклайди. Мухитнинг бирор нукатсидаги вақт бирлигидаги уртача кувват оками, бир бирлик текислик юзасига тугри келувчи, нормал тулкин таркалиш йуналишига шу нуктадаги «товуш интенсивлиги» дейилади.

Товуш манбаи характеристикаси булиб «Товуш куввати P » хизмат килади ва бу ураб турган мухитда вақт бирлигида шовкин манбаидан келувчи товуш кувватнинг умумий сони билан аникланади. Инсонни эшитиш органи мухит бирлик тебраниш товушини эшитиши курунишида кабул килади. Бу 20дан 20000 Гг частадан иборатдир, лекин жуда керак булган эшитиш интервали 45дан 10000 Гг гача.

Инсон товуш кабул килиш унинг факат тебранишига боглик эмас, яна унинг интенсивлиги ва товуш босимига боглик. Инсон кабул киладиган энг кичик интенсивлик J_0 ва товуш босими P_0 «эшитилиш чегараси» дейилади. Чегаравий маъно J ва P товуш тебранишига боглик. Тебраниш 1000 Гг булган товуш босими $P_0 = 2 \cdot 10^{-5} P_0$ $J = 10^{-12} Вт/м^2$ тенг.

Товуш босими $2 \cdot 10^2 P_0$ ва товуш интенсивлиги $10 Вт/м^2$ булганда «Огриш чегараси» юзага келади. «Эшитилиш чегараси» ва «Огриш чегараси» уртасида эшитилиш жойида ётади. Улар орасидаги фарк жуда катта. Катта сонларда кийналмаслик учун олиш А. Г. Белл логарафмик шкаладан фойдаланишни тавсия килади. Товуш ёки шовкин интенсивлиги характерлайдиган логарафмик катталиқ, товуш ёки шовкин L интенсивлик даражаси номини олди, бу улчовсиз бирлик Беллда (Б) улчайди $L = \lg(J/J_0)$ бу ерда J шу нуктадаги товуш интенсивлиги : J_0 -эшитилиш чегарасига тугри келувчи товуш интенсивлиги, товуш босими квадратига пропорционал, бундан ёзиш мумкин.

$$L = \lg (P^2/P_0^2) = 2 \lg (P/P_0)$$

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

Шовкин интензивлик даражаси купинча акустик хисобланганда олинади, товуш босими даражаси эса шовкинни улчаганда ва унинг инсон булган таъсирида олинади. Хар хил шовкин манбанбаларидан товуш билим даражаси хакида тасаввур олиш учун 13 жадвалга каранг.

Шовкин манбаи	Тову босими, Га	Товуш босими даражаси, ДБ
0,3мм масофадан чигирлаш	$2 \cdot 10^{-3}$	40
1м масофадаги урт. Товушдаги суз	$2 \cdot 10^{-2} \dots \dots 1 \cdot 10^1$	60...74
Металл курувчи ва шахтада ишлайдиган станок (иш жойида)	$2 \cdot 10^{-1} \dots 2$	80...100
1м масофадаги Пневмопресслар	$2 \cdot 10$	120
Чикишдан 2-3 м масофадаги реактив двигателлар	$2 \cdot 10^2$ дан юкори	140 дан юкори

Инсонга таъсир килувчи ёкимсиз шовкин факат товуш босими даражасига боглик булмай, балки шовкин тебраниш диапозонига ва иш вақтидаги бир хил таъсирга боглик. Шовкинларни анализ ва улчаганда ва акустик хисоб утказганда бутун тебраниш диапозонни маълум кенгликдаги тебраниш йулларига булинади.

Тебраниш йули билан бу юкори чегарадаги тебраниши f_2 пастки f_1 тебраниш нисбатан иккига тенг. Бу «Октава» дейилади. Агар $f_2/f_1 = \sqrt[3]{2} = 1,26$ булса, у холда йул катталиги 1/3 октавага тенг. Гигиеник максатда купинча шовкин октаваларда текширилади, механика эса -1/3 тенг тенг булган частотани октавали йулларида. Хар бир частота йуллари характеристикаси булиб, урта геометрик частота f_{cr} хизмат килади, бу октава учун куйидаги куринишда хисобланади:

$$f_{cr} = \sqrt{f_1 f_2}$$

1/3 октава учун эса-куйидагича

$$f_{cr} = \sqrt[6]{2} f_1$$

Кенг йулли шовкинлар, кенглиги бир октавадан катта булган тухтовсиз спектрга эга бу оханг спекторда алохида охангда эшитилади.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

Вактбай характеристикаси буйича шовкин доимий ва доимий булмаганга булинади. Доимий шовкин деб-шунга айтиладики, бунда шовкин даражаси 8 соатлик иш кунда вақт буйича 5ДБА дан катта булмаган даражада узгаради. Доимий булган шовкин эса, товуш даражаси 8соатлик иш кунда 5 ДБАда катта булган даражада узгаради, шунинг билан шовкин тебранувчи вақт буйича узлукли ва импульснийга булинади.

Инсонни шовкиннинг субъектив қабул қилиши, товушни ёзилган физик характеристикаларидан анча фарқ қилади, чунки эшитувчи орган ҳар хил тебраниш товушларга бир хил сезгир эмас. Инсон паст тебраниш товушни худди шу интенсивликдаги катта тебраниш товушни жуда кичиги билан солиштиргандагидек қабул қилади.

Товуш баландлик даражаси бирлиги қилиб «ЮН» киритилган. У 1000 Гг частотали 1Б товуш эталоннинг интенсивлик даражаси фарқига тугри келади. Шундай қилиб, 1000 Гг тебранишда товуш баландлик даражасига (фонларда), товуш босим даражаси тугри келади (дейибелларда). Товуш баландлик товуш тебранишининг физиологик характеристикаси бўлиб хизмат қилади. Махсус физиологик текширишлар ёрдамида товуш баландлигига тенг эгри чизиклар қурилади, бу берилган товуш босим даражаси билан ихтиёрий товушнинг баландлик даражасини аниқлаш мумкин. (16 расм)

Шовкинни меъёрлаш икки йуналишда олиб борилади: гигиеник меъёрлаш ва шовкинли машиналарнинг характеристикасини меъёрлаш.

Бизнинг мамлакатда гигиеник меъёрлаш области буйича дунёда биринчи бўлиб, 1956 йил шовкин чегаралаш меъёрини урнатди. Хозирги вақтдаги иш жойдаги шовкин меъёрлари ГОСТ 12.1.003-83 «ССБТ Шовкин хавфсизликка булган умумий шартлар» буйича олиб борилади.

Доимий шовкинни меъёрлаш учун энг охириги шовкин спекторидан фойдаланилади. «Энг охириги спектор» - деб саккиз тебранишли октова йулли урта геометрик тебранишли 63,125,250,500,1000,2000,1000,8000 /и товуш босими даражаси нормативлари йигиндисига айтилади. Ҳар бир охириги спектор сон билан белгиланади бу октова йулли 1000 Гг урта геометрик частотали рухсат этилган шовкин даражасига тугри келади (ОДБ).

Масалан: ПС-85 дегани, октова йулли урта геометрик 1000 Гг тебранишли охириги спекторда рухсат этилган шовкин даражаси 85 ДВ тенг. Иш жойидаги доимий шовкинни характерлашни тугрирок баҳолаш учун ГОСТ товуш даражасини ДВА олишга рухсат беради, «А» шкала буйича улчанадиган шовкин қуйидаги формула буйича топилади.

$$L_A = 20 \lg (P_a/P_o)$$

Бу ерда: P_o -шовкин улчайдиганни корреляциясини ҳисобга олган ҳолатдаги урта геометрик товуш босими.

$P_o = 2 \cdot 10^{-5}$ -чегаравий урта геометрик товуш босими, Па.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули буйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

Ишлаб чиқариш шароитида купинча шовкин номаълум характерга эга булади. Бу шароитларда ДБА ларда урта товуш энергия маъноси характерлайдиган ва товуш даражасига эквивалент булган $L_{эқв}$ уртача катталиклардан фойдаланиш кулайроқдир. Бу даража махсус интеграллаштирилган шовкин улчагичлар билан улчанади ёки хисобланади.

Масалан 14 таблицада кенг йулли шовкин учун иш жойлардаги ишлаб чиқариш хоналардаги, корхона территориясидаги товуш даражаси ва товуш даражасига эквивалент октова йулли частотали рухсат этилган товуш босими даражаси келтирилган.

Стандарт бу зонадаги товуш даражасини 85 ДБА юкори деб ёзади ва махсус белгилар билан белгиланади, шу зонада ишлайдиганларни индивидуал химоя воситалари билан таъминланади. Стандарт хатто хар кандай октова йулли октовали товуш босим даражаси 135 ДВ катта зоналарга инсонларни биров киришни хам таъмиклайди.

Иш жойи	Октово йулли урта геометрик частотали, Гг товуш босим даражаси, Дб	Товуш даражаси ва эквивалент товуш даражаси ДБА
	63: 125: 250: 500: 1000: 2000: 4000: 8000	
Доимий иш жойи ва ишлаб чиқариш хоналаридаги ва корхона территориясидаги иш зоналари	99 92 86 83 80 78 76 71	85

Шовкиндан химояланишнинг усуллари ва воситалари.

Шовкиндан химояланишнинг методлари ва воситалари умумий синфлари ГОСТ 12.1.029-80 (СТ СЭВ 1928-79) «ССБТ. Шовкиндан химояланишнинг методлари ва воситалари. Классификация»да (синфлар) келтирилган.

Ишлаётганларни шовкиндан химоя қилиш коллектив методлари ва воситалари ёрдамида индивидуал воситал ёрдамида амалга оширилади. Биринчи навбатда коллектив воситаларидан фойдаланиш керак, бу шовкин манбаига нисбатан қуйидаги воситаларга булинади, шовкин хосил булган манбани камайтиради, химояланаётган объектдан манбагача булган шовкин тарқалишини камайтиради. Энг эффектив ташкилотчилик бу шовкин хосил булган манбани камайтиради. Шовкин хосил булгандан кейин курашиш кимматга тушади ва у купинча эффектив хисобланади. 17-расмда «Шовкиндан коллектив» химояланишнинг метод ва воситалари классификацияси, уларни қуллаш усули билан келтирилган.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентилятор матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

Шовкин хосил булиш манбаини камайтириш учун танланадиган воситалар шовкиннинг келиб чиқишига боғлиқ. Машина ва механизмларнинг асосий вибратион (механик) шовкин манбаи бўлиб, тишли узатмалар, подшибниклар, уралаётган металл элементлар ва бошқалардир. Тишли узатмаларни алмаштириш уларни шовкинсиз ишлашини камайтириш мумкин.

Масалан: Тукимачилик машиналарида ёғочдан килинган пластинка ва суъний теридан килинган шестерняларни кулланганда, шовкинни 5...10 ДБ га камайтиришга эришилди. Хатто алохида буладиган пулат деталларни чуянга алмаштирганда шовкин а...4ДБ камаяди. Тишларнинг қуриниши маънога эга булади.

Инфратовуш

Инфратовуш шовкин билан бир хил физик табиатнинг муҳит бирлигини механик тебранишини курсатади, лекин 20 гг кичик тебраниш билан тарқалади. Хавода инфратовуш ҳам ютилади, шунинг учун масофаларга тарқалиш қобилиятига эга. Инфратовуш, инфратовуш босими, интенсивлиги тебраниш тебраниши билан характерланади. Инфратовуш интенсивлигини даражаси ва инфратовуш босим дегибелларда (ДБ) инфратовуш.

Табиатнинг бир қанча қурилиши инфратовуш тебраниш нурланиши билан қузгатилади (ер қимирлаш, вулкон отилиши). Ишлаб чиқариш шароитида инфратовуш асосан қуйидагича хосил булади, секин оғрувчи катта габаритли (компрессорлар, дизелк двигателлари, вентиляторлар) 1 секундда 30 мартадан ҳам бўлмаган айланма ёки келиб қайтувчи ҳаракат қиладиган машина ва механизмлар ишлашидан хосил булади. Айрадинамика натижасида хосил бўлган инфратовуш газ ёки суюқлик оқимларидаги гурбалони жараёнларда хосил булади.

Инфратовуш бутун инсон организмга ёқимсиз таъсир қилади шу билан бирга эшитиш органда эшитиш сезгирлигини ҳамма тебранишда камайтиради. Инфратовуш тебранишининг худди физик оқлашдок қабул қилинади: тулиқиш хосил булади, бош оғриш, бош айланиш, эшитиш ва қуришни аниқлигини камайтиради, қурқиш ҳолати пайдо булади ва бошқалар.

Таъсир оғирлиги тебраниш диапазонига, товуш босимига, даражасига ва узоклигига боғлиқ. Инсон билан инфратовуш босим даражаси 150 Дб дан ортиқ паст тебранишлар ҳеч қучмайди.

Инсон организмда резонанс ҳолатлари пайдо бўлиши 2...15 Гг инфратовуш тебранишлари ёқимсиз оқибатига олиб келади, шу бин бирга 7Гг тебраниш энг хавфли ҳисобланади у мия алқфаритм биотики билан тугри келиши мумкин. СН 22-74-80 мувофик октава йулли урта геометрик тебранишлари 2,4,8 ва 16 Гг бўлган инфратовуш босим даражаси 105 ДБ ошмаслиги керак, 32 Гг тебранишли полосада 102 ДБ дан.

Инфратовушнинг ёқимсиз таъсирига қарши қураш, шовкинга қарши қураш билан бир хил йуналишда олиб бориш керак. Машина ёки агрегатларни лойхалаш босқичида инфратовуш тебраниш интенсивлигини камайтириш қупрок мақсадга мувофикдир.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

Тебраниш унинг инсон организмига таъсири ва гигиеник меъёрлаш.

Вибрагия бу кийин тебранувчан, бирор бир жисмни мувозанатлик ҳолатидан огирлик марказининг вақти вақти билан аралашиб кетишда пайдо буладиган жараёндин ва яна у тинч ҳолатда эга булган жисм формасини вақти вақтида узгаришидин.

Машина ва бошка жихозларнинг тебраниши оддий гармоник тебраниш булмаганлиги учун ишлаб чиқариш тебранишининг анализи катта кийинчиликлар тугдиради. Уларга аперидичлик ёки квазиперидичлик хосдин, купинча импульсли ёки туртки куринишидаги характерга эга булади.

Тебраниш кузгатувчи машиналар булмаган омборхоналар, ошхоналар, маиший хоналар, навбатчи хоналари ва бошка ишлаб чиқариши хоналари учун (умумий тебраниш категорияси 3в) рухсат этилган ифодани 0,4 коэффицентга купайтириш керак, даражани эса 8 ДБ га камайтириш керак. Завод бошқарувлардаги, конструктор бюролардаги, лабораториядаги контора хоналардаги иш жойи учун (умумий тебраниш категорияси 3г) рухсат этилган ифода 0,14 коэффицентга купайтирилган даражани эса 17 ДБ га камайтириш керак.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

Хулоса

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиев Ш.И.				
Талаба	Мажидова З				

ХУЛОСА

Менинг битирув малакавий ишим мавзуси “VHDL –аппарат қурилмалари тавсифи учун дастурлаш тили”модули бўйича презентацион маърузаларни яратиш деб номланади.

Ушбу презентацион маърузаларни тайёрлашда ҳам 158677- TEMPUS -1-2009- DE- TEMPUS – JPCR HEICA: Ўрта Осиёда информатика соҳасидаги олий таълим инициативалари лойиҳаси сайтига (www.heica.inf.tu-dresden.de) сайтига кўпроқ мурожаат қилдим. Маълумотномадан нафақат “Дастурланадиган мантиқий схема ва системаларни ишлаб чиқиш” фанидан маъруза модули ва тажриба машғулотларини бажаришда, балки мантиқий қурилмаларга дастур ёзишни истовчилар ҳам мустақил ўрганиш учун фойдалана оладиган қилиб яратдим. Ушбу презентацион маърузалардан ихтиёрий ўқитувчи ёки дастурчилар маълумотнома сифатида фойдаланиш имкониятига эга бўлишини таъминлашни ўз олдимга мақсад қилиб қўйдим ва бу мақсадимга эришдим.

Яратилган презентацион маърузаларни таълим жараёнида ва фойдаланувчилар маълумотномаси сифатида ҳам фойдаланса бўлади. Ҳозирча бу презентацион маърузалар ушбу соҳадаги илк ишим бўлиб, кейинчалик бу мавзунини янада кенгайтириб, электрон дарслик ва китоблар яратиш, республикамизга тарқатиш ниятидаман.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

Фойдаланилган адабиётлар

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиев Ш.И.				
Талаба	Мажидова З				

Фойдаланилган адабиётлар

1. Каримов И.А. «Жахон молиявий – иктисодий инкирози, Узбекистон шароитида уни бартаф этишнинг йуллари ва чоралари», Тошкент, «Узбекистон», 2009 й.
2. Карты обучения и контроля знания по технике безопасности, 2000г.
3. Бибило П.Н. Основы языка VHDL. - М.: "Либроком", 2009. - 328 с., ISBN: 978-5-397-00295-0.
4. Бибило П.Н., Авдеев Н.А. VHDL. Эффективное использование при проектировании цифровых систем. - М.: "Солон-Пресс", 2006. - 344 с., ISBN: 5-98003-293-2.
5. Бибило П.Н. Задачи по проектированию логических схем с использованием языка VHDL, 2010. - 328 с., ISBN: 978-5-382-01095-3.
6. Горелик В.Ю., Ермаков А.Е. Схемотехника ЭВМ. - М.: "Маршрут", 2008, ISBN: 978-5-89035-419-8.

7. [VHDL портал для студентов и разработчиков - Главная ... - бгуир](#)

www.bsuir.by/vhdl/

Приветствуем Вас на сайте, посвящённому языку проектирования VHDL ... vhdl.org/ - Интернет-сервер международного *форума* пользователей VHDL.

8. [Vhdl Описание - Форум ЮФУ](#)

forum.sfedu.ru > ... > [Работа и услуги](#) > [Ищу работника](#)

23 апр. 2013 г. – Необходим специалист в области программирования на языке VHDL (Quartus II) для описания мультиплексора-агрегатора ...

9. [Форум разработчиков электроники ELECTRONIX.ru > Что лучше под ...](#)

electronix.ru/forum/lofiversion/index.php/t625.html

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

		ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиев Ш.И.				
Талаба		Мажидова З				

Илова

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

```

library ieee;

use ieee.std_logic_1164.all;

use ieee.numeric_std.all;

entity project5 is
port(
reset:in bit;

clock:in bit;

led0:out std_logic
);

end project5;

architecture pro5 of project5 is

signal counter: unsigned(17 downto 0):=(others=>'0');

signal tmp: std_logic:='0';

begin

process (clock)

begin

if clock'event and clock='1' then

if reset='0' then

if (counter = x"249EF") then

tmp<=not tmp;

```

		ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Мажидова З				

```

end if;

if counter <= x"249EF" then

counter <= counter+1;

end if;

else

counter<=(others=>'0');

end if;

end if;

led0<=tmp;

end process;

end architecture;

```

		ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.					
Талаба	Мажидова З					

КИРИШ

					<i>Битирув малакавий иш</i>			
					“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш			
		ФИО	имзо	сана				
Битирув	МажидоваЗ.							
Раҳбар	Файзиёв Ш.И.							
Маслаҳ						Варак №	Вараклар	
						Бух МТИ		
Каф.м.	Раззоқов Ш.И.							

І БОБ

Назарий қисм

					<i>Битирув малакавий иш</i>			
					“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш			
		ФИО	имзо	сана				
Битирув	МажидоваЗ.							
Раҳбар	Файзиёв Ш.И.							
Маслаҳ						Варак №	Вараклар	
						Бух МТИ		
Каф.м.	Раззоқов Ш.И.							

II БОБ

Асосий қисм

					<i>Битирув малакавий иш</i>			
					“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш			
		ФИО	имзо	сана				
Битирув	МажидоваЗ.							
Раҳбар	Файзиёв Ш.И.							
Маслаҳ						Варак №	Вараклар	
						Бух МТИ		
Каф.м.	Раззоқов Ш.И.							

III БОБ

Ҳаёт фаолияти хавфсизлиги

					<i>Битирув малакавий иш</i>			
					“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш			
		ФИО	имзо	сана				
Битирув	МажидоваЗ.							
Раҳбар	Файзиёв Ш.И.							
Маслаҳ						Варак №	Вараклар	
						Бух МТИ		
Каф.м.	Раззоқов Ш.И.							

Хулоса

					<i>Битирув малакавий иш</i>			
					“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш			
		ФИО	имзо	сана				
Битирув	МажидоваЗ.							
Раҳбар	Файзиёв Ш.И.							
Маслаҳ						Варак №	Вараклар	
						Бух МТИ		
Каф.м.	Раззоқов Ш.И.							

Фойдаланилган адабиётлар

					<i>Битирув малакавий иш</i>			
					“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш			
		ФИО	имзо	сана				
Битирув	МажидоваЗ.							
Раҳбар	Файзиёв Ш.И.							
Маслаҳ						Варак №	Вараклар	
						Бух МТИ		
Каф.м.	Раззоқов Ш.И.							

Илова

					<i>Битирув малакавий иш</i>			
					“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш			
		ФИО	имзо	сана				
Битирув	МажидоваЗ.							
Раҳбар	Файзиёв Ш.И.							
Маслаҳ						Варак №	Вараклар	
						Бух МТИ		
Каф.м.	Раззоқов Ш.И.							