

**ЎЗБЕКИСТОН РЕСПУБЛИКАСИ ОЛИЙ ВА ЎРТА
МАХСУС ТАЪЛИМ ВАЗИРЛИГИ**

БУХОРО МУҲАНДИСЛИК-ТЕХНОЛОГИЯ ИНСТИТУТИ

«Информатика ва ахборот технологиялари» кафедраси

5140900 – Касб таълими («Информатика ва ахборотлар технологияси») таълим йўналиши бўйича

**“FPGA-оддий ҳолларда дастурланувчи венти
л матрицалари” модули бўйича презентацион
маърузаларни яратиш мавзусидаги**

БИТИРУВ МАЛАКАВИЙ ИШ

Бажарди:

**14-09 МИИТ гуруҳи талабаси
Мажидова Зайнура.**

Раҳбар:

Файзиев Ш.И.

Ҳимояга рухсат этилди

«_____» _____ 2013 й.

Кафедра мудири:

_____ доц. Раззоқов Ш.И.

БУХОРО – 2013

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти л матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиев Ш.И.				
Талаба	Мажидова З				

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиев Ш.И.				
Талаба	Мажидова З				

КИРИШ

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

КИРИШ

Менинг битирув малакавий ишим мавзуси «“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш» деб номланади.

Ҳозирги компьютер технологиялари ривожланиб бораётган вақтда фойдаланувчилар компьютерда фақатгина тайёр дастурлардан фойдаланибгина қолмай дастурлаш тилларини орқали ўзлари ҳам янги дастурлар яратишяпти. Бундан ташқари компьютер технологияларининг аппарат таъминотига ҳам муносиб, ўзгартиришлар киритиб, мавжуд компьютерларни янада техник кучайтириш имконига эга бўляпти. Шунинг учун ҳам президентимиз ахборот технологиялари, хусусан электроника соҳасини ривожланишига катта эътибор қаратмоқдалар. Баркамол авлодни тарбиялашда ахборот технологияларнинг хусусан интернет технологияларининг ўрни беқиёсдир. Электрон ҳисоблаш машиналари жамиятимизнинг барча соҳасига кириб бормоқда. Электроника ва электротехника соҳаларини ривожлантириш мақсадида, президентимиз томонларидан Навоий ва Жиззахда эркин индустриал савдо зоналарининг ташкил қилиниши таҳсинга сазовордир. Шу боисдан ахборот ва ахборот технологиялари йўналишида таҳсил олаётган талабаларга бир қатор компьютер архитектуралари фан сифатида қўйилган ва талабалардан ушбу фанни чуқур эгаллашлари талаб этилади.

Худди шу маънода турли соҳаларда фаолият юритаётган ходимлар ўзларининг кундалик амалларини автоматлаштирилган тизимлар орқали амалга оширишмоқда. Умуман олганда бугунги кунда ҳаётимизнинг барча соҳасига автоматлар ва компьютер технологиялари кириб борганлиги сир эмас. Бундай техник воситаларни ишлатиш ва уларни таъмирлаш, ўзгартириш борасида турли катта-кичик фирмалар ва мустақил дастурчилар шуғулланиб ҳамма соҳада кўзга кўринарли ютуқларга эришганлар. Барча ташкилотлар ўзларининг мавжуд техникасини ўз имкониятларидан келиб чиқиб кам харажат эвазига юқори сифатли техникаларга эга бўлишга ҳаракат қилишади. Бироқ компьютер қурилмаларини яратиш ва уларга дастурий таъминотлар ёзиш бугунги кунда энг машаққатли, аммо сердаромад соҳаси ҳисоблансада, бизда ҳали бундай мутахассислар жуда кам. Бугунги кунда бир қатор мамлакатлар ушбу соҳада етакчиликни қўлга олиб, бошқаларга бу борада ўртак бўлиб келмоқда. Бу борада бизнинг йўналишда ҳам 158677- TEMPUS -1- 2009- DE- TEMPUS – JPCR HEICA: Ўрта Осиёда информатика соҳасидаги олий таълим инициативалари лойиҳаси бўйича “Дастурланадиган мантикий схема ва системаларни ишлаб чиқиш” фани киритилди. Бу фанда асосан мантикий қурилмалар турлари ва уларни дастурлашни ўрганиш кўзда тутилган. Шу боис ушбу фаннинг “FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратилиши кераклиги шарт қилиб қўйилди. Мен ушбу дастурланадиган мантикий интеграл схемани ўрганиб чиқиб, шу презентацион маърузаларни яратишга уриниб кўрдим.

		ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Мажидова З				

Масаланинг қўйилиши. Яратилувчи презентацион маърузалар талабалар ёки дастурланадиган мантиқий интеграл схемаларни ўрганувчилар учун маълумотнома (қўлланма) сифатида ишлатилиши лозим.

Битирув малакавий ишнинг мақсади. “FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш.

Маърузалар талабаларда дастурланадиган мантиқий интеграл схемаларда ишлаш кўникмаларини ҳосил қилиш учун имконият яратади.

Мавзунинг долзарблиги. Ҳар бир компютери бор киши, компютерда мавжуд техник носозликларни аниқлаш ва уларни бартараф этишни, айниқса дасиурланадиган мантиқий интеграл схемаларда турли схемаларни лойиҳалаштиришни истайди. Бироқ бунинг учун ундан шу қурилма ва дастурлаш тили тўғрисида батафсил маълумотга эга бўлиш талаб қилинади. Ушбу муаммони олдин олиш мақсадида ушбу битирув малакавий иш қўйилди.

Кутилаётган натижалар. Яратилган маърузалардан Касбий таълим (Информатика ва ахборот технологиялари) йўналиши талабаларига бўйича “Дастурланадиган мантиқий схема ва системаларни ишлаб чиқиш” фанидан маъруза модули ва тажриба машғулотларини бажаришда маълумотнома сифатида фойдаланилиши мумкин.

Битирув малакавий иш Кириш, Мавзу бўйича назарий маълумотлар, Асосий қисм, Меҳнатни муҳофаза қилиш, Хулоса, Фойдаланилган адабиётлар рўйхати ва илова каби қисмлардан иборат.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиев Ш.И.				
Талаба	Мажидова З				

I БОБ

Назарий қисм

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

DE0 пакети

DE0 пакети ҳамма таркибий қисмлар ва DE0 платасидан иборат, бошқариш эса Microsoft Windows дастурий тамилотда ишлайдиган Компьютер орқали алоқа хосил қилади.

1.1 DE0 кўриниши



1. Paket кейинги қисмлардан иборат:
2. DE0 платаси
3. FPGA ни дастурлаш ва бошқариш учун USB кабель
4. Компакт диск:

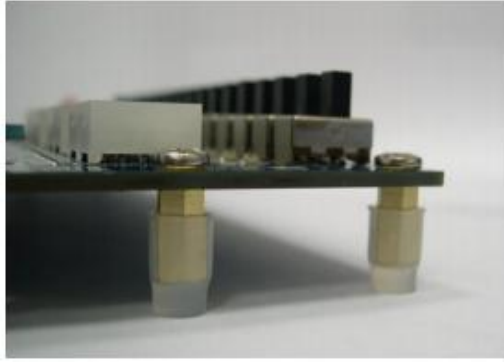
Altera II Quartus Web Edition The Nios dasturi; DE0 ҳақида маълумотномаси Control Panel утилитаси, бирнеча лаборатория ишлари, мисоллар

5. Пластмас қоплама
6. 7,5V ўзгармас кучланиш блок питанияси

1.2 DE0 платасини мотажи

- Плата учун барча устунчаларни резина оёқчаларни йиғишни расмда кўрсатилган

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				



Пластмас оёқчалар қўшимча химояни таъминлайди
DE0 нибузилиши ва уни таъминлаш хақида маълумотлар куйдаги манзилларга
мурожат қилишингиз мумкин

- Altera Corporation

101 Innovation Drive
San Jose, California, 95134 USA
Email: university@altera.com

- Terasic Technologies

No. 356, Sec. 1, Fusing E. Rd.
Jhubei City, HsinChu County, Taiwan, 302
Email: support@terasic.com
Web: DE0.terasic.com

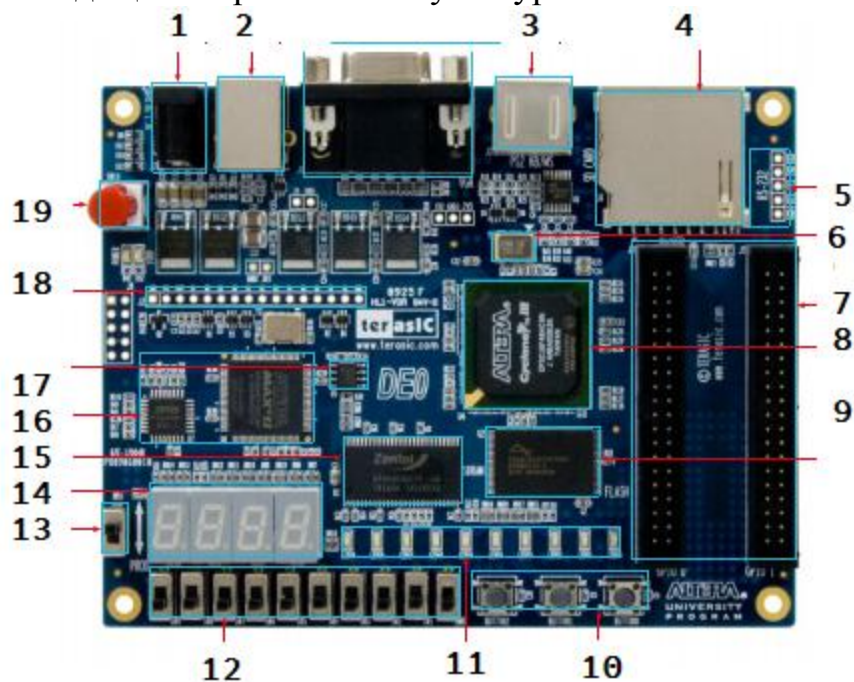
	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

Altera DE0 платаси

Бу бўлим DE0 платасини функционал ва ҳисоб-китоб хусусиятларни кўрсатади

2.1 Таркибий қисимлар ва жойлашуви

Расмда қисмларни жойлашуви кўрсатилган



- 1 –кучланиш DC кириш
- 2 – USB конектор
- 3 – PS/2порт
- 4 – CD card хотирасини жойлашуви
- 5 – RS – 232 интерфайси
- 6 – 50 MHz ли генератор
- 7 – кенгайтмалар жойлашуви
- 8 – Cyclone II EP3C16F484
- 9 – flash хотира (4 Мб)
- 10 – Тугмачалар
- 11 –Светодиодлар

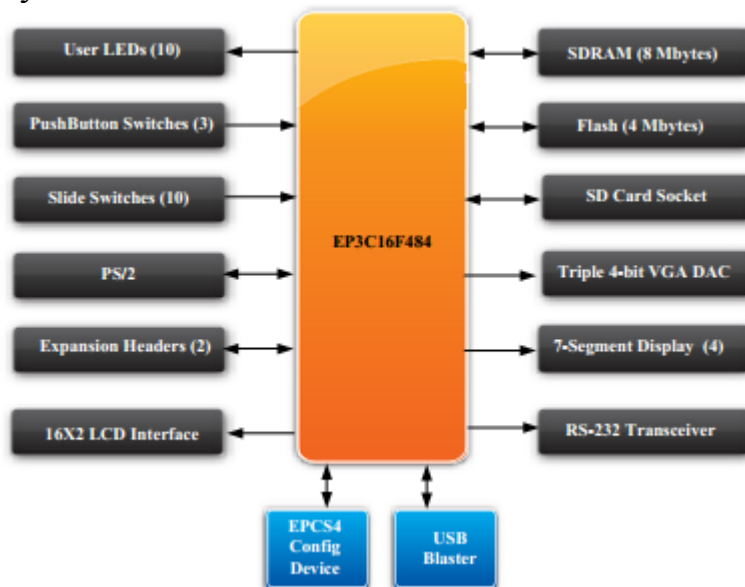
	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

- 12 – Ўзгартиргичлар
- 13 – RUN/PROG тугмачаси
- 14 – 7 Сегментли дисплей
- 15 – SDRAM 8Мб
- 16 – USB Цикл
- 17 – Altera EPCS 4 таркинийкурулма
- 18 - 16 x 2 LCD интерфейс
- 19 – ON/OFF ўзгартиргич

Шу платада бир қанча фойдали функциялар мавжуд, бунда оддийдан бошлаб мураккаб схемаларни амалга ошириш мумкин.

2.2 Блок схема

Платани кенг ишлашига Cyclone III FPGA қурилмаси ёрдам беради. Шунингдек айтганимиздек одий ва мураккаб схемаларни лойиҳалаш мумкин.



Cyclone III 3C16 FPGA

- 15 408 LE
- 56 М9 Кхотираблоти
- 504К бутун RAM Bit
- 56 та кўпайтиргичлар
- 4PLL
- 346 кириш ва чиқишлар
- Fine line BGA 484-контакт пакети

USB Бластер

- Дастурлаш ва API интерфейс дастури билан алоқа ва бошқариш қурилмаси
- Altera EPM240 CPLD

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

SDRAM

- Бир хил узатиш тезлиги 8 Мб, оператив хотирани Синхрондинамик микросхемаси
- 16 бит шинаси билан ишлаш имкониятига эга

FLASH хотира

- 4 Мб NOR FLASH-хотираси
- Байтни ишлаш имконияти 8 бит/ word (16 бит)

SD карта учун жойлашгич

- SD картага SPI ва SD замонавий кириш юллари

Тугмали ўзгартиргичлар

- 3 та тугмачалар
- Ўзгартиргичлар 10 та ўзгартиргичлар, туширилга нхолда 0, тескари холда 1
- Умумий фойдаланувчи интерфейслари
- 10 та светодиодчалар
- 4та 7 сегментли дисплейлар
- 16x2 LCD интерфейс

Вақт киритилиши

- 50 MHz Оссиллятор

VGA чиқиш

- 4 хонали DAC тармоқ резистор ёрдамида ишлаш
- D-sub15 контактли улагич
- 1280x1024 кенгликда 60 Hz ишлайди

Кетма-кет портлар

- RS-232 порти
- PS/2 порти

Иккита 40 контактли жойлашгичлар

- Cyclone III 72 контактликириш-чиқиш, ва 8 та кучланиш контактлари
- IDE интерфейсини улаш учун мўлжалланган

		ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Мажидова З				

2.3 DE0 платасини ёқиш

DE0 платасини хотирасида бир нечта битлар ишлаш функцияларини кўрсатиш учун киритилган. Бу хатоликсиз ишлашини аниқлаш учун керакдир. Аниқлаш кейинги қадамларда амалга оширилади:

1. USB кабельни портга улаб компьютерга улаймиз. Компьютер билан DE0 платаси орасида алоқа ўрнатиш учун USB Altera драйверини ўрнатамиз, ўрнатишқўлланмадакўрсатилган.
2. 7.5 Вольтли кучланиш адаптерини уланг
3. VGA мониторни DE0 платасиниVGA портига уланг
4. RUN/PROG ўзгартиргични RUN ҳолатига ўзгартиринг
5. ON/OFF тугмачасини ON ҳолатига ўзгартиринг.

Агарда ҳаммасини тўғри бажарган бўлсангиз Ҳамма светодиодлар, 7 сегментлар ва VGA монитор расмдаги ҳолатга келади



DE0 Бошқариш панели

DE0 платаси ўзини бошқариш панелига эга, бошқариш Компьютерда амалга оширилади. Компьютер плата билан USB кабель орқали алоқа қилади.

Фойдаланувчи функционал ҳолатини текшириб кўриши мумкин, ёки RTL код ёрдамида хатоликларни тўғирлаш мумкин.

3.1 Бошқариш пултини ўрнатиш

Бошқариш пултини дастурий таъминотини пакет билан келган компакт дискда топишингиз мумкин, “DE0_Control_panel” папкасини Компьютерга нусхалаб олинг.

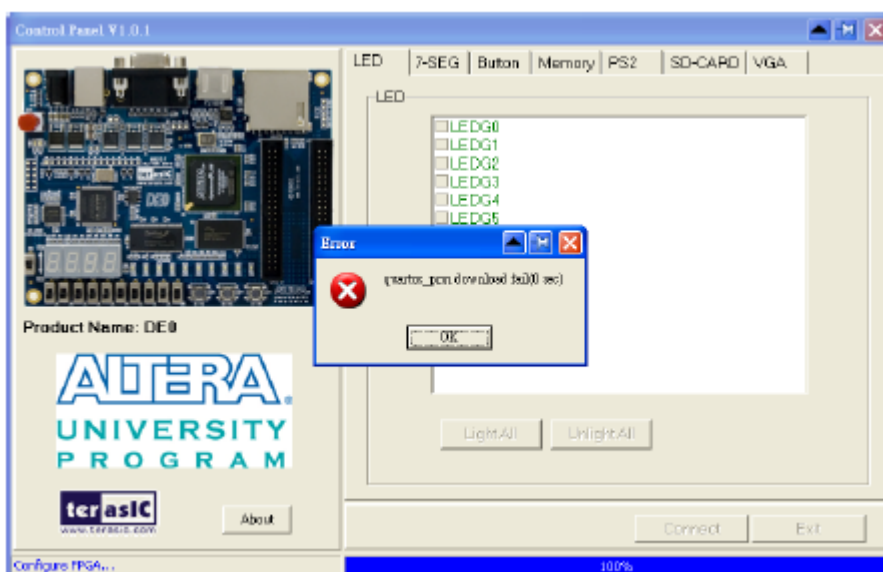
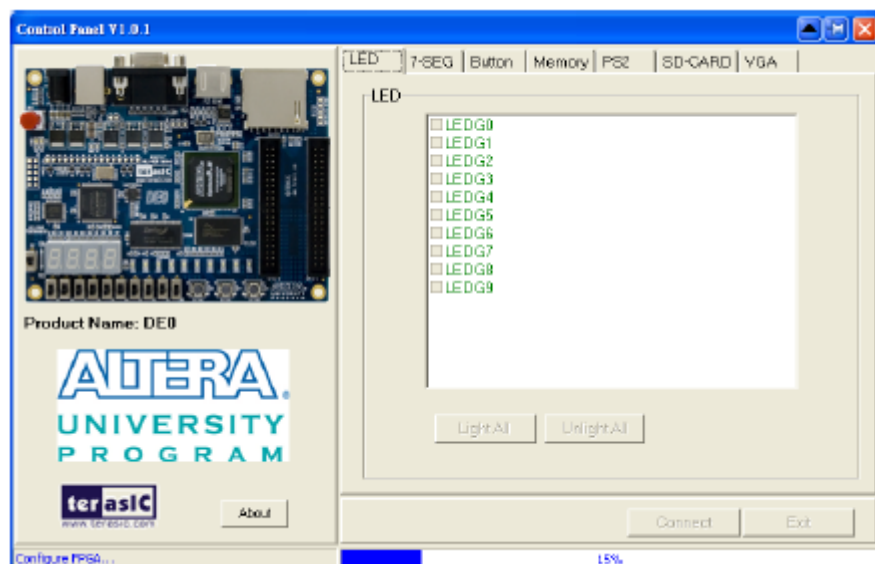
Бошқариш пултини ёқиш учун қадамлар:

1. Quartus II ва USB Бластер ўрнатилганлигини аниқланг
2. USB ва 7.5V кучланиш кабельларини уланг
3. RUN/PROG ўзгартиргични RUN ҳолатига келтиринг
4. DE0_Control_panel.exe дастурини ёқинг

		ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Мажидова З				

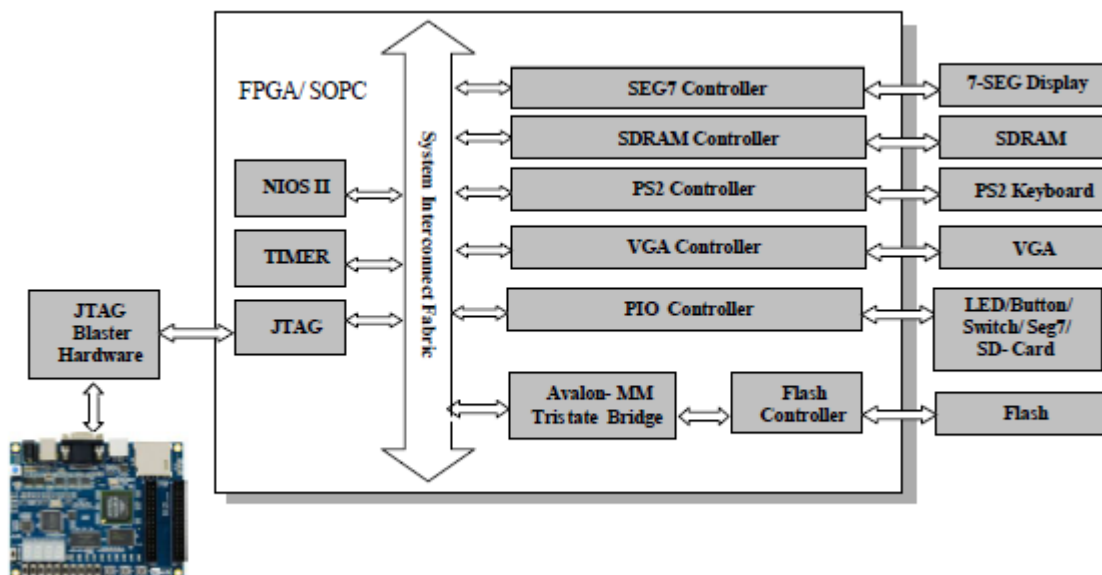
Ўқганидан кейин дастур автомат тарзда поток файлларини юклаболади. Агар Расмда кўрсатилгандек хатолик юз берса 1 қадамдан бошлаб 3 қадамгача қайта екшириб кўринг. Қайта дастурлаш учун *Download* тугмачасини босинг. Бошқариш пултидаги USB портни ёпмаганизча Quartus II дастурини ишлата олмайсиз.

5. Бошқариш панели тайёр бўлди, энди DE0 платасини ишлатсангиз бўлади.



Кейинги расмда DE0 платасини ишлаш принципи кўрсатилган.

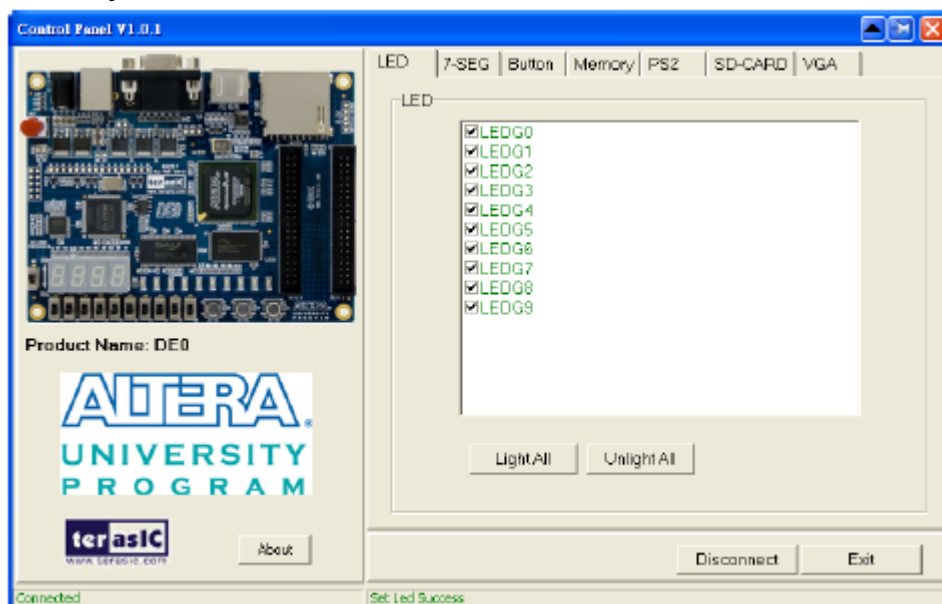
	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			



Бошқарувчи кодлар FPGA платасида амалга оширилади. Буни Компьютеримизда USB Бластер орқали махсус дастуримизда амалга оширамыз. Дастурда график интерфейс тушунарли ва соддалаштирилган. Бошқариш панели LED светодиодларни бошариш мумкин, 7 сегментли LCD дисплейни ҳам. Ҳамма уланган кабель, портлар SDкарта, маълумотни ўқиш ёзиш график тарзда VGA кабель орқали уланган LCD мониторимизда кўришимиз мумкин.

3.2 LED ва 7 сегментли дисплейларни бошқариш.

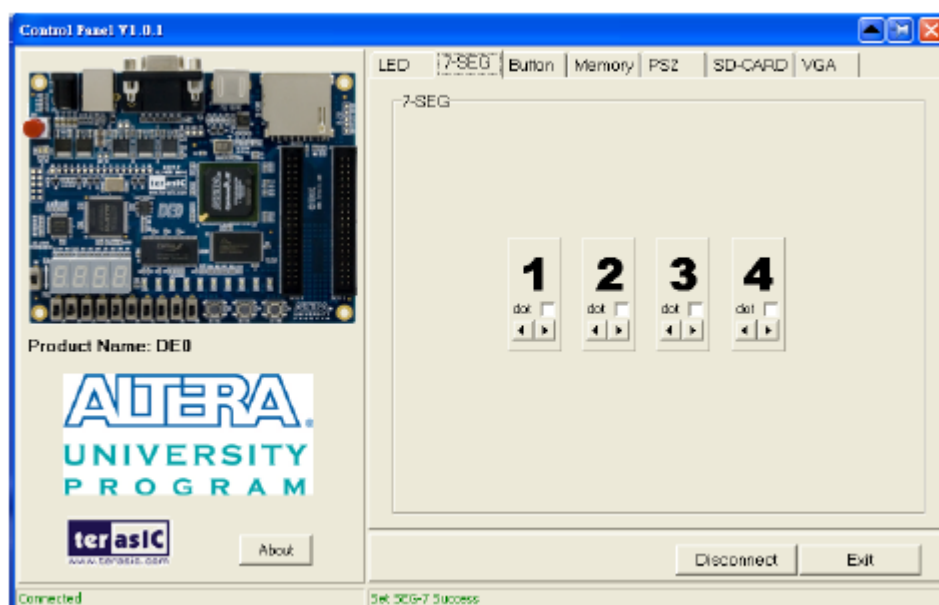
Айтганимиздек бошқарув панели LED ва 7 сегментли дисплейларни ҳам ўзгартириши мумкин



Расмда кўрсатилгандек Хохлаган LED диодчларни ёқиш учун керакли катакчани белгилаб амалга оширишингиз мумкин.

7 сегментли дисплейимиз ни эса расмда кўрсатилгандек бошқаришимиз мумкин.

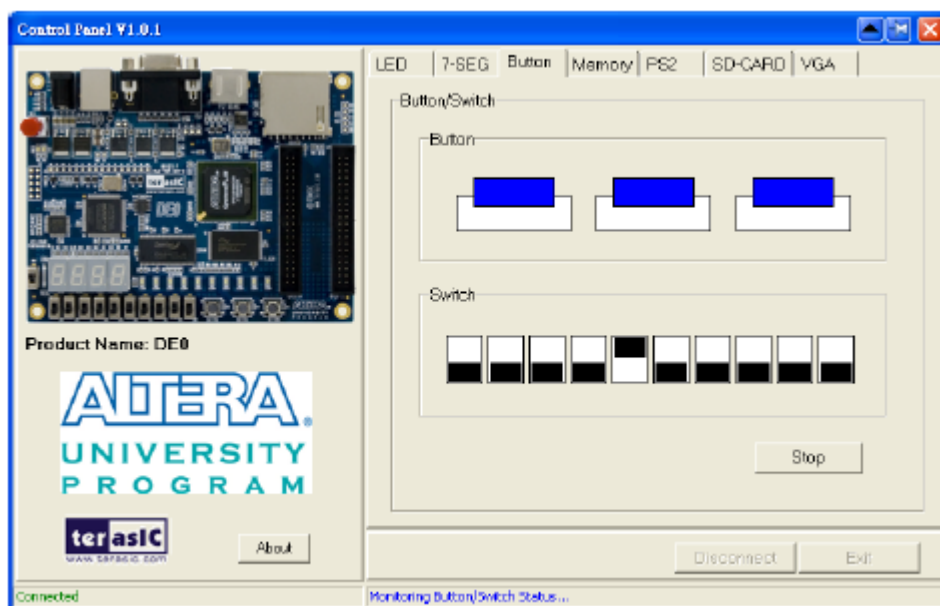
	ФИО	ИМЗО	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			



Бу барча бошқарув ишлар кўпинча LED ва 7 сегментли дисплей ишлаётганлигини аниқлаш учун ишлатишади.

3.3 Ўзгартиргичлар ва тугмачалар

Бошқариш Button белгини босиб ва очилган ойнада амалга оширилади. Бу хусусият ҳам ишли ҳолатини текшириш учун зарур.

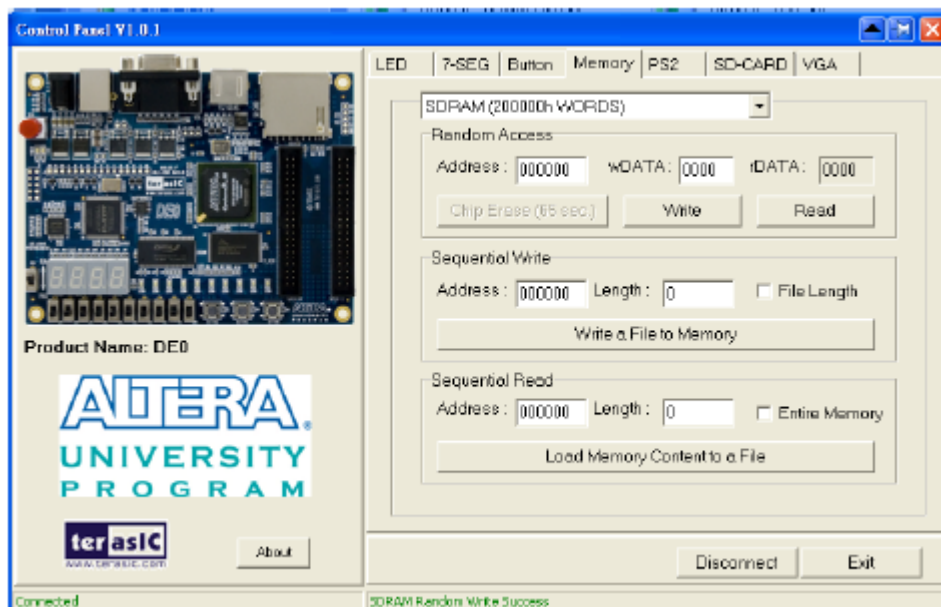


Бунда текшириш учун тумача ёки ўзгартиргичлар ниёқиб\ўчириб очилган ойнада СТАРТ тугмачасини босиб текширишимиз мумки, агар тумача ёки ўзгартиргичларни ёқилганҳолатида бўлса, ойнада ўзгариш кўрсатилади.

3.4 SDRAM ва FLASH Контроллер ва уни дастурлаш

Memory белгисини босиб SDRAM хусусиятларни ўзгартиришингиз мумкин.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			



SDRAMга 16 бит сўзни ёзишимиз мумкин, WRITE тугмасини босиб ёзишимиз мумкин, READ тугмачаси билан эса ўқишимиз мумкин.

Ёзиш кейинги қадамларда амалга оширилади:

1. Бошлангич манзилни кўрсатамиз Address.
2. Length жойига ёзиш учун бўлган байтлар сонини киритинг, агар ҳамма байтларни киритиш керак бўлса FILE LENGTH белгисини белгилаймиз.
3. Ёзиш учун WRITE A FILE TO MEMORY тугмачасини босамиз
4. Агар бирон бир файл сўраса уни жойлашган манзилни кўрсатинг

Бошқариш панели .hex (ASCII-файллар, матн файллар) кенгайтмасига эга файлларни ҳам юклаб олиши мумкин.

Ўқиш кейинги қадамларда амалга оширилади:

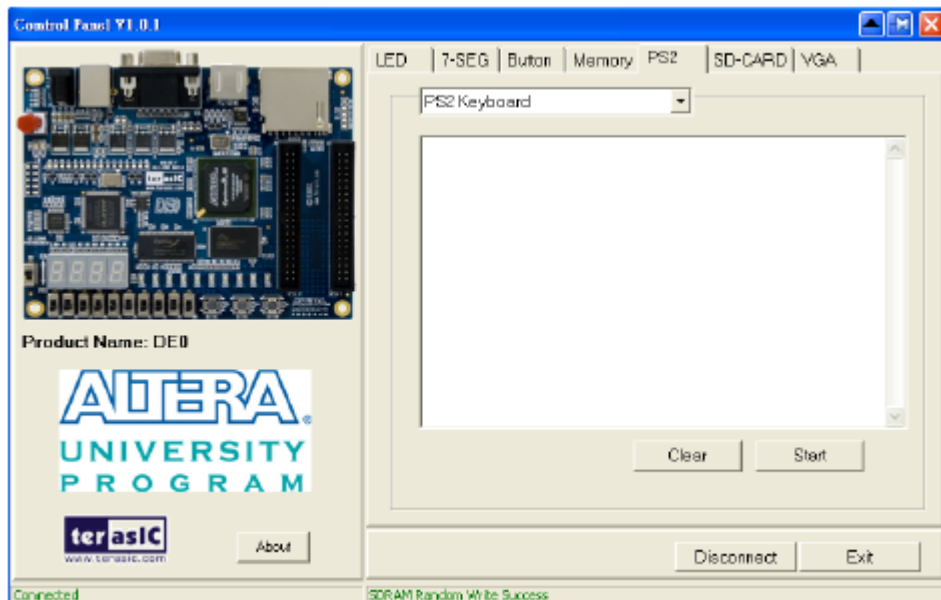
1. Бошлангич манзилни кўрсатамиз ADDRESS.
2. LENGTH жойига ёзиш учун бўлган байтлар сонини киритинг, агар ҳамма байтларни киритиш керак бўлса FILE LENGTH белгисини белгилаймиз.
3. Ёзиш учун MEMORY CONTENT TO A FILE тугмачасини босамиз
4. Агар бирон бир файл сўрайдиган бўлса уни жойлашган манзилни кўрсатинг

Худди шу тарзда FLASH хотирани ҳам бошқариш мумкин.

3.5 PS2 қурилмаси

PS2 қурилмаси киритиш қурилма клавиатурани, ёки сичкончани назарда тутишган, клавиатурани босилган тумачаси ASCII код бўлиб экранга чиқади.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			



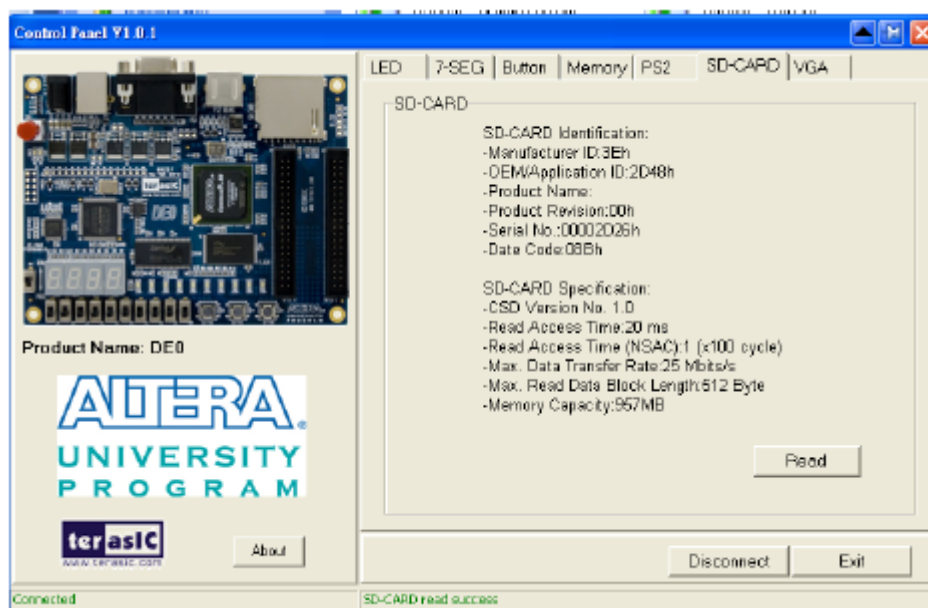
CTRL тугмачаси билан клавиатурани ишлашни текширишимиз мумкин. PS2 бошқариш кейинги қадамларда амалга оширилади:

1. PS2 белгини танлаймиз
2. PS2 клавиатурани улаймиз
3. Клавиатурани юклаболиши учун СТАРТ тугмасини босамиз
4. Ва хоҳлаган тугмани босиб ASII кодни ойнада кўришимиз мумкин, тамомлагандан кейин Стоп тугмасини босамиз.

3.6 SDКарта

Бу функция SDкартани маълумотни қайта ишлашни текширади SDкатрани бошқариш кейинги қадамларда амалга оширилади:

1. SD-CARD белгисини танлаймиз
2. SDкартани ўрнатамиз ва READ тугмасини босамиз, маълумот экранда кўрсатилади

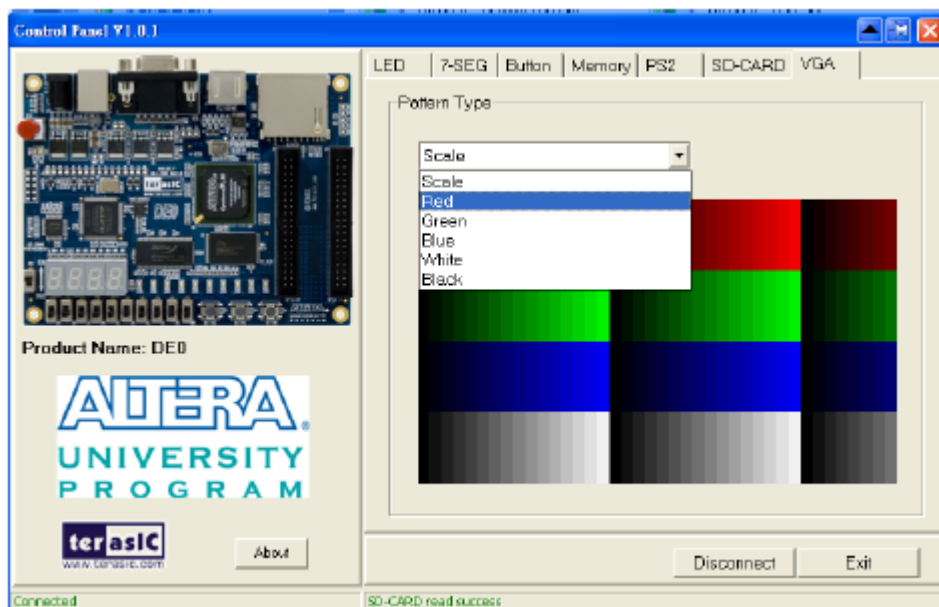


	ФИО	ИМЗО	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

3.7 VGA

Бу функция VGA (монитор) қурилмасини ишлашини текшириш учун керак. VGA қурилмасини бошқариш кейинги қадамларда амалга оширилади:

1. VGA белгисини танлаймиз
2. Мониторни VGA кабельни FPGA га улаймиз
3. Улаганимиздан кейин Монитор ойнада кўрсатилган расмни кўрсатади.



		ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиев Ш.И.					
Талаба	Мажидова З					

DE0 қўлланмаси

Бу мавзуда DE0 қурилмасини ишлатишни ўргатади.

4.1 Cyclone III FPGA конфигурацияси

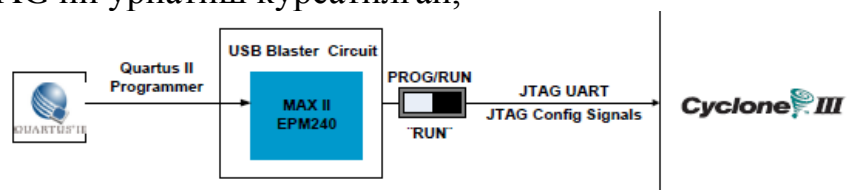
DE0 платасида EEPROM микросхемаси мавжуд, шу микросхема Cyclone III маълумотларини ўзида сақлайди. Шу маълумотлар хар сафар DE0 платасини ишлатганда юклаб олинади. Quartus II дастури ёрдамида айтилган маълумотларни кўриб чиқиш ва ўзгартиришимиз мумкин. Ўзгартириш икки хил дастурлашда амалга оширилади:

1. JTAG дастурлаш, бу дастурлашни асоси IEEE Test Action Group стандартидан олинган бўлиб конфигурацияли битлар оқими Cyclone III юкланади. FPGA маълумотларни фақат платада кучланиш бўлган вақти мавжуд, агар платани токдан узиб қойсак маълумот ўчирилади.
2. AS дастулаш, бу метод Актив кетма-кет дастурлаш деб номласак ҳам бўлади, бунда конфигурацияли битлар оқими Altera EPCS4 EEPROM микросхемасига юкданади. Бу платада электр кучланиш бўлмаган тақдирда ҳам маълумотларни сақлайди, ва платани ёқганимизда маълумотлар Cyclone III автоматик тарзда юкланади.

Икки дастурлаш методлар DE0 пакетидаги компакт дискдан батафсил маълумот олишингиз мумкин.

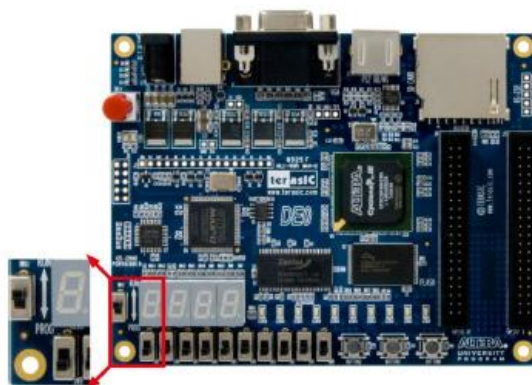
FPGA платасида JTAG режими

Расмда JTAG ни ўрнатиш кўрсатилган,



Улар кейинги қадамлардан иборат:

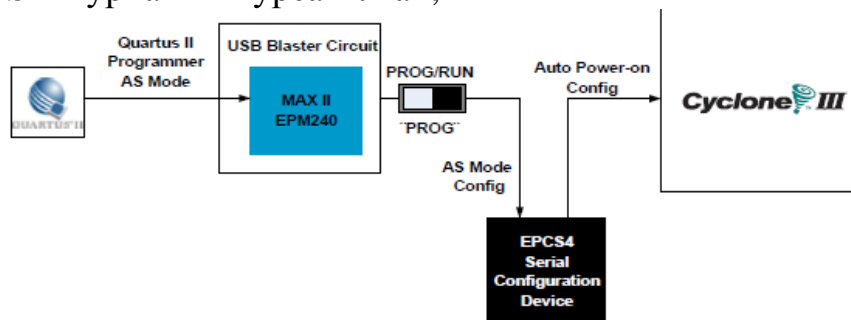
1. DE0 платасига Электр кучланиш уланг
2. USB бластерни DE0 платасига уланг



3. RUN/PROG ўзгартиргични RUN ҳолатига келтиринг
4. FPGA енди Quartus II дастурий таъминоти билан дастурланиши мумкин, юкланувчи файл *.sof* кенгайтмасига эга.

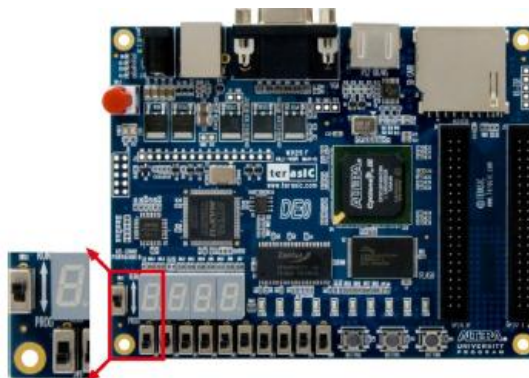
	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиев Ш.И.				
Талаба	Мажидова З				

EPCS4 қурилмасини AS режими
Расмда AS ни ўрнатиш кўрсатилган,



Улар кейинги қадамлардан иборат:

1. DE0 платасига Электр кучланишуланг
2. USB бластерни DE0 платасигауланг
3. RUN/PROG ўзгартиргични ПРОГ ҳолатига келтиринг



4. EPCS4 энди Quartus II датуйрийтаъминоти билан дастурланиши мумкин, юкланувчи файл .noc кенгайтмасига эга, дастурлаш тугагандан кейин RUN/PROG ўзгартиргични RUN ҳолатига келтиринг.

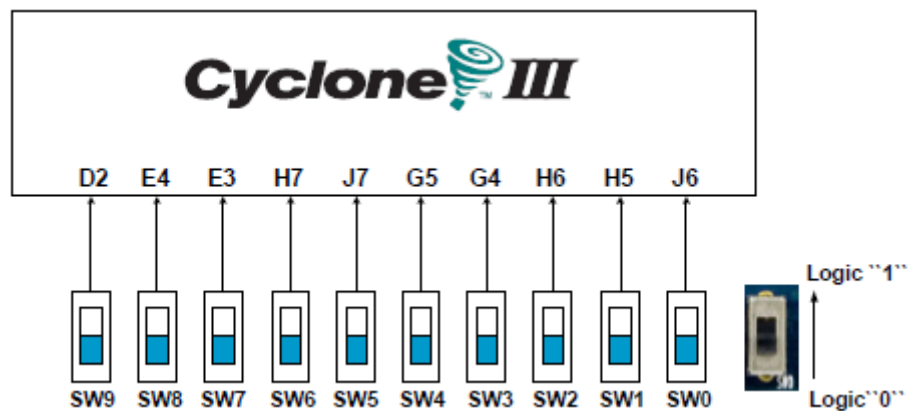
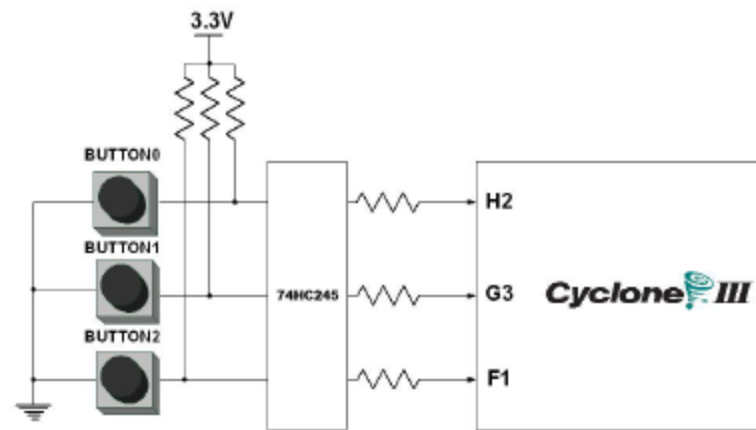
4.2 Ўзгартиргичларни ва LED светодиодларни ишлатиш

Платада 3 тугмали BUTTON0, BUTTON1, BUTTON3 номли ўзгартиргичлар мавжуд, улар тўғридан тўғри Cyclone III билан боғлиқ. Тугмача босилмаганда 3,3 вольт кучланишни узатади, тескари ҳолатда 0 вольт.

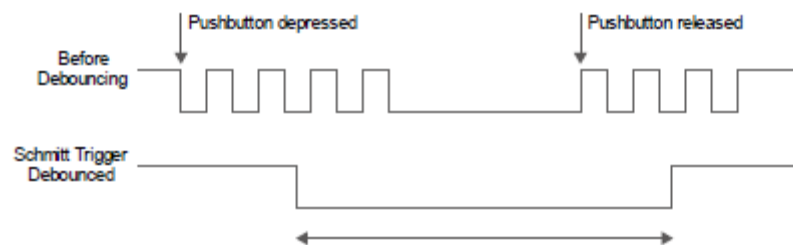
Бундан ташари 10 та ўзгартиргичлар бор. Улар кўпроқ ёқиш ёки ўчириш вазифсини бажарадилар. Булар Cyclone III контактлари билан уланган. Ўзгартиргичларнинг ҳолати ўчирилган яни пастгатуширилган пайтида 0 вольт кучланишни узатади, тескари ҳолатда 3,3 вольт.

Платада 10 та LED светодиодлар бор, ҳар бири Cyclone III билан бошқарилади. Бошқариш эса ўзгартиргичлар ёрдамида амалга оширилади.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			



Хар бир тугмачали ўзгартиргич Шмит Триггери деб айтишимиз мумкин



LED светодиодларни Cyclone III даги контактларни кейинги жадваларда кўришимиз мумкин

10та ўзгартигичлар учун

Signal Name	FPGA Pin No.	Description
SW[0]	PIN_J6	Slide Switch[0]
SW[1]	PIN_H5	Slide Switch[1]
SW[2]	PIN_H6	Slide Switch[2]
SW[3]	PIN_G4	Slide Switch[3]
SW[4]	PIN_G5	Slide Switch[4]
SW[5]	PIN_J7	Slide Switch[5]
SW[6]	PIN_H7	Slide Switch[6]
SW[7]	PIN_E3	Slide Switch[7]
SW[8]	PIN_E4	Slide Switch[8]
SW[9]	PIN_D2	Slide Switch[9]

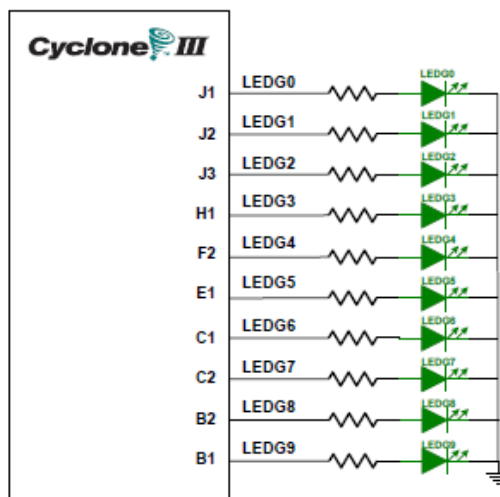
	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиев Ш.И.			
Талаба	Мажидова З			

3та тугмачали ўзгартиричлар учун

Signal Name	FPGA Pin No.	Description
BUTTON [0]	PIN_H2	Pushbutton[0]
BUTTON [1]	PIN_G3	Pushbutton[1]
BUTTON [2]	PIN_F1	Pushbutton[2]

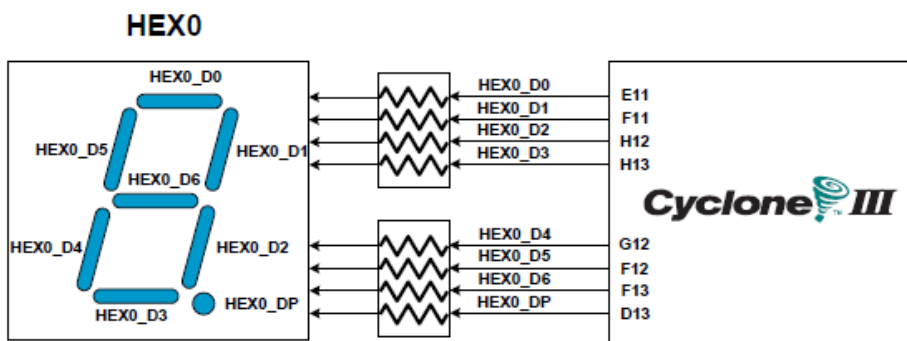
Cyclone III ва LED ларнинг алоқаси.

Signal Name	FPGA Pin No.	Description
LEDG[0]	PIN_J1	LED Green[0]
LEDG[1]	PIN_J2	LED Green[1]
LEDG[2]	PIN_J3	LED Green[2]
LEDG[3]	PIN_H1	LED Green[3]
LEDG[4]	PIN_F2	LED Green[4]
LEDG[5]	PIN_E1	LED Green[5]
LEDG[6]	PIN_C1	LED Green[6]
LEDG[7]	PIN_C2	LED Green[7]
LEDG[8]	PIN_B2	LED Green[8]
LEDG[9]	PIN_B1	LED Green[9]



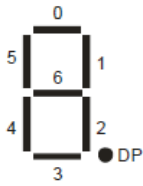
4.3 7 сегментли дисплей

Платада 7 сегментли дисплей мавжуд, улар 4 катачали символлар тўпламларини кўрсатиши мумкин. Улар ҳам Cyclone III тўғридан тўғри боғланган.



	ФИО	имзо	сана	
Раҳбар	Файзиёв Ш.И.			“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Талаба	Мажидова З			

Кўриб турганингиздек дисплей катакчаси 7 сегментлардан иборат, ва нуқтага ҳам эга.



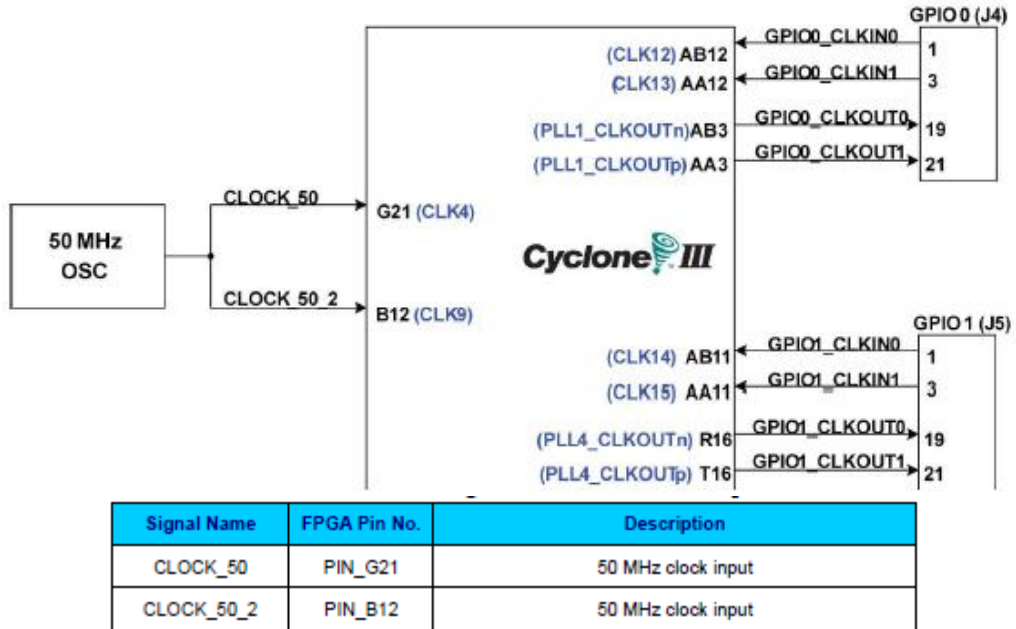
Уларни DE0 платасидаги “ping” деб номланган кўрсаткичларни сегментлар билан боғлиқлиги жадвалда кўрсатилган

Signal Name	FPGA Pin No.	Description
HEX0_D[0]	PIN_E11	Seven Segment Digit 0[0]
HEX0_D[1]	PIN_F11	Seven Segment Digit 0[1]
HEX0_D[2]	PIN_H12	Seven Segment Digit 0[2]
HEX0_D[3]	PIN_H13	Seven Segment Digit 0[3]
HEX0_D[4]	PIN_G12	Seven Segment Digit 0[4]
HEX0_D[5]	PIN_F12	Seven Segment Digit 0[5]
HEX0_D[6]	PIN_F13	Seven Segment Digit 0[6]
HEX0_DP	PIN_D13	Seven Segment Decimal Point 0
HEX1_D[0]	PIN_A13	Seven Segment Digit 1[0]
HEX1_D[1]	PIN_B13	Seven Segment Digit 1[1]
HEX1_D[2]	PIN_C13	Seven Segment Digit 1[2]
HEX1_D[3]	PIN_A14	Seven Segment Digit 1[3]
HEX1_D[4]	PIN_B14	Seven Segment Digit 1[4]
HEX1_D[5]	PIN_E14	Seven Segment Digit 1[5]
HEX1_D[6]	PIN_A15	Seven Segment Digit 1[6]
HEX1_DP	PIN_B15	Seven Segment Decimal Point 1
HEX2_D[0]	PIN_D15	Seven Segment Digit 2[0]
HEX2_D[1]	PIN_A16	Seven Segment Digit 2[1]
HEX2_D[2]	PIN_B16	Seven Segment Digit 2[2]
HEX2_D[3]	PIN_E15	Seven Segment Digit 2[3]
HEX2_D[4]	PIN_A17	Seven Segment Digit 2[4]
HEX2_D[5]	PIN_B17	Seven Segment Digit 2[5]
HEX2_D[6]	PIN_F14	Seven Segment Digit 2[6]
HEX2_DP	PIN_A18	Seven Segment Decimal Point 2
HEX3_D[0]	PIN_B18	Seven Segment Digit 3[0]
HEX3_D[1]	PIN_F15	Seven Segment Digit 3[1]
HEX3_D[2]	PIN_A19	Seven Segment Digit 3[2]
HEX3_D[3]	PIN_B19	Seven Segment Digit 3[3]
HEX3_D[4]	PIN_C19	Seven Segment Digit 3[4]
HEX3_D[5]	PIN_D19	Seven Segment Digit 3[5]
HEX3_D[6]	PIN_G15	Seven Segment Digit 3[6]
HEX3_DP	PIN_G16	Seven Segment Decimal Point 3

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

4.4 DE0 платасини CLOCK соат тузилиши

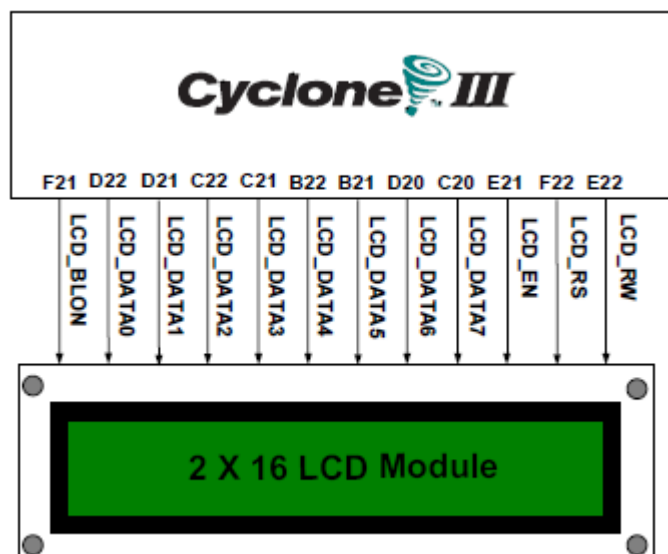
Бу CLOCK соат генератори 50MHz гача бўлган частотали такт сигналларни узатиб бериши мумкин. Платани ва фойдаланувчининг мантиқий хусусиятларини синхронизациялаштириш учун керак. Бундан ташқари синхроизатсителялашган кириш сигналлари автосозлаш фазасига(PLL) уланган.



4.5 LCD модулни ишлатиш

Платада 2x16 LCD интерфейси мавжуд. Бу LCD дисплей улаб ишлатиш учун ажратилган жой. Кейинги жадвалда дисплей билан платани алоқаси кўрсатилган.

Board Reference	Description
J2	2x16 LCD Module

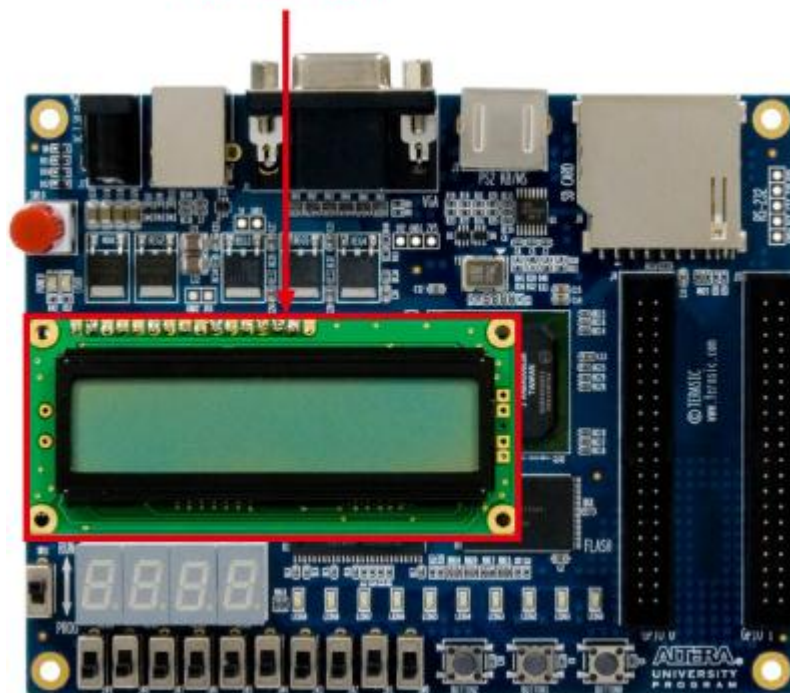


	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти́л матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

Signal Name	FPGA Pin No.	Description
LCD_DATA[0]	PIN_D22	LCD Data[0]
LCD_DATA[1]	PIN_D21	LCD Data[1]
LCD_DATA[2]	PIN_C22	LCD Data[2]
LCD_DATA[3]	PIN_C21	LCD Data[3]
LCD_DATA[4]	PIN_B22	LCD Data[4]
LCD_DATA[5]	PIN_B21	LCD Data[5]
LCD_DATA[6]	PIN_D20	LCD Data[6]
LCD_DATA[7]	PIN_C20	LCD Data[7]
LCD_RW	PIN_E22	LCD Read/Write Select, 0 = Write, 1 = Read
LCD_EN	PIN_E21	LCD Enable
LCD_RS	PIN_F22	LCD Command/Data Select, 0 = Command, 1 = Data
LCD_BLON	PIN_F21	LCD Back Light ON/OFF

Бу дисплей пакетга қўшилиб келмайди уни алохида харид қилишингиз мумкин. Бу дисплей бирон бир матн кўрсатиши мумкин.

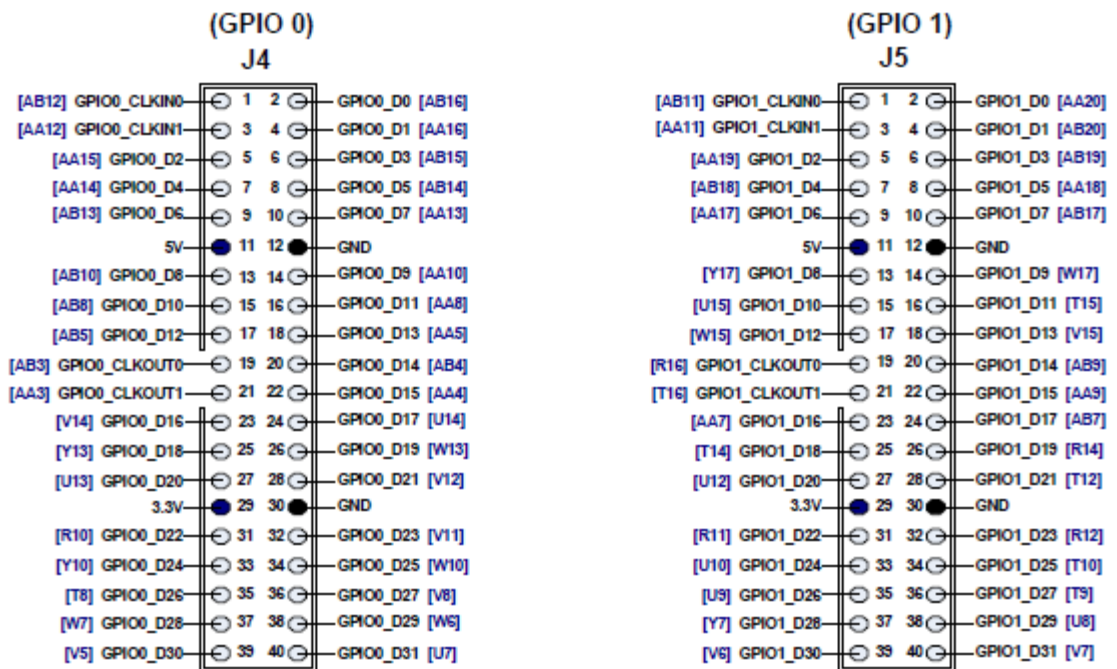
2 X 16 LCD Module



4.6 Expansion Header

Бу 40 контактли қурилма IDE инферфейсига эга бўлган қуринмалар билан ишлаш учун. Бунда 40 контактлардан 4 таси PLL автосозлагичга уланади. Плата +5В ва +3,3В ўзгармас кучланишни тامينлаб беради. Жадвалда контактлар алоқаси кўрсатилган.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			



Signal Name	FPGA Pin No.	Description
GPIO0_D[0]	PIN_AB16	GPIO Connection 0 IO[0]
GPIO0_D[1]	PIN_AA16	GPIO Connection 0 IO[1]
GPIO0_D[2]	PIN_AA15	GPIO Connection 0 IO[2]
GPIO0_D[3]	PIN_AB15	GPIO Connection 0 IO[3]
GPIO0_D[4]	PIN_AA14	GPIO Connection 0 IO[4]
GPIO0_D[5]	PIN_AB14	GPIO Connection 0 IO[5]
GPIO0_D[6]	PIN_AB13	GPIO Connection 0 IO[6]
GPIO0_D[7]	PIN_AA13	GPIO Connection 0 IO[7]
GPIO0_D[8]	PIN_AB10	GPIO Connection 0 IO[8]
GPIO0_D[9]	PIN_AA10	GPIO Connection 0 IO[9]
GPIO0_D[10]	PIN_AB8	GPIO Connection 0 IO[10]
GPIO0_D[11]	PIN_AA8	GPIO Connection 0 IO[11]
GPIO0_D[12]	PIN_AB5	GPIO Connection 0 IO[12]
GPIO0_D[13]	PIN_AA5	GPIO Connection 0 IO[13]
GPIO0_D[14]	PIN_AB4	GPIO Connection 0 IO[14]
GPIO0_D[15]	PIN_AA4	GPIO Connection 0 IO[15]

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

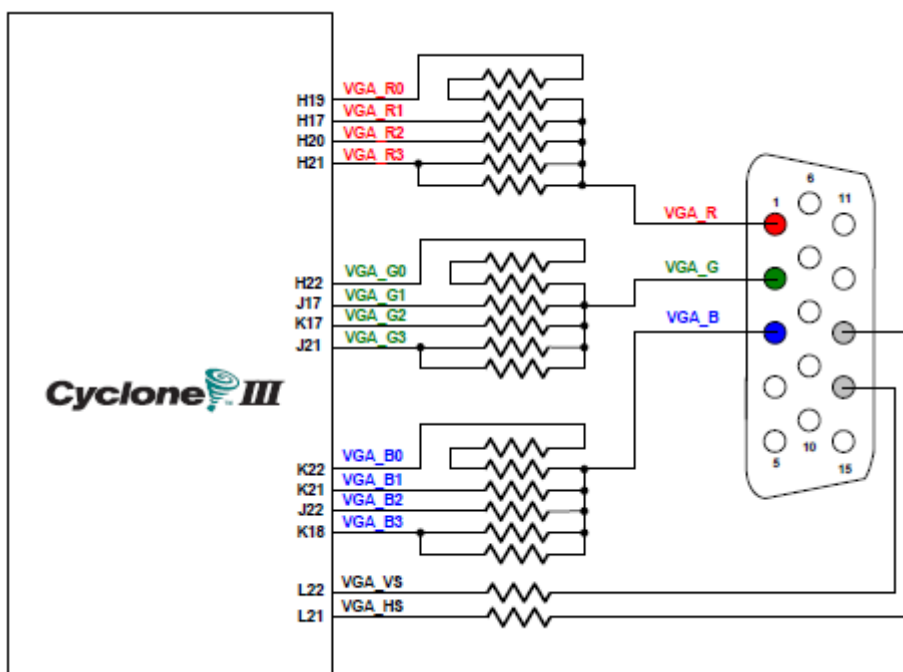
GPIO0_D[16]	PIN_V14	GPIO Connection 0 IO[16]
GPIO0_D[17]	PIN_U14	GPIO Connection 0 IO[17]
GPIO0_D[18]	PIN_Y13	GPIO Connection 0 IO[18]
GPIO0_D[19]	PIN_W13	GPIO Connection 0 IO[19]
GPIO0_D[20]	PIN_U13	GPIO Connection 0 IO[20]
GPIO0_D[21]	PIN_V12	GPIO Connection 0 IO[21]
GPIO0_D[22]	PIN_R10	GPIO Connection 0 IO[22]
GPIO0_D[23]	PIN_V11	GPIO Connection 0 IO[23]
GPIO0_D[24]	PIN_Y10	GPIO Connection 0 IO[24]
GPIO0_D[25]	PIN_W10	GPIO Connection 0 IO[25]
GPIO0_D[26]	PIN_T8	GPIO Connection 0 IO[26]
GPIO0_D[27]	PIN_V8	GPIO Connection 0 IO[27]
GPIO0_D[28]	PIN_W7	GPIO Connection 0 IO[28]
GPIO0_D[29]	PIN_W6	GPIO Connection 0 IO[29]
GPIO0_D[30]	PIN_V5	GPIO Connection 0 IO[30]
GPIO0_D[31]	PIN_U7	GPIO Connection 0 IO[31]
GPIO0_CLKIN[0]	PIN_AB12	GPIO Connection 0 PLL In
GPIO0_CLKIN[1]	PIN_AA12	GPIO Connection 0 PLL In
GPIO0_CLKOUT[0]	PIN_AB3	GPIO Connection 0 PLL Out
GPIO0_CLKOUT[1]	PIN_AA3	GPIO Connection 0 PLL Out
GPIO1_D[0]	PIN_AA20	GPIO Connection 1 IO[0]
GPIO1_D[1]	PIN_AB20	GPIO Connection 1 IO[1]
GPIO1_D[2]	PIN_AA19	GPIO Connection 1 IO[2]
GPIO1_D[3]	PIN_AB19	GPIO Connection 1 IO[3]
GPIO1_D[4]	PIN_AB18	GPIO Connection 1 IO[4]
GPIO1_D[5]	PIN_AA18	GPIO Connection 1 IO[5]
GPIO1_D[6]	PIN_AA17	GPIO Connection 1 IO[6]
GPIO1_D[7]	PIN_AB17	GPIO Connection 1 IO[7]
GPIO1_D[8]	PIN_Y17	GPIO Connection 1 IO[8]
GPIO1_D[9]	PIN_W17	GPIO Connection 1 IO[9]
GPIO1_D[10]	PIN_U15	GPIO Connection 1 IO[10]
GPIO1_D[11]	PIN_T15	GPIO Connection 1 IO[11]
GPIO1_D[12]	PIN_W15	GPIO Connection 1 IO[12]
GPIO1_D[13]	PIN_V15	GPIO Connection 1 IO[13]
GPIO1_D[14]	PIN_AB9	GPIO Connection 1 IO[14]
GPIO1_D[15]	PIN_AA9	GPIO Connection 1 IO[15]
GPIO1_D[16]	PIN_AA7	GPIO Connection 1 IO[16]

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

GPIO1_D[17]	PIN_AB7	GPIO Connection 1 IO[17]
GPIO1_D[18]	PIN_T14	GPIO Connection 1 IO[18]
GPIO1_D[19]	PIN_R14	GPIO Connection 1 IO[19]
GPIO1_D[20]	PIN_U12	GPIO Connection 1 IO[20]
GPIO1_D[21]	PIN_T12	GPIO Connection 1 IO[21]
GPIO1_D[22]	PIN_R11	GPIO Connection 1 IO[22]
GPIO1_D[23]	PIN_R12	GPIO Connection 1 IO[23]
GPIO1_D[24]	PIN_U10	GPIO Connection 1 IO[24]
GPIO1_D[25]	PIN_T10	GPIO Connection 1 IO[25]
GPIO1_D[26]	PIN_U9	GPIO Connection 1 IO[26]
GPIO1_D[27]	PIN_T9	GPIO Connection 1 IO[27]
GPIO1_D[28]	PIN_Y7	GPIO Connection 1 IO[28]
GPIO1_D[29]	PIN_U8	GPIO Connection 1 IO[29]
GPIO1_D[30]	PIN_V6	GPIO Connection 1 IO[30]
GPIO1_D[31]	PIN_V7	GPIO Connection 1 IO[31]
GPIO1_CLKIN[0]	PIN_AB11	GPIO Connection 1 PLL In
GPIO1_CLKIN[1]	PIN_AA11	GPIO Connection 1 PLL In
GPIO1_CLKOUT[0]	PIN_R16	GPIO Connection 1 PLL Out
GPIO1_CLKOUT[1]	PIN_T16	GPIO Connection 1 PLL Out

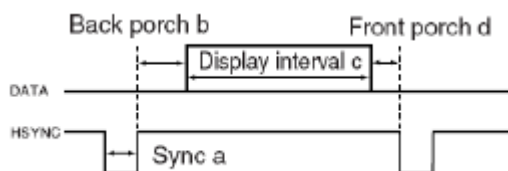
4.7 VGA

Плата 16 контактли D-SUB конекторёрмада VGA мониторлани улаб ишлаш имкониятига эга. Синхросигналлар тўғридан тўғри Cyclone III улаиб, ва 4 бит DAC курилмасида ўзгартирилиб аналог сигнал (қизил, кўк ва яшилранг) чиқориб беради. Расмда шу жараён кўрсатилган



Кейинги расмда VGA экранига чиқадиган синхросигналларнинг тартибланиши кўрсатилган Синхронизасиялашган кадр деса ҳам бўлади

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			



Жадвалда контактларни алоқа ва экранни кенгайтмалари кўрсатилган
Горизонтал синхронизация

VGA mode		Horizontal Timing Spec				
Configuration	Resolution(HxV)	a(us)	b(us)	c(us)	d(us)	Pixel clock(Mhz)
VGA(60Hz)	640x480	3.8	1.9	25.4	0.6	25 (640/c)

вертикал синхронизация

VGA mode		Vertical Timing Spec			
Configuration	Resolution (HxV)	a(lines)	b(lines)	c(lines)	d(lines)
VGA(60Hz)	640x480	2	33	480	10

Контактлар алоқаси

Signal Name	FPGA Pin No.	Description
VGA_R[0]	PIN_H19	VGA Red[0]
VGA_R[1]	PIN_H17	VGA Red[1]
VGA_R[2]	PIN_H20	VGA Red[2]
VGA_R[3]	PIN_H21	VGA Red[3]
VGA_G[0]	PIN_H22	VGA Green[0]
VGA_G[1]	PIN_J17	VGA Green[1]
VGA_G[2]	PIN_K17	VGA Green[2]
VGA_G[3]	PIN_J21	VGA Green[3]
VGA_B[0]	PIN_K22	VGA Blue[0]
VGA_B[1]	PIN_K21	VGA Blue[1]
VGA_B[2]	PIN_J22	VGA Blue[2]
VGA_B[3]	PIN_K18	VGA Blue[3]
VGA_HS	PIN_L21	VGA H_SYNC
VGA_VS	PIN_L22	VGA V_SYNC

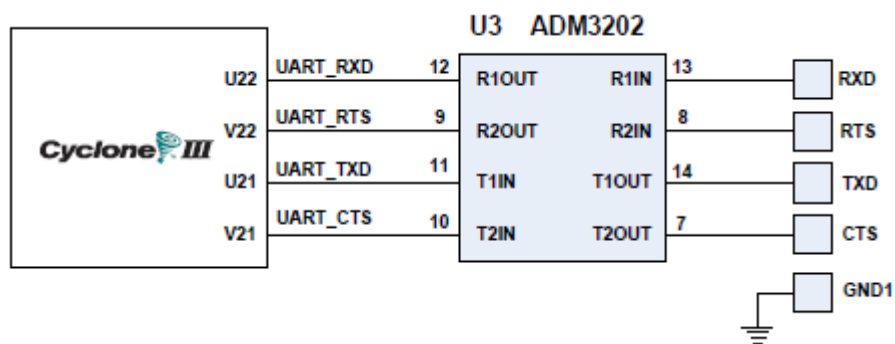
4.8 RS-232 Рақамли порт

Плата RS-232 қурилмаси билан алоқа ўрнатиш учун ADM3202 алоқа узатгичдан фойдаланадилар. Бу сигналлар назоратли сигналлар қаторасига қирадилар.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			



Бу сигналларни ишлатиш учун 9-контактли улагични D-Sub конектор ёки RS-232 кабель билан алоқа ўрнатиш керак. Кейинги расмда схемотехникаси кўрсатилган



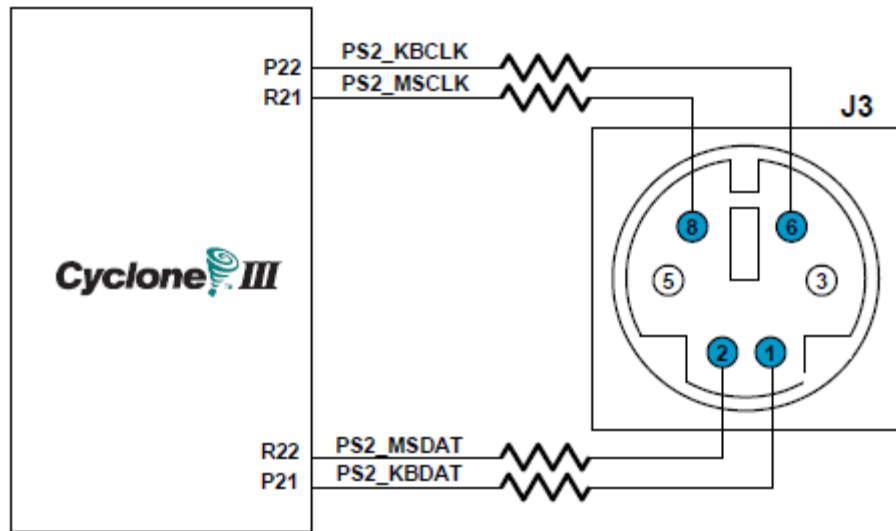
Контактларнинг алоқаси

Signal Name	FPGA Pin No.	Description
UART_RXD	PIN_U22	UART Receiver
UART_TXD	PIN_U21	UART Transmitter
UART_CTS	PIN_V21	UART Clear to Send
UART_RTS	PIN_V22	UART Request to Send

4.9 PS/2 рақамли порт

DE0 платаси стандарт интерфейсларнда ишлаши мумкин, булар сичқонча ва клавиатура бўлиши мумкин. Расмда FPGA платаси билан ва PS/2 порт билан алоқа ўрнатиш кўрсатилган

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

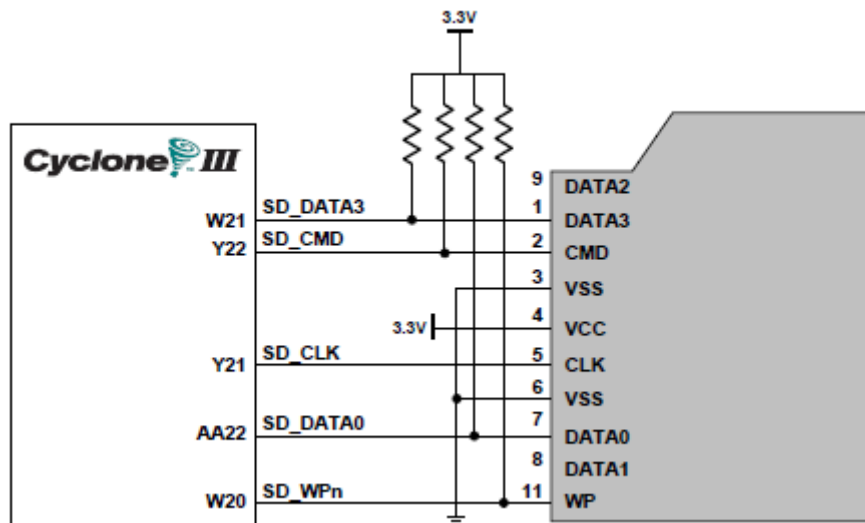


Жадвалда контактларнинг алоқалари кўрсатилган

Signal Name	FPGA Pin No.	Description
PS2_KBCLK	PIN_P22	PS/2 Clock
PS2_KBDAT	PIN_P21	PS/2 Data
PS2_MSCLK	PIN_R21	PS/2 Clock (reserved for second PS/2 device)
PS2_MSDAT	PIN_R22	PS/2 Data(reserved for second PS/2 device)

4.10 SD-CARD жойлашгичи (SOCKET)

Плата кўшимча хотирага ҳам уланиб ишлаш имкониятига эга.



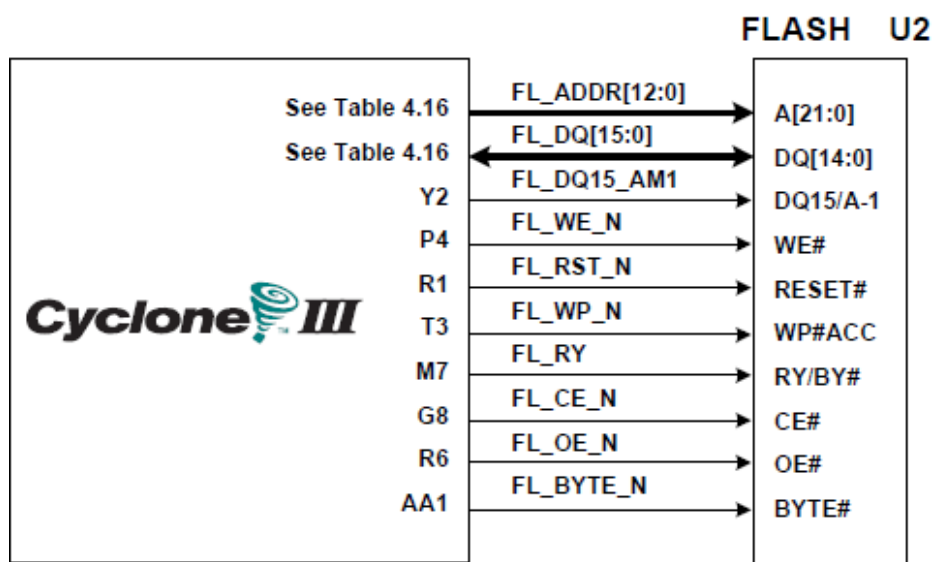
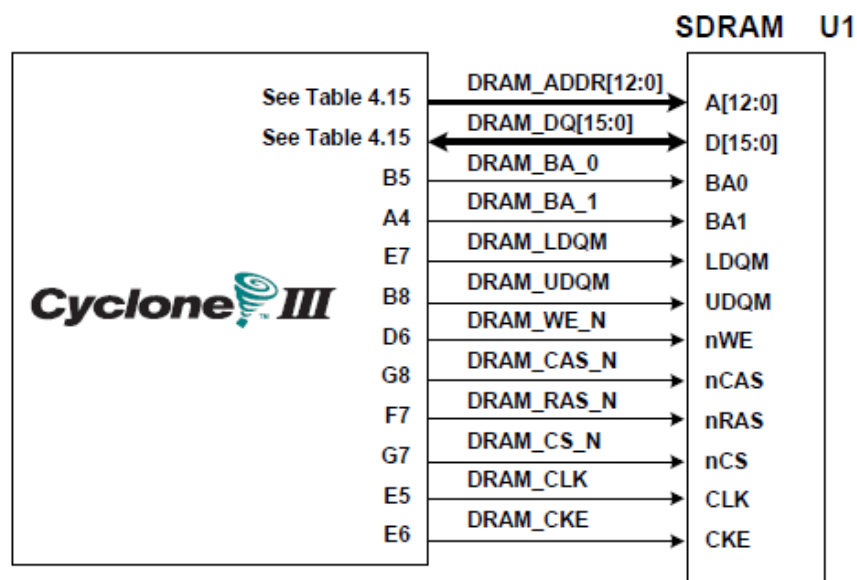
Кейинги жадвалда SOCKET ни контактларини алоқалари кўрсатилган.

Signal Name	FPGA Pin No.	Description
SD_CLK	PIN_Y21	SD Clock
SD_CMD	PIN_Y22	SD Command bidirectional signal
SD_DAT0	PIN_AA22	SD Data bidirectional signal
SD_DAT3	PIN_W21	SD Data bidirectional signal
SD_WP_N	PIN_W20	SD Card write protect signal (active low)

4.11 SDRAM ва FLASH ишлатиш

Платада 4 Мб FLASH ва 8 Мб SDRAM хотираларгаэга.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			



Жадвалда контактларни алоқаси кўрсатилган

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

Signal Name	FPGA Pin No.	Description
DRAM_ADDR[0]	PIN_C4	SDRAM Address[0]
DRAM_ADDR[1]	PIN_A3	SDRAM Address[1]
DRAM_ADDR[2]	PIN_B3	SDRAM Address[2]
DRAM_ADDR[3]	PIN_C3	SDRAM Address[3]
DRAM_ADDR[4]	PIN_A5	SDRAM Address[4]
DRAM_ADDR[5]	PIN_C6	SDRAM Address[5]
DRAM_ADDR[6]	PIN_B6	SDRAM Address[6]
DRAM_ADDR[7]	PIN_A6	SDRAM Address[7]
DRAM_ADDR[8]	PIN_C7	SDRAM Address[8]
DRAM_ADDR[9]	PIN_B7	SDRAM Address[9]
DRAM_ADDR[10]	PIN_B4	SDRAM Address[10]
DRAM_ADDR[11]	PIN_A7	SDRAM Address[11]
DRAM_ADDR[12]	PIN_C8	SDRAM Address[12]
DRAM_DQ[0]	PIN_D10	SDRAM Data[0]
DRAM_DQ[1]	PIN_G10	SDRAM Data[1]
DRAM_DQ[2]	PIN_H10	SDRAM Data[2]
DRAM_DQ[3]	PIN_E9	SDRAM Data[3]
DRAM_DQ[4]	PIN_F9	SDRAM Data[4]
DRAM_DQ[5]	PIN_G9	SDRAM Data[5]
DRAM_DQ[6]	PIN_H9	SDRAM Data[6]
DRAM_DQ[7]	PIN_F8	SDRAM Data[7]
DRAM_DQ[8]	PIN_A8	SDRAM Data[8]
DRAM_DQ[9]	PIN_B9	SDRAM Data[9]
DRAM_DQ[10]	PIN_A9	SDRAM Data[10]
DRAM_DQ[11]	PIN_C10	SDRAM Data[11]
DRAM_DQ[12]	PIN_B10	SDRAM Data[12]
DRAM_DQ[13]	PIN_A10	SDRAM Data[13]
DRAM_DQ[14]	PIN_E10	SDRAM Data[14]
DRAM_DQ[15]	PIN_F10	SDRAM Data[15]
DRAM_BA_0	PIN_B5	SDRAM Bank Address[0]
DRAM_BA_1	PIN_A4	SDRAM Bank Address[1]
DRAM_LDQM	PIN_E7	SDRAM Low-byte Data Mask
DRAM_UDQM	PIN_B8	SDRAM High-byte Data Mask
DRAM_RAS_N	PIN_F7	SDRAM Row Address Strobe
DRAM_CAS_N	PIN_G8	SDRAM Column Address Strobe
DRAM_CKE	PIN_E6	SDRAM Clock Enable
DRAM_CLK	PIN_E5	SDRAM Clock
DRAM_WE_N	PIN_D6	SDRAM Write Enable
DRAM_CS_N	PIN_G7	SDRAM Chip Select

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

Signal Name	FPGA Pin No.	Description
FL_ADDR[0]	PIN_P7	FLASH Address[0]
FL_ADDR[1]	PIN_P6	FLASH Address[1]
FL_ADDR[2]	PIN_P6	FLASH Address[2]
FL_ADDR[3]	PIN_N7	FLASH Address[3]
FL_ADDR[4]	PIN_N5	FLASH Address[4]
FL_ADDR[5]	PIN_N6	FLASH Address[5]
FL_ADDR[6]	PIN_M8	FLASH Address[6]
FL_ADDR[7]	PIN_M4	FLASH Address[7]
FL_ADDR[8]	PIN_P2	FLASH Address[8]
FL_ADDR[9]	PIN_N2	FLASH Address[9]
FL_ADDR[10]	PIN_N1	FLASH Address[10]
FL_ADDR[11]	PIN_M3	FLASH Address[11]
FL_ADDR[12]	PIN_M2	FLASH Address[12]
FL_ADDR[13]	PIN_M1	FLASH Address[13]
FL_ADDR[14]	PIN_L7	FLASH Address[14]
FL_ADDR[15]	PIN_L6	FLASH Address[15]
FL_ADDR[16]	PIN_AA2	FLASH Address[16]
FL_ADDR[17]	PIN_M5	FLASH Address[17]
FL_ADDR[18]	PIN_M6	FLASH Address[18]
FL_ADDR[19]	PIN_P1	FLASH Address[19]
FL_ADDR[20]	PIN_P3	FLASH Address[20]
FL_ADDR[21]	PIN_R2	FLASH Address[21]
FL_DQ[0]	PIN_R7	FLASH Data[0]
FL_DQ[1]	PIN_P8	FLASH Data[1]
FL_DQ[2]	PIN_R8	FLASH Data[2]
FL_DQ[3]	PIN_U1	FLASH Data[3]
FL_DQ[4]	PIN_V2	FLASH Data[4]
FL_DQ[5]	PIN_V3	FLASH Data[5]
FL_DQ[6]	PIN_W1	FLASH Data[6]
FL_DQ[7]	PIN_Y1	FLASH Data[7]
FL_DQ[8]	PIN_T5	FLASH Data[8]
FL_DQ[9]	PIN_T7	FLASH Data[9]
FL_DQ[10]	PIN_T4	FLASH Data[10]
FL_DQ[11]	PIN_U2	FLASH Data[11]
FL_DQ[12]	PIN_V1	FLASH Data[12]
FL_DQ[13]	PIN_V4	FLASH Data[13]
FL_DQ[14]	PIN_W2	FLASH Data[14]
FL_DQ[15_AM1]	PIN_Y2	FLASH Data[15]
FL_BYTE_N	PIN_AA1	FLASH Byte/Word Mode Configuration
FL_CE_N	PIN_N8	FLASH Chip Enable
FL_OE_N	PIN_R8	FLASH Output Enable
FL_RST_N	PIN_R1	FLASH Reset
FL_RY	PIN_M7	LASH Ready/Busy output
FL_WE_N	PIN_P4	FLASH Write Enable
FL_WP_N	PIN_T3	FLASH Write Protect /Programming Acceleration

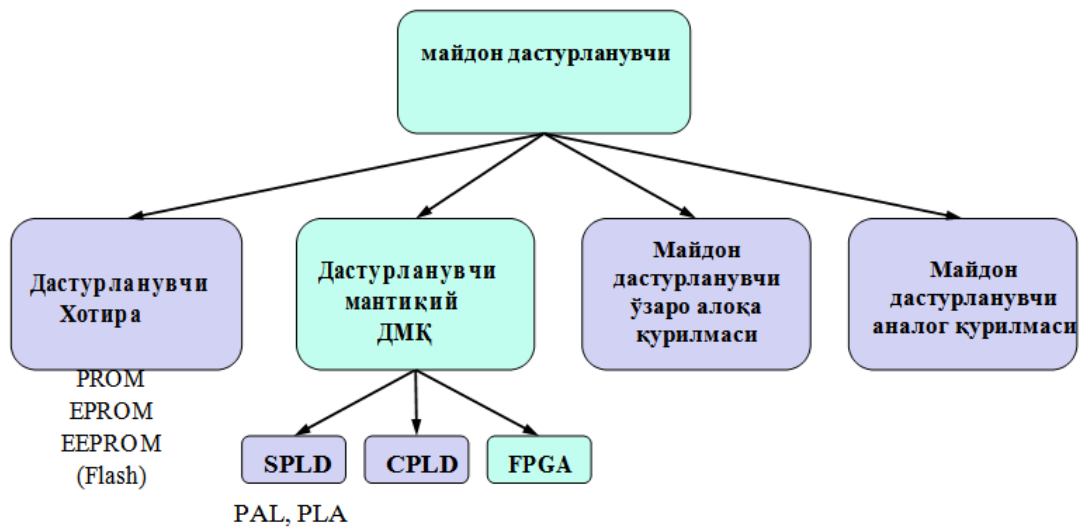
	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

II БОБ

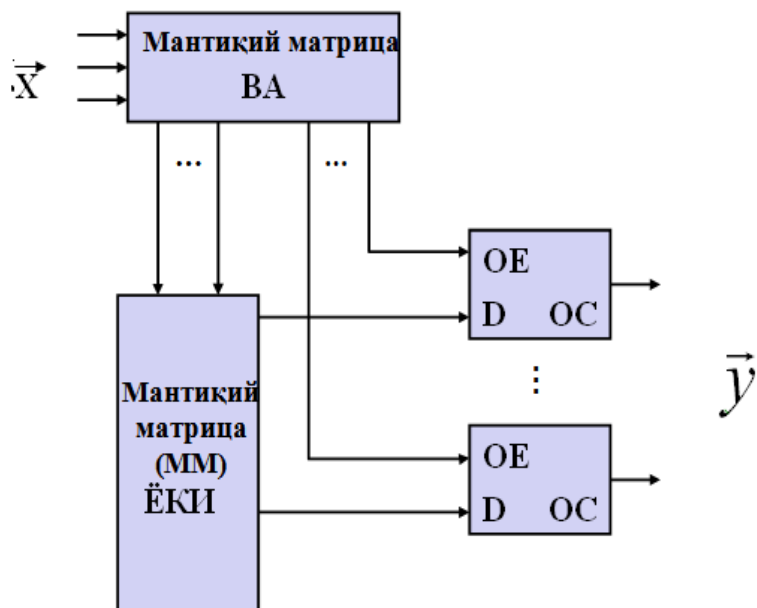
Асосий қисм

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

2 Такрорлаш

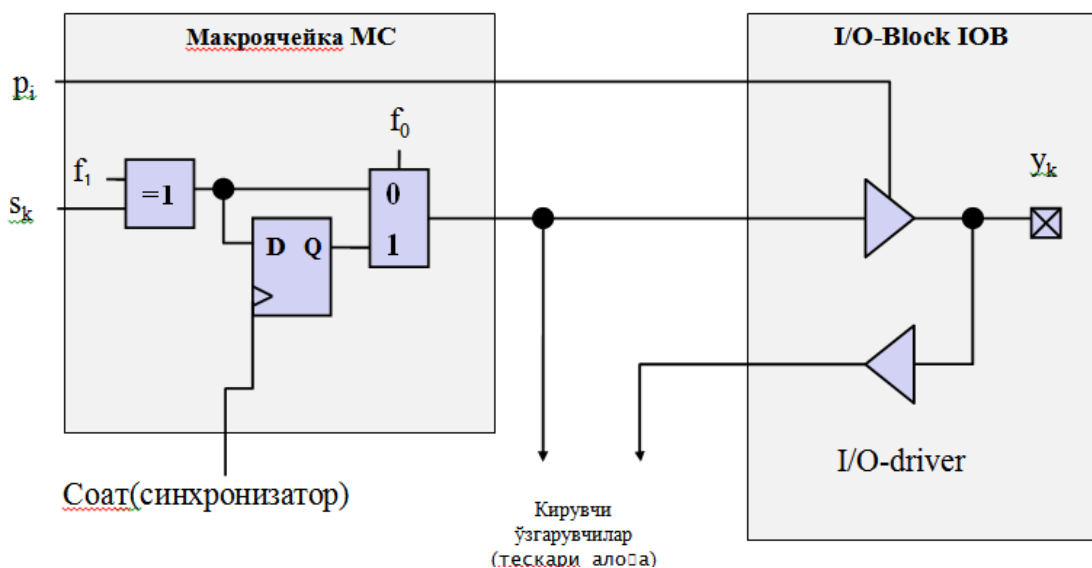


ОДМҚ (SPLD) нинг тузилиши:

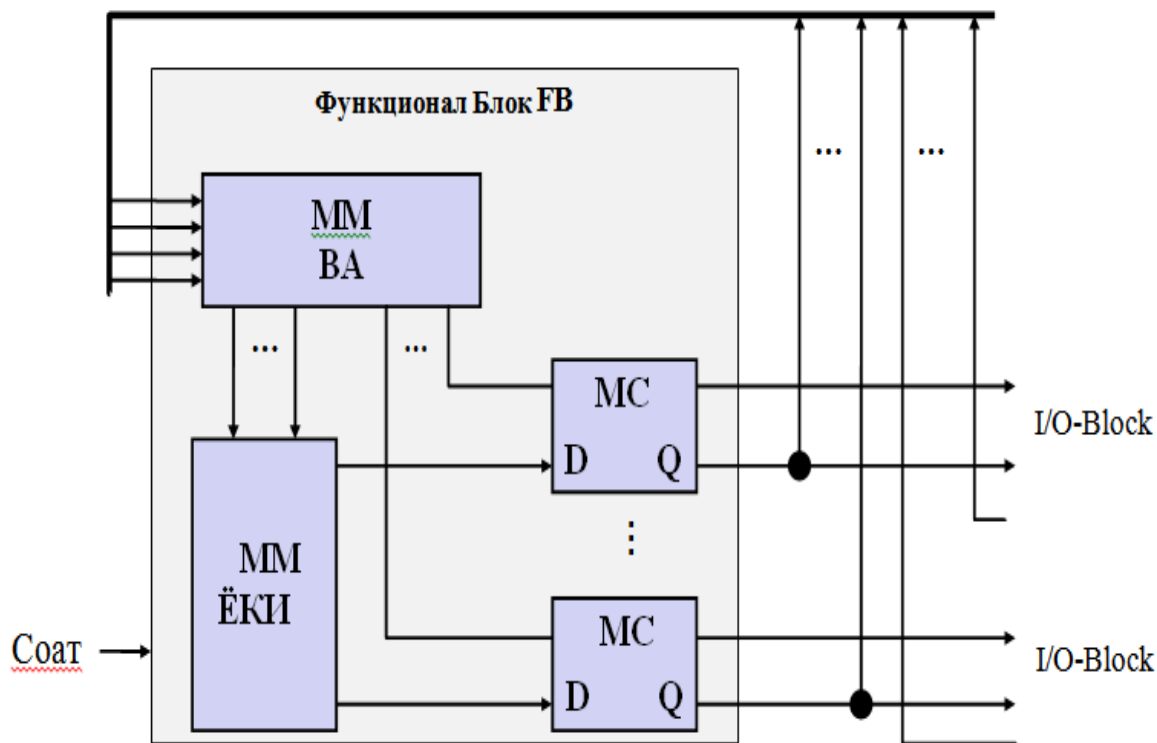


	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти л матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

Чиқувчи ячейкалар (ОС) тақсимланиши:

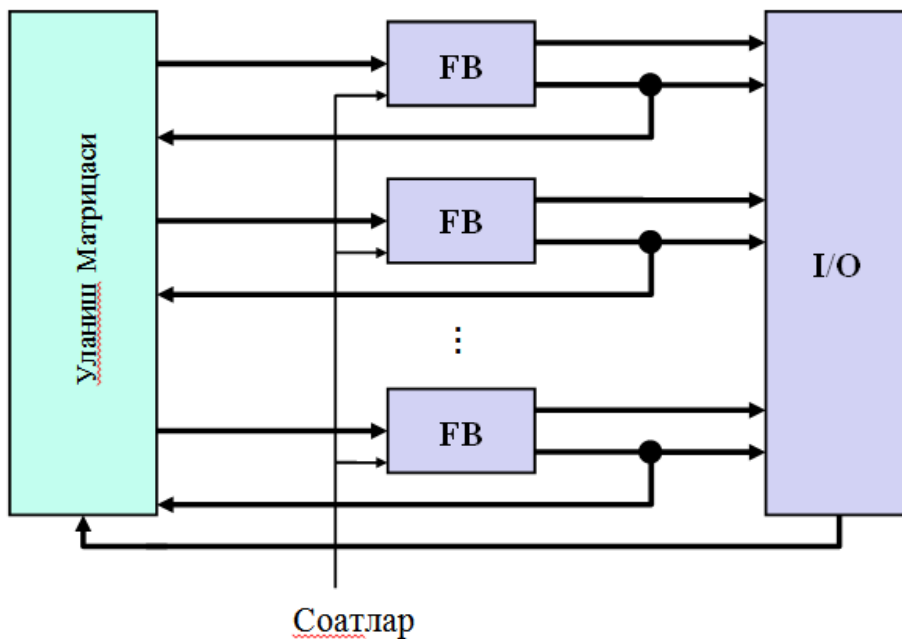


Функционал Блок: 1 та SPLD(ОДМК)га, кўп каррали CPLD(КДМК) га



	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

CPLD(КДМК) да Функционал Блокларнинг уланиши:



		ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Мажидова З				

ОДМҚ/КДМҚ (SPLD / CPLD) ни солиштириш

	SPLD	CPLD
Функционал блок	1	Бир нечта
Комбинаторик алар	„Кенг“ (Кўплаб кирувчилар)	
Хотира элементлари	Триггер бўлиши м-н	Триггер
FB нинг ўзаро алоқаси	-	Global
FB нинг кириш ўзгарувчилари	Ҳамма кирувчилар	танлаш
I/O-Driver	Чиқувчи-ячейкалар ичига қурилган	I/O-Блокка ажратувчи
I/O-Кучланиш	= база-кучланиш	I/O-блокларга ажратилган

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

3 Мотивация Туртки

● КДМҚ (CPLD) нинг камчиликлари:

- Макроячейкаларда қўзғалмайдиган чиқишларни комбинацияланган ўзлаштиришида ФБ (FB) учун хомаки киришлар танлови.
- Мультиплексорга бўлган катта талаб.
– Масалан: n та киришга эга XOR элементи.

● Қараш: MPGA → FPGA.

4 FPGA Архитектураси

● Кичик даража.

● Асосий компонентлар:

- Функционал Блоклар → матрица (Массив) дек жойлашган:
 - мультиплексорларга асосланган,
 - LUT га асосланган. (Look-Up-Table)
- I/O ячейкалари –махсус FB каби.
- Дастурланувчи уланишлар.
- Махсус Hard-Macros лар.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти л матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

Мультиплексор

- Шеннон ёйилиши:

$$f(x_{n-1}, \dots, x_1, x_0) = (\bar{x}_i \wedge f(x_{n-1}, \dots, x_i = 0, x_1, x_0)) \vee (x_i \wedge f(x_{n-1}, \dots, x_i = 1, x_1, x_0))$$

- Мультиплексорларнинг ўзаро алоқасидан иборат мантикий функциялар.
- Дастурлаш технологияси: Одатда Сақлагич 2 (Ўтказувчи кўприк) ёки Flash.

- Actel (Axcelerator) ва Quicklogic дан FPGA лар қўлланилади.

Мисол: Actel Axcelerator

- C-Cell: Комбинацияли Ячейка

- 4:1- Мультиплексор + қўшимча инвертор:
 - > 5 кирувчида 4000 та мумкин бўлган функциялар,
 - C-Cell учун 4– киришли XOR керак бўлади.

- Ўтказувчи занжир(Цепочка переноса).

- R-Cell: Регистр Ячейкаси

- D-FF триггер Set/Reset ассинхронли ва ёқилган. [3]

- Функционал Блок:

- 1 СуперКластер = 2 Кластер.

- 1 Кластер = 2 C-Cell + 1 R-Cell.

- 2 разрядли йиғинди учун ўтказишни тезлаштирувчи сумматор.

		ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Мажидова З				

LUT



Look-Up-Table ("Излаш жадвали") → SRAM-Дастурлаш технологияси.

● K-LUT:

- K киришли ихтиёрий функциялар.
- 2^k жадвал ёзувлари → $2^{(2^k)}$ Турли мантикий функциялари амалга оширади
- 4- кириш-XOR 4-LUT учун талаб қилинади.

● Одатда: Амал бажараётганда фақат ўқувчи.

● Кенгайтирилган: Амал бажараётганда ҳам ёзувчи → „ тақсимланган RAM “.

● Altera ва Xilinx нинг FPGA ларида ишлатилган.

● Келишув: K размери бўйича:

- K кичик бўлганда: LUT- утилизация яхши, кўп сонли LUTлар , кўп ўзаро алоқани таъминлайди.
- K катта: LUT-утилизация потенциал ёмон, кам сонли LUTлар, кам ўзаро алоқа.

Мисол: Xilinx CLB (*Configurable Logic Block*)

● Функционал:

- 1 CLB = S Слойли (турли типли)
- 1 Слой = L LUTлар + L Триггерлар + Ўтказувчи занжир+ Мультимплексор+ ...

● Virtex-II:

- S = 4, L = 2, 4-LUT, LUT худди RAM ёки силжиш регистридек.
- 5-LUT, 6-LUT, 7-LUT, 8-LUT учун мультимплексор.

		ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Мажидова З				

● Virtex-5:

- $S = 2, L = 4$, 6-LUT, худди 2 дек конфигурацияланадиган 5-LUTлар.
- L-слой : LUT фақат ўқувчи.
- M-слой: LUT ҳам ёзувчи □ RAM ёки силжувчи регистр.
- 7-LUT, 8-LUT учун мультиплексор.

Мисол: Altera LAB (Logic Array Block- Мантиқий матрица блоки)

● **Функционал Блок:**

- 1 LAB = L мантиқий ячейкалар + Ўтказувчи занжир+ ...

● **Мисол Stratix:**

- $L=10$; 1 мантиқий ячейка (LE) = 1 4-LUT + 1 FF(Триггер),
- LE билан танланган функция орасидаги ўзаро алоқа >4 кировчи билан.

● **Мисол Stratix-IV:**

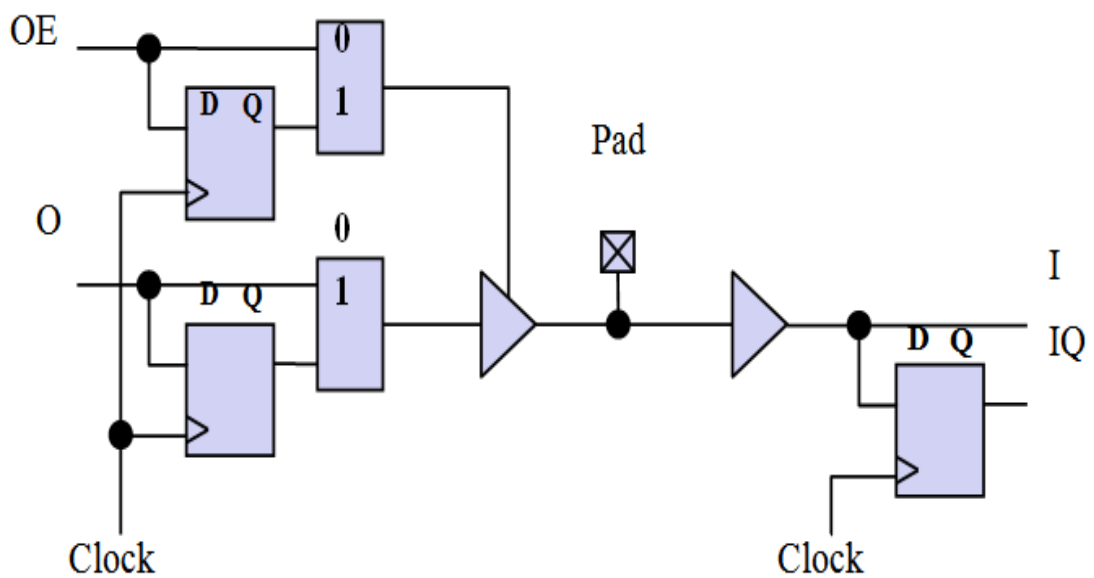
- $L=10$; 1 Мантиқий ячейка (ALM) = 1 мураккаб-LUT + 2 FF (триггер).
- **Мураккаб-LUT 8-кирувчи билан:**
 - 2 та мустақил 4-LUT, ёки
 - мустақил 3-LUT + 5-LUT, ёки
 - 1 та 6-LUT, ёки
 - 2та 6-LUT 2 та умумий кировчи билан, ёки ...

- LAB альтернатив созланадиган *Memory LAB (MLAB)* каби
- Ҳар бир мантиқий ячейка: 64x1 Оддий Икки(Dual)-портли SRAM дан ташкил топган.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

I/O-Ячейкалар

- Қисқа t_S , t_H ва t_{CO} учун кўшимча регистр.
- Турли I/O-стандартлар учун дастурланувчи.
- Dual-Data-Rate (DDR), бошқалар орасида: махсус функциялар.



		ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Мажидова З				

Ўзаро алоқа

● Глобал сигналлар:

- Такт сигналлари тактлар дарахти ёрдамида паст силжишли тармоқ.
- Дастурланувчи Мультиплексор ёрдамида синхронизатор сигналлари таркибидан танлаш.

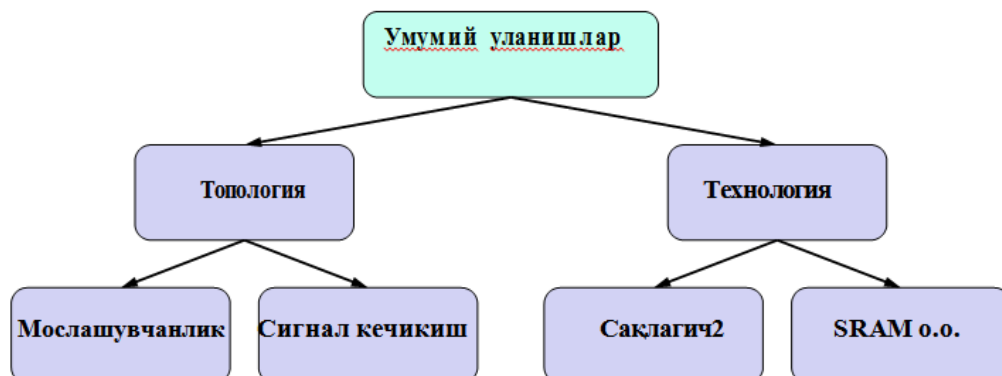
● Ажратилган алоқалар:

- Одатда дастурланмайдиган.
- Ўтказувчи занжир, Регистр занжир, LUT-кенгайиш.

● Умумий алоқалар:

- Сигнал линияларининг тартибли жойлашуви,
- Interconnection by *Дастурланувчи ўзаро алоқа нуқталари (PIPs)* ва дастурланувчи переключатель матрицалари томонидан ўзаро алоқаланиш

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				



	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

Топология

● Техник талаб: Юқори мослашувчанлик қуйидагилар билан

Қисқа кечикишлар,

● Экстримал мисоллар:

1. Кўп қаррали жуда кўп РІР ли узун линиялар .

2. Кўп қаррали РІР билан уланувчи қисқа линиялар.

● 1 Мисол:

Ҳамма FВ лар уланиши бир қатор / устунда.

Кўп линиялар қатор/ устун га мос.

Афзаллиги:

- Ихтиёрий кирувчилар алоқаси / чиқиш максимал 3 РІР орқали (Hops).

Қисқа амалга оширилган алоқалар камчилиги:

- Кечикишлар кутилгандан кўра юқори.

Жуда кўп сонли РІР бўлганлиги учун SRAM-технологияга мос келмайди,

● 2 Мисол:

Узоқ линияларга алоқа РІР лар орқали.

битта FВ фақат линиянинг битта модулига уланади.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти л матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

Мисол: Xilinx XC3000.

Афзаллиги:

- Қисқа уланишлар учун қисқа кечикишлар.

- Узун уланишлар учун альтернатив алоқа йўналишлари(Manhattan-Distance).

Камчилиги:

Иерархия: қисқа + узун сигнал линиялари FB билан оз / кўп уланган.

Ташкил этиш:

- Дарахтсимон (масалан: Actel Accelerator)

- „Доимий Ячейка“:

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти л матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

Технология

● SRAM-технология.

Кўплаб дастурланувчи SRAM-ячейкалар томонидан бошқариладиган ўтказувчи транзистор ёки мультиплексор.

Кўшимча микросхема(чип) .

Кўшимча сифим:

PIP мисоллари: Switch-Box, Connection-Box, Switch-Matrix.

Техник талаб: Фақат мумкин бўлган PIPлар.

Қўлланилиши:

- Агар ўтказувчи занжир билан боғланмаган бўлса , функцияни жойлаштириш ихтиёрий FB да

Дастур/ Қурилма-Макрослари

● FPGA ишлаб чиқарувчилар томонидан HW-модуллари берилган:

Стандарт-FB учун худди шифрланган схемадек Дастур макрослари.

● Қурилма макросларига мисол:

Арифметик (Кўпайтириш, DSP блоклари),

Хотира (Single-Port-RAM, Dual-Port-RAM),

Clock generator (DCM, PLL),

Юқори тезликдаги I/O (Gbit/s ва ундан юқори),

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

● Дастур макросларига мисол:

- Процессор ядролари (масалан: PowerPC, Microblaze, Nios-II).
- Ethernet-MAC, PCIe-Endpoint ва бошқалар.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти л матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

CPLD / FPGA Солиштириш

	CPLD	FPGA
Функциональ Блок	Оз	Кўп
Комбинаторика	„Кенг“ (Кўплаб кирувчилар)	„Кичик“ (Оз кирувчилар)
Хотира элементлари	FF	FF / RAM
FBнинг ўзаро алоқаси	Global	Local
FBнинг кирувчи ўзгарувчилари	Танлов	
I/O-Driver	Алоҳида I/O-Блок	
I/O-Кучланиш	I/O-Банкка ажратилган	

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти л матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

5 Хулоса

● Функциональ Блоклар:

Мультиплексорга асосланган,

LUT га асосланган.

● FF лар I/O-ячейкаларга киритилган.

● Уланиш:

Топология:

- Иерархия: Дарахтсимон, „Даврий ячейка“.

Технология:

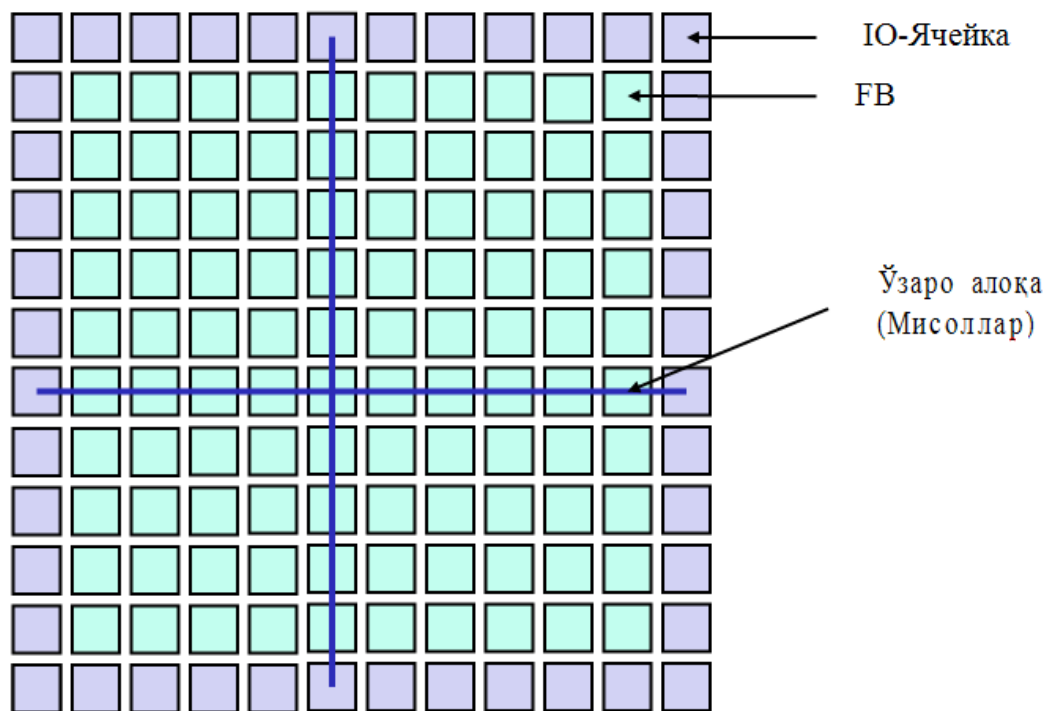
- Antifuse (Сақлагич 2) Микросхема (чип) асосан мантиқий амаллар учун.

- Pass-T / Мультиплексор + SRAM-ячейка. кўп марта дастурланувчи.

● Курилма-Macros vs. Дастур-Macros.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти́л матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

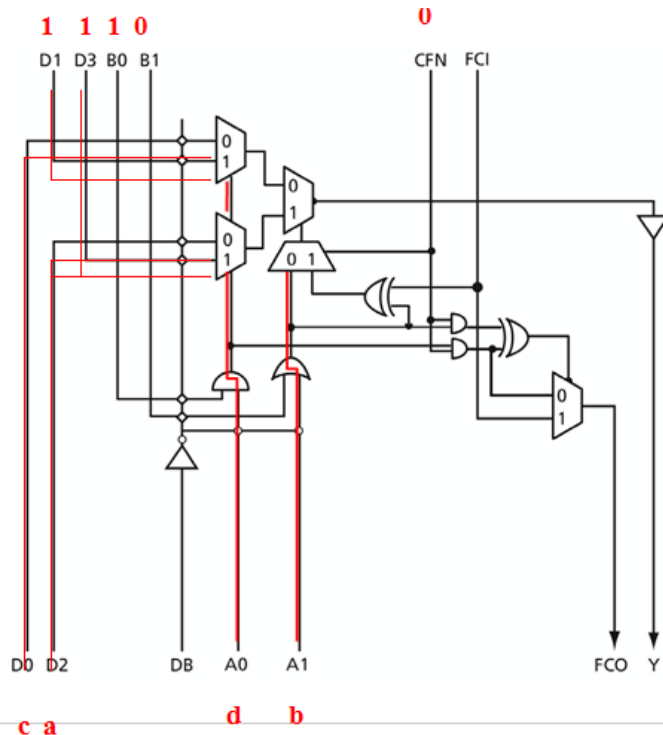
2 Такрорлаш/ FPGA Мисоллар



	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

Мултиплексорга
асосланган:
Мисол: Actel Axcelerator

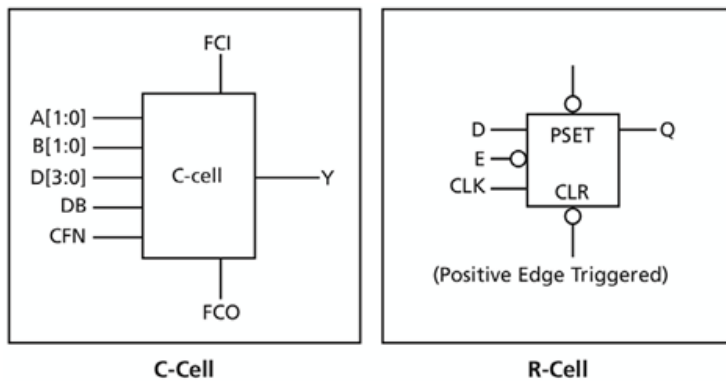
$$y = (ab) \vee (\bar{b}c) \vee d$$



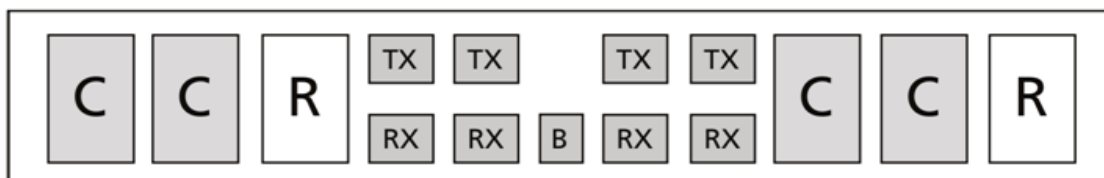
Actel: Axcelerator Family FPGAs, v2.8, 2009

Мисол: Actel Axcelerator

● C-Cell ва R-Cell



● SuperCluster



Actel: Axcelerator Family FPGAs, v2.8, 2009

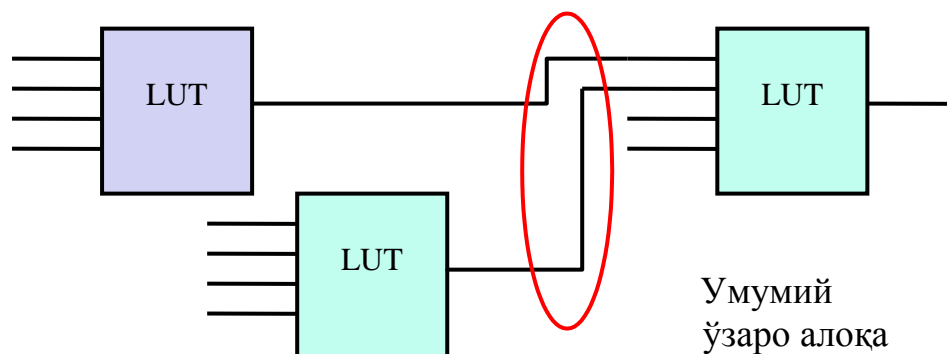
	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

LUT га асосланган:

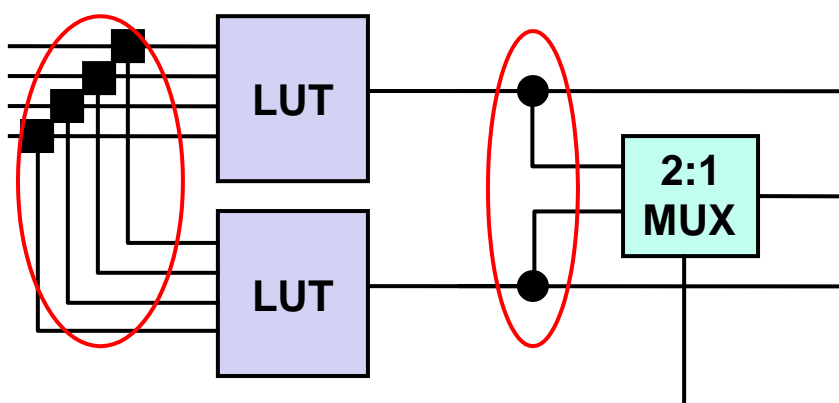
● k кирувчи ихтиёрый функцияларнинг ростлик жадвалини тасвирлаш

● Мураккаб функциялар таркиби:

Бир қанча LUTлар

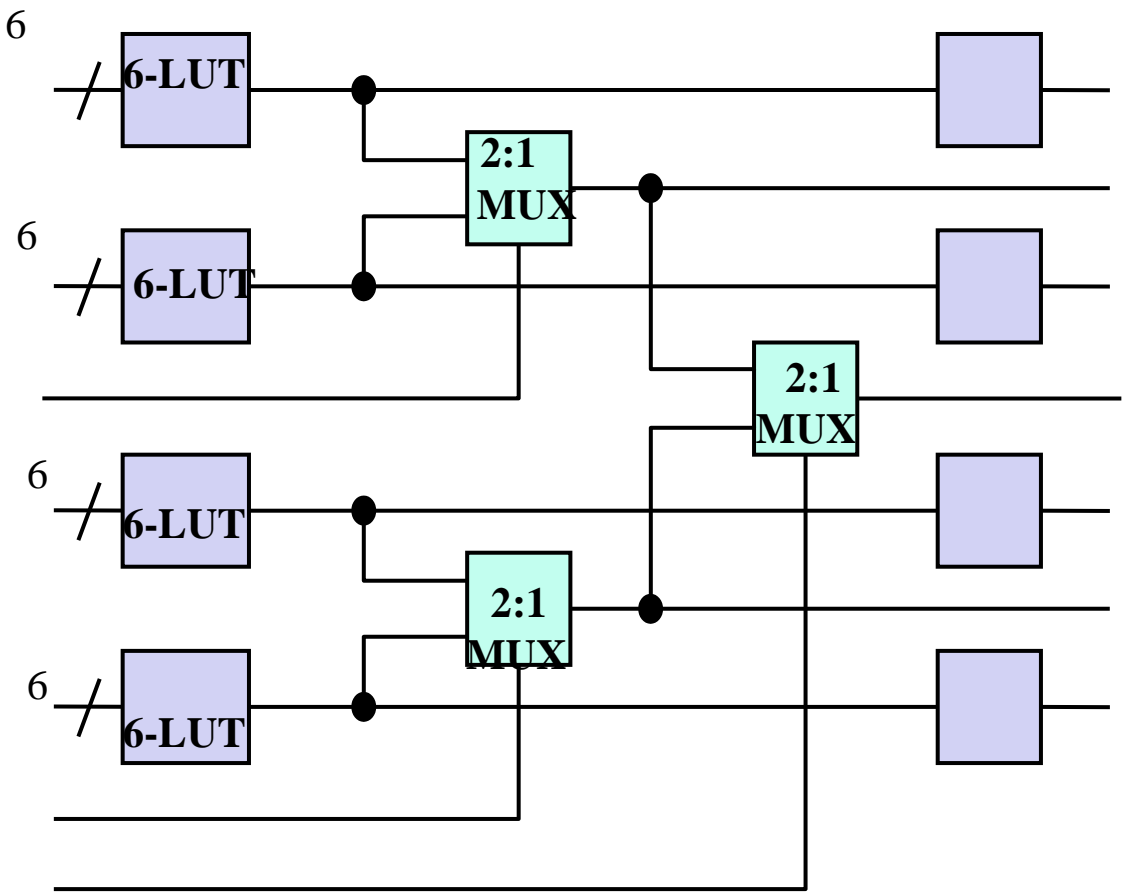


Қўшимча Мултиплексор



	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Маждидова З				

● Мисол Virtex-5 Слойи (Соддалаштирилган фигура)



	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

FB нинг ўзаро алоқаси:

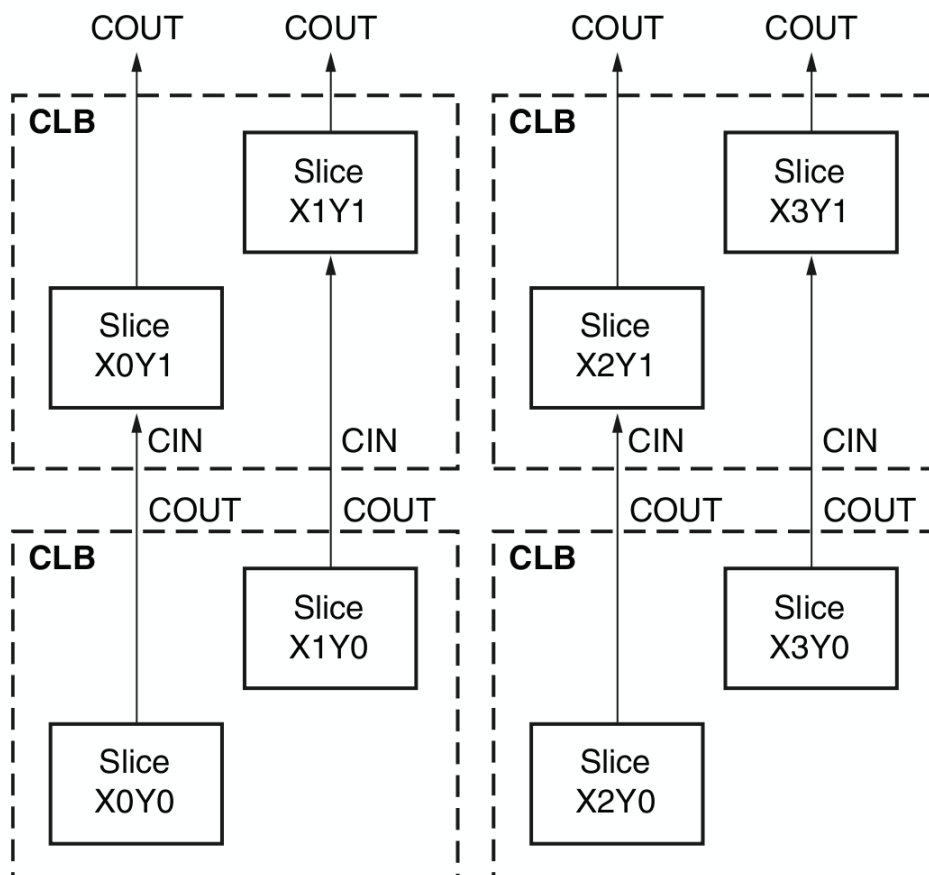
- Глобал ўзаро алоқалар.
- Ажратилган ўзаро алоқалар.
- Умумий ўзаро алоқалар.

□ Технология:

- Antifuse (Сақлагич2)
- Pass-T / Мультиплексор + SRAM-ячейкалар

□ Топология.

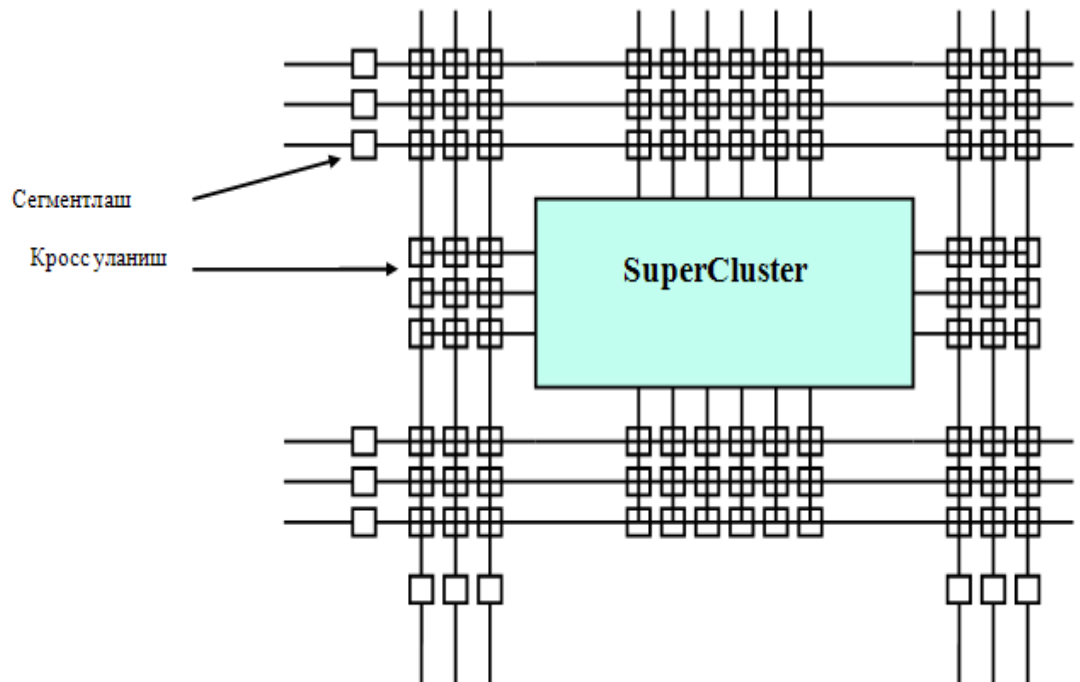
Мисол: Virtex-5 FPGA да ажратилган ўзаро алоқалар



Xilinx: UG190 Virtex-5 FPGA User Guide, v5.2, 2009

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

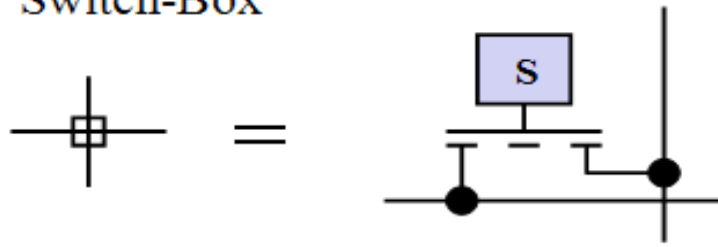
Antifuse (Сақлагич2) -ўзаро алоқалар:
Мисол: Actel Axcelerator (соддалаштирилган)



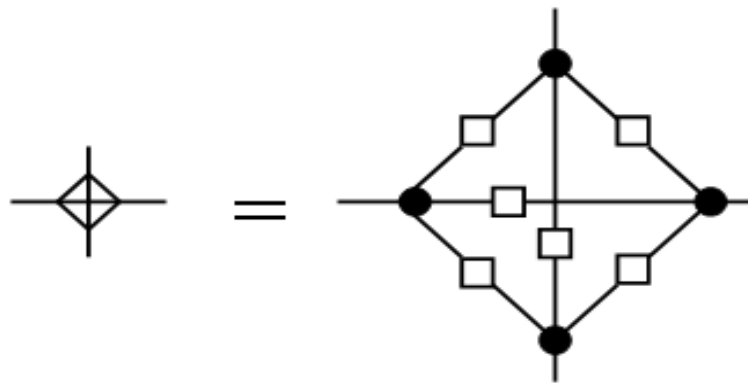
	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

SRAM га асосланган ўзаро алоқалар:

● Switch-Box

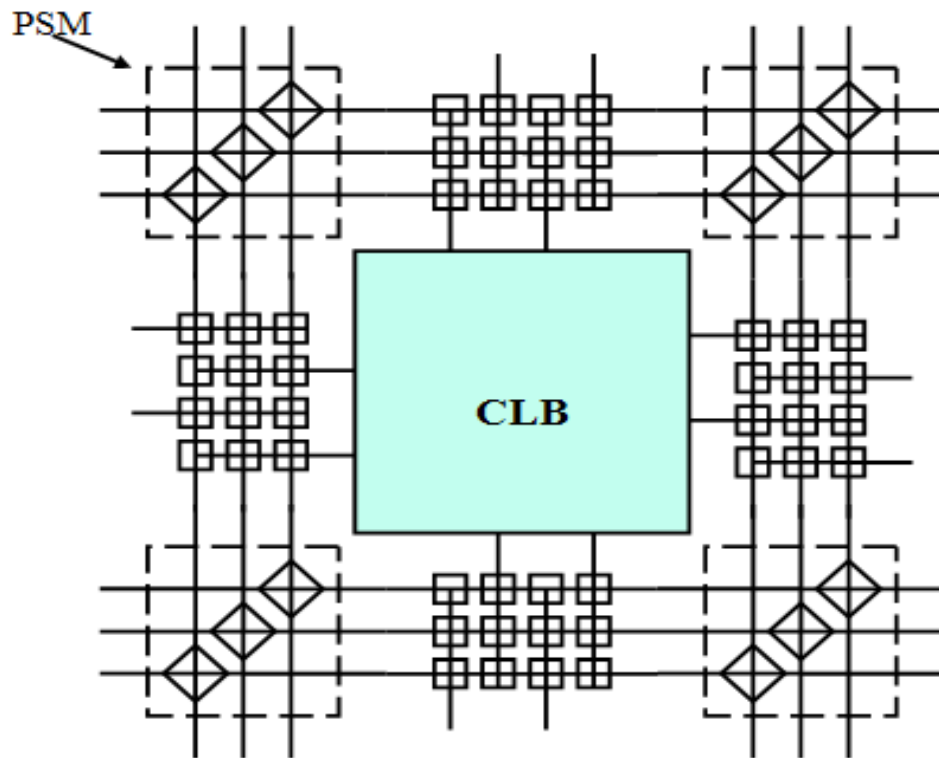


● Connection-Box



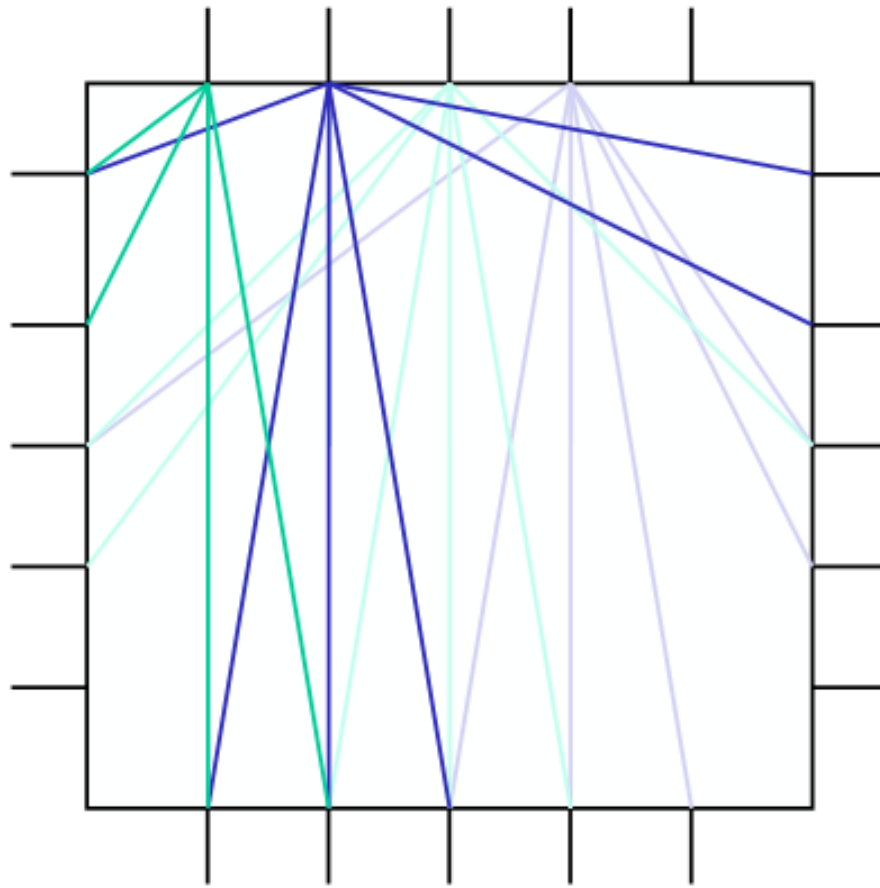
		ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Мажидова З				

Мисол: Spartan/XL (соддалаштирилган)



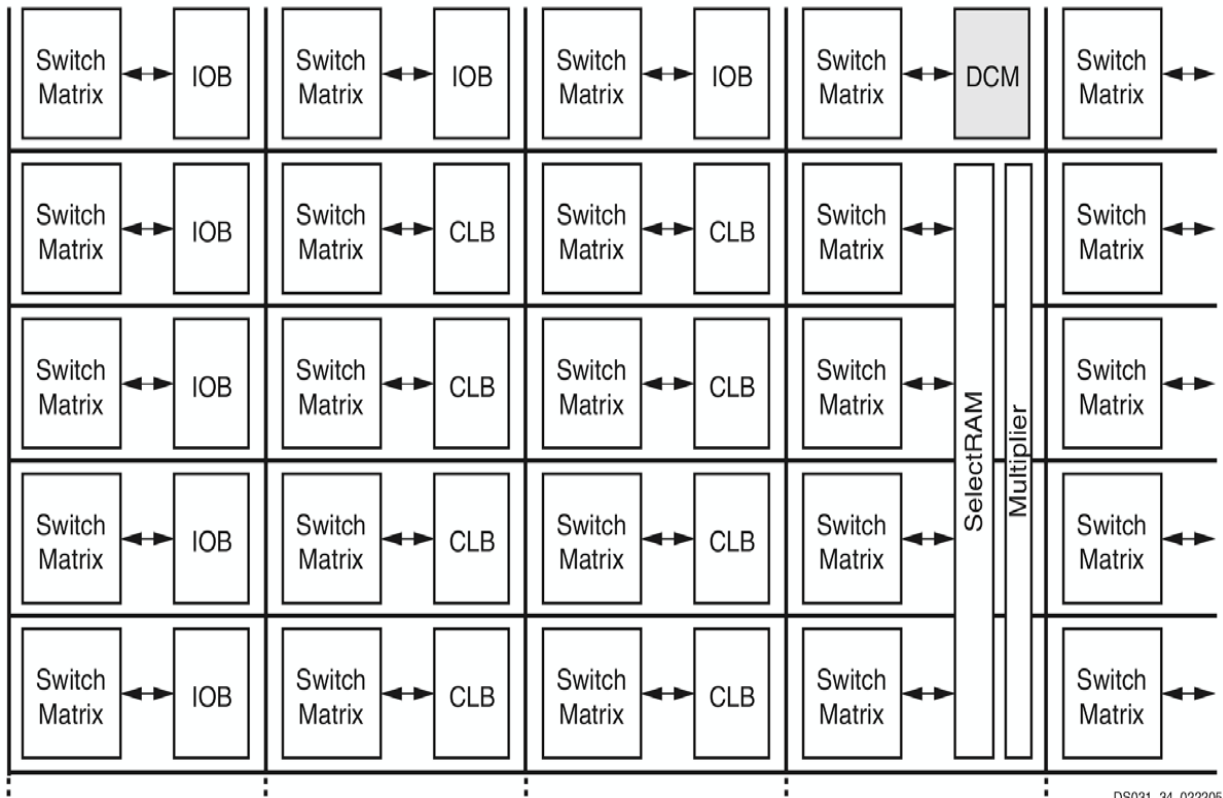
	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиев Ш.И.				
Талаба	Мажидова З				

● Переключатель матрицы (умумий)



Xilinx: XC3000 Series Field Programmable Gate Arrays, v3.1, 1998

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион Мисол: Virtex-II даги умумий узаро алоқалар (1) маърузаларни яратиш	
Рахбар Талаба	Файзлов Ш.И. Мажидова З				



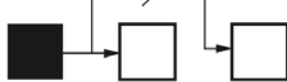
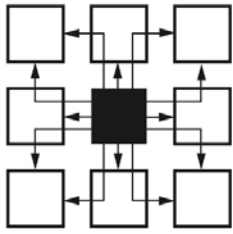
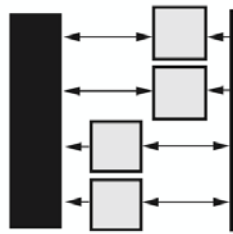


DS031_34_022205

Xilinx: DS031 Virtex-II Platform FPGAs Complete Datasheet, v3.5, 2007

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

Мисол: Virtex-II даги умумий ўзаро алоқалар (2)

<p>24 Horizontal Long Lines 24 Vertical Long Lines</p>	
<p>120 Horizontal Hex Lines 120 Vertical Hex Lines</p>	
<p>40 Horizontal Double Lines 40 Vertical Double Lines</p>	
<p>16 Direct Connections (total in all four directions)</p>	
<p>8 Fast Connects</p>	

Xilinx: DS031 *Virtex-II Platform FPGAs Complete Datasheet*, v3.5, 2007

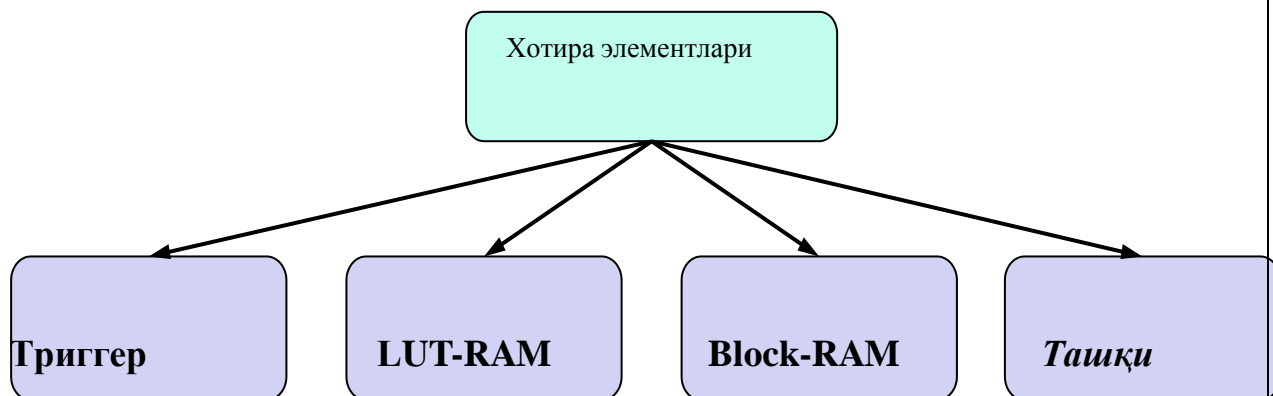
	ФИО	имзо	сана	<p>“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш</p>
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

CPLD / FPGA ни солиштириш

	CPLD	FPGA
Функциональ Блок	Оз	Кўп
Комбинаторика	„Кенг“ (Кўплаб кирувчилар)	„Кичик“ (Оз кирувчилар)
Хотира элементлари	FF	FF / RAM
FBнинг ўзаро алоқаси	Global	Local
FBнинг кирувчи ўзгарувчилари	Танлов	
I/O-Driver	Алоҳида I/O-Блок	
I/O-Кучланиш	I/O-Банкка ажратилган	

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти л матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

3 Хотира элементлари



	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

● LUT-RAM:

- Фақат SRAM-конфигурацияли –хотира учун.
- LUT га мантикий ёзишга умумий рухсат.

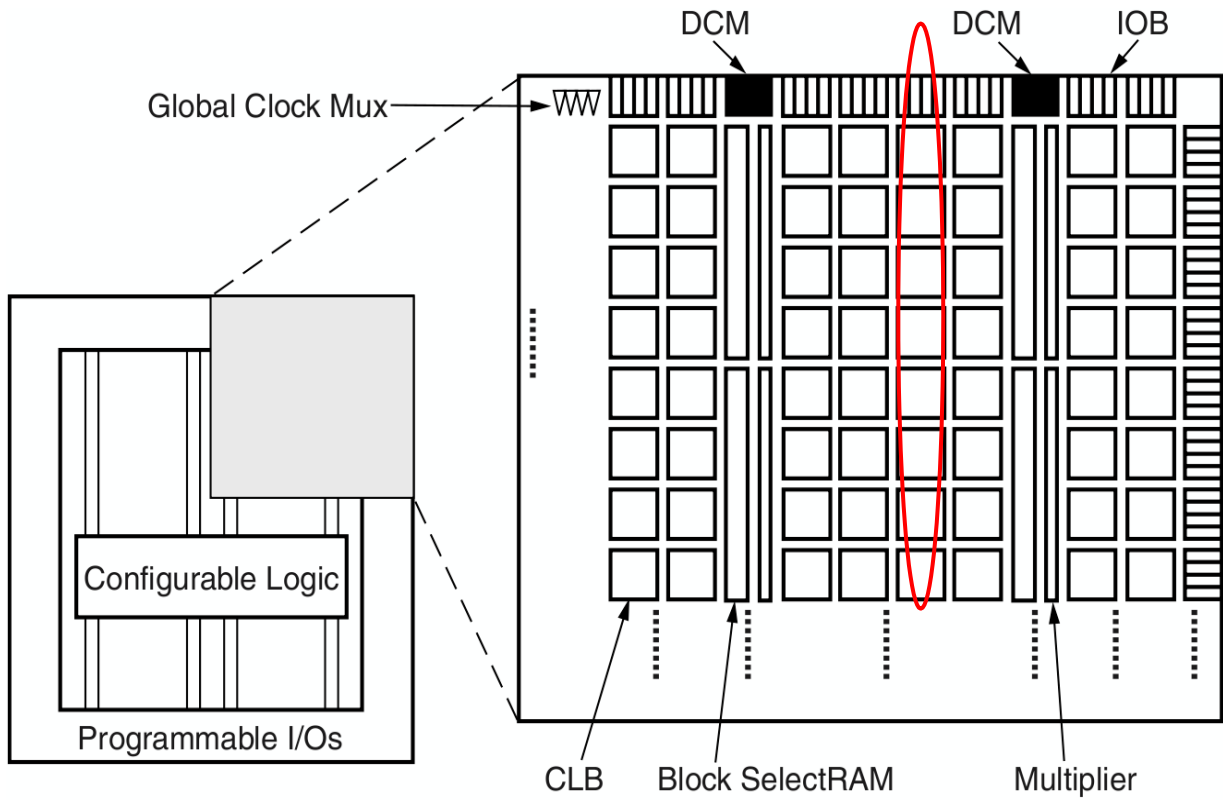
● Block-RAM:

- RAM FPGA га қўшимча интеграцияланган.
- Юқори хотира зичлиги.
- Ташкил этишни сошлаб бўлади.
- Мисол Xilinx RAMB18: 18 kBit

16К x 1	8К x 2	4К x 4
2К x 9	1К x 18	512 x 36

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

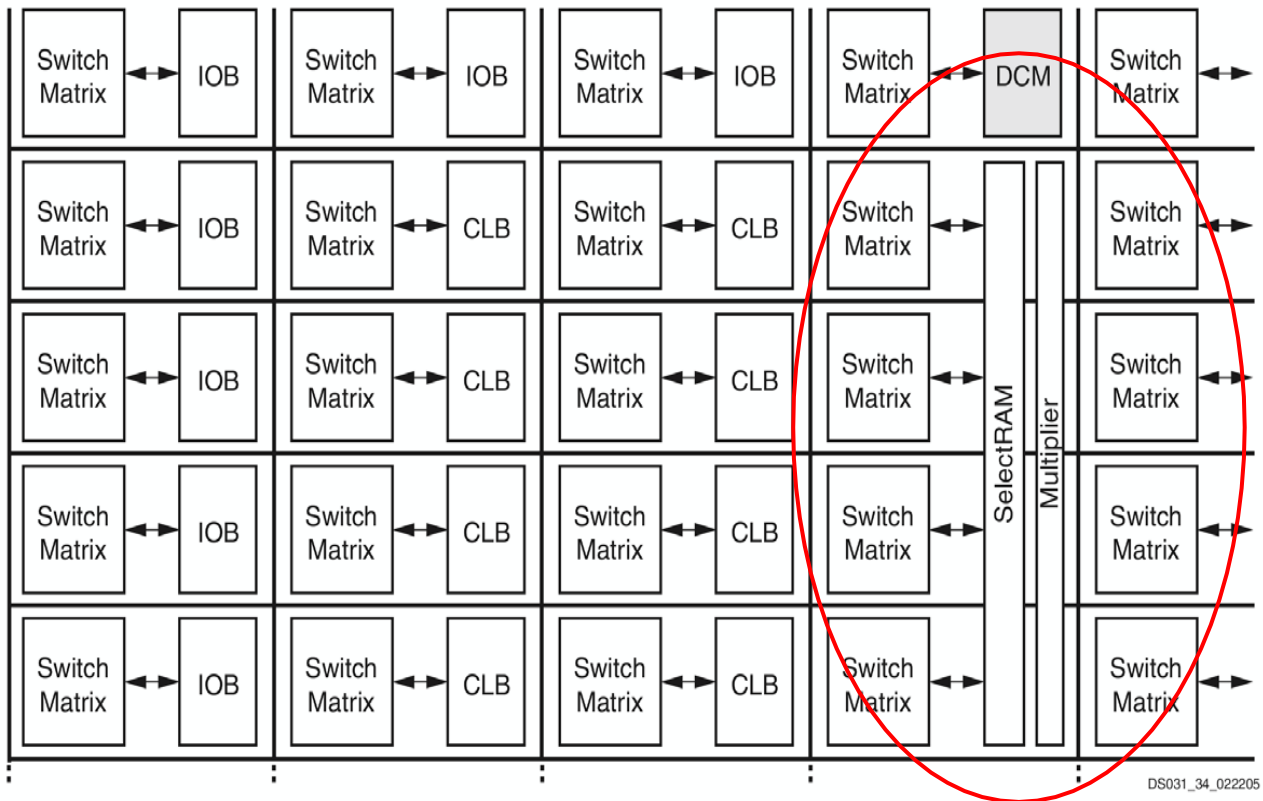
Мисол: Block SelectRAM in Virtex-II



Xilinx: DS031 Virtex-II Platform FPGAs Complete Datasheet, v3.5, 2007

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

Block Block SelectRAM ни Virtex-II да уланиши.



Xilinx: DS031 Virtex-II Platform FPGAs Complete Datasheet, v3.5, 2007

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

Триггер (FF) / LUT-RAM / Block-RAM ни солиштириш

	Триггер	LUT-RAM	RAM-Блок
Power-Up-Value	Ҳа	Ҳа	Ҳа
Reset	Ҳа	Йўқ	Йўқ
Size (typical)	1 Bit	16 – 64 Bit	576 – 589536 Bit
Хотира зичлиги	Паст	Ўрта	Юқори
Ташкил этиш	---	x 1	Бир қанча созлашлар
Ёзиш-/Ўқиш- Портлари	Битта	Битта Оддий- Dual	Битта оддий-Dual True-Dual

576 Bit = 32 x 18 Bit

589536 = 4К x 144 Bit

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

● Ёзиш-/Ўқиш-Портини созлаш:

Бир-Портли: ўша адреснинг ўзида Ўқиш / ёзиш

Оддий Dual-порт:

- 1 ёзиш- ва 1 ўқиш-порти.

- Турли адресларга рухсат.

True Dual-порт:

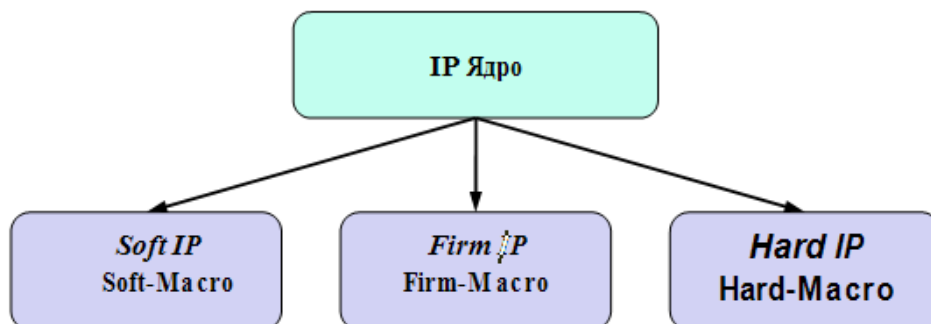
- 2 ёзиш- / ўқиш-портлари.

- Турли адресларга рухсат

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

4 IP-Ядролар

- *Интеллектуал мулк*
- Модуллар FPGA ишлаб чиқарувчилар ёки 3 томон томонидан таклиф қилинади.
- Таъминот махсус, одатда мураккаб функциялар.
 - Жамғариш билан кўпайтириш,
 - Ethernet MAC,
 - Процессор ядроси.
- Кенг модулли.



		ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Мажидова З				

● Дастурий макрослар(**Soft-Macro**):

- лойихалаштириладиган RTL- модел.
- FPGA да функционал блок(FB)ка тасвирлаш.

Турғун макрослар(**Firm-Macro**):

- Асос: Мантиқий элементларнинг венти́л моделлари.
- (Шифрланган) схема + технологик синтезлар учун чекловлар.
- FPGA да функционал блок(FB)ка тасвирлаш.

Аппарат макрослар(**Hard-Macro**):

- FPGA да физик мавжуд бўлади.

Дастурий-/Турғун-/Аппарат макросларни солиштириш

	Soft IP	Firm IP	Hard IP
Майдон дастурланувчида	Ҳа	Фақат билвосита	
Нусхалари	Ихтиёрий кўп		Берилган
Микросхемага талаб	Фақат агар ишлатилса		Ҳар доим
Хатоларни тузатиш	Ҳа		Йўқ
микросхема, синхронизация ва қувват тарқатишни тегишли эффeктив қўллаш	Йўқ	Битта FPGA ни оптималла штириш.	Юқори эффeктли. *

* Кўплаб оптималлаштириш имкониятлари ишлаб чиқаришдан олдин.

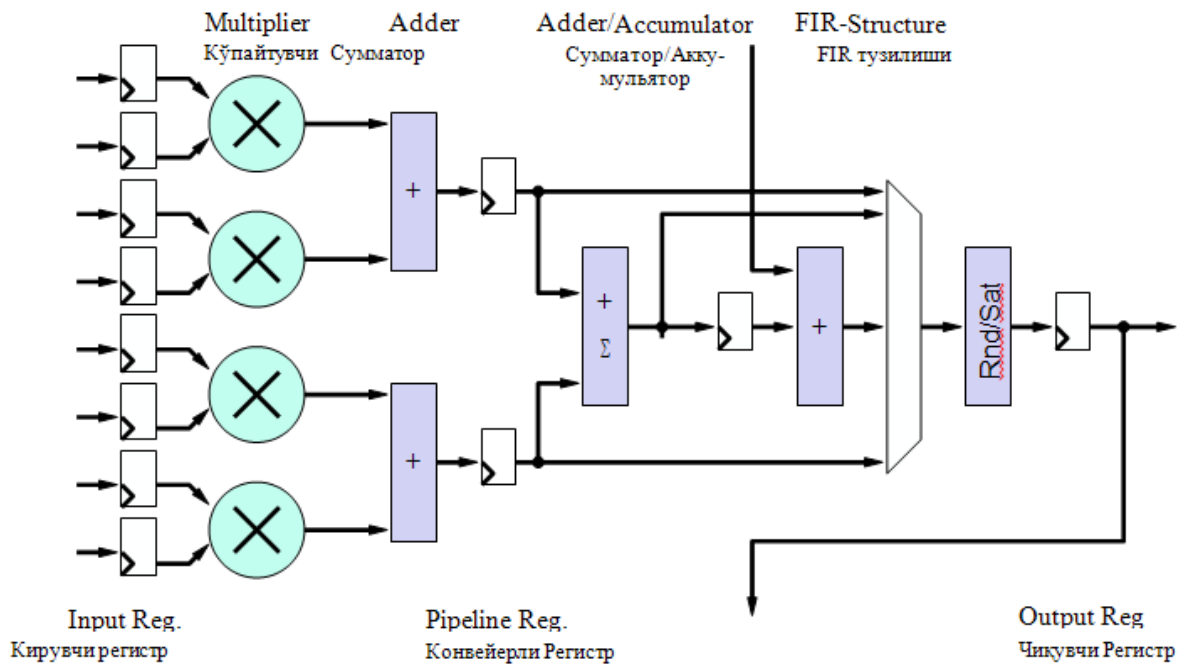
	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти́л матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

Аппарат макрос(Hard-Macros)ларига мисоллар:

	Virtex-6	Spartan-6	Stratix-IV	Cyclone-IV
Кўпайтувчи	X	X	X	X
DSP блоклар	X	X	X	-
Соат генератори	X	X	X	X
Ethernet PHY	X	-	X	-
Ethernet MAC	X	-	-	-
PCIe Endpoint	X	X	X	X
Хотира контроллери	-	X	-	-

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

Мисол: Altera Stratix-IV (Half) DSP-Block



Altera: *Stratix-IV Device Handbook*, Volume 1, 2009

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти л матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

5 Хулоса

FPGA мисоллар:

- Функциональ блоклар,
- ўзаро алоқа.

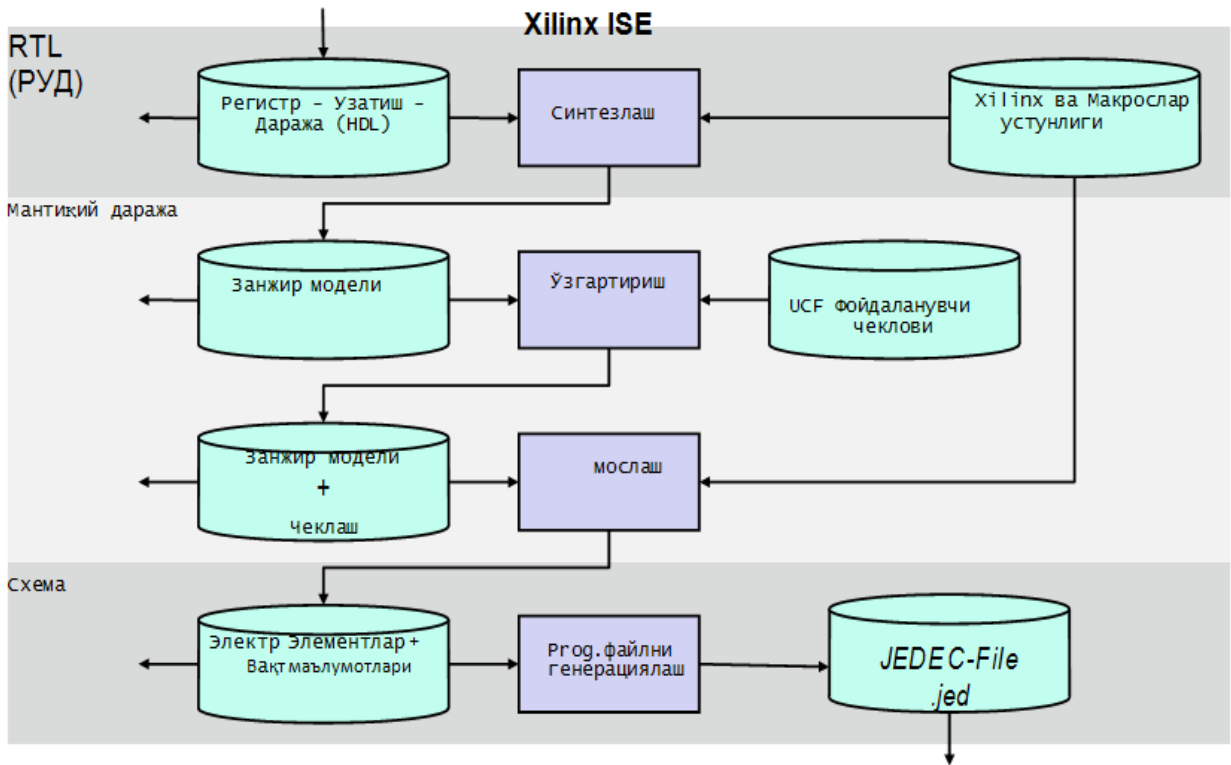
Хотира элементлари

- Турлари,
- Рухсат.

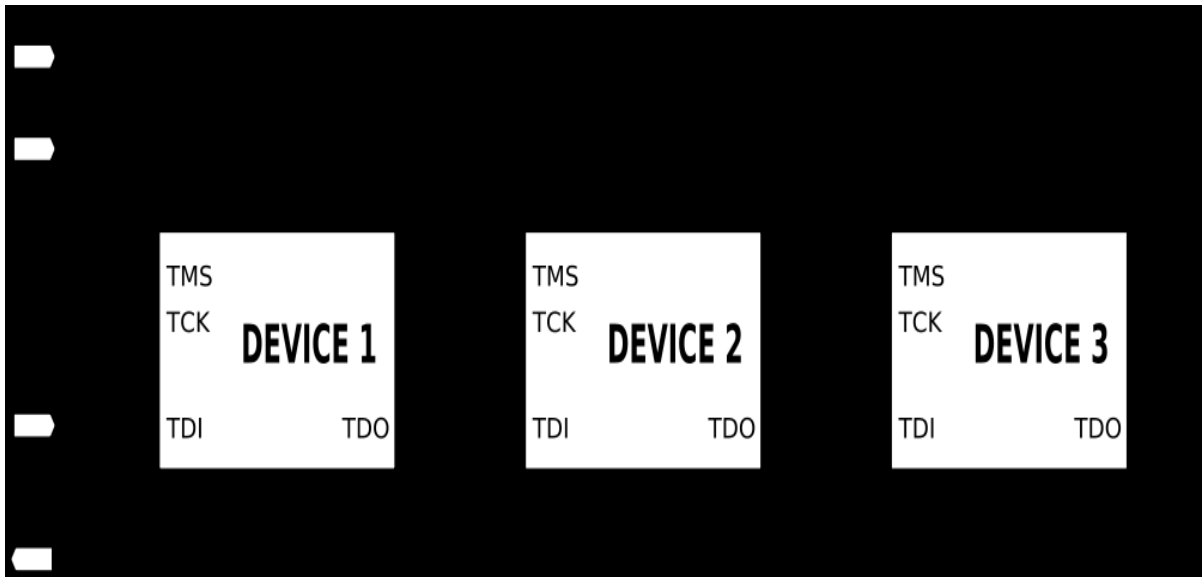
IP-Ядролар:

- Дастурий макрослар (Soft-Macro),
- Турғун макрослар (Firm-Macro),
- Аппарат макрослар (Hard-Macro).

		ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Мажидова З				



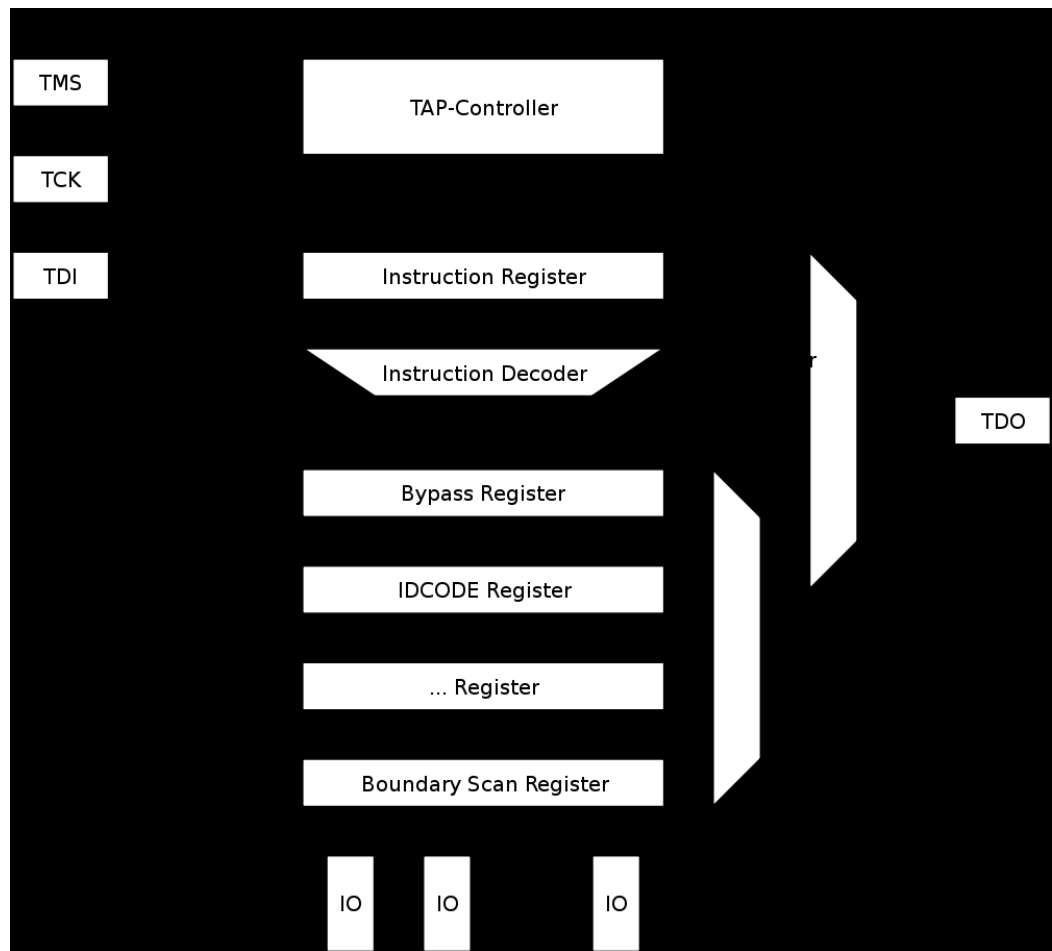
JTAG занжири



Source: German Wikipedia

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

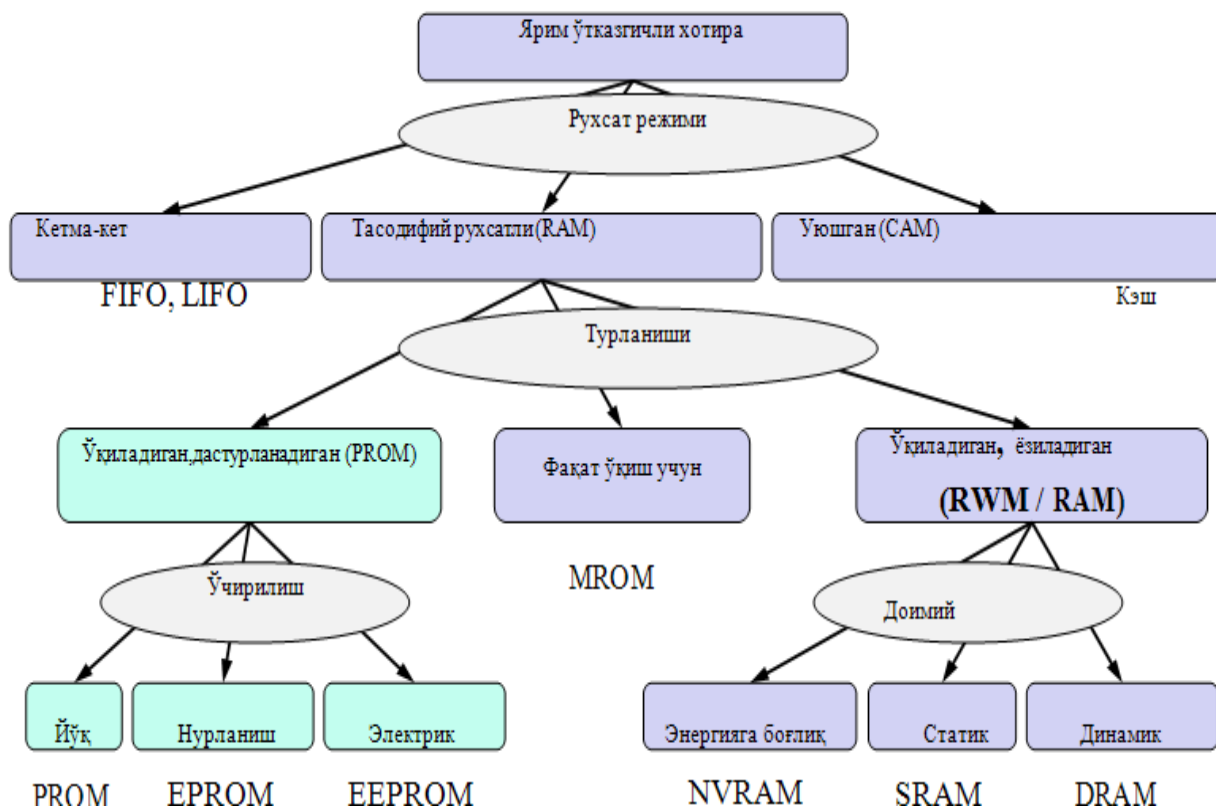
TAP Controller & Регистр



Source: German Wikipedia

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

Ярим ўтказгичли хотира



3 Конфигурациялаш синфлари



	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

Динамик қайта конфигурацияланадиган

● Тушунча:

● Аппарат воситаларида турли “дастурлар”ни бажариш.

Со-процессор / Аппарат плагинлари.

Қайта созланадиган ҳисоблаш.

● Дастур:

интенсив масалаларни ҳисоблашда:

– Рақамли сигналларни қайта ишлаши (функция ва бошқалар).

– Видео(де)-кодловчи.

Мураккаб / вақт билан чекланган масалалар:

– Бошқариш.

– Кодлаш / қайта очиш.

● Тузилишининг типик кўринишлари:

Дастурланувчи микросхема FPGA-плата билан.

SoPC (*Тизимда дастурланувчи микросхема*):

– Устунлиги: Хотира конфигурацияси мантиқий сегментга ёзилиши мумкин.

● Муаммолари:

Режалаштириш.

Бир марталик қайта дастурланадиган.

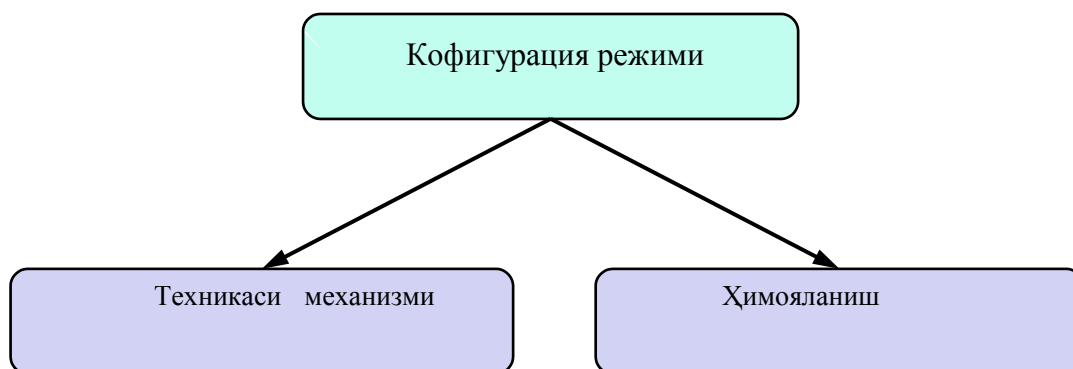
– Қараш: Multi-Context-FPGAлар.

HW-/SW-модулларга бўлиниши.

		ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Мажидова З				

4 Конфигурация режими

- FPGAда SRAM га асосланган ички тизим дастурлаш (ISP).
- Бирламчи: тизимишга туширилганда конфигурацияланади.
- Иккиламчи : Динамик қайта конфигурацияланадиган.



		ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Мажидова З				

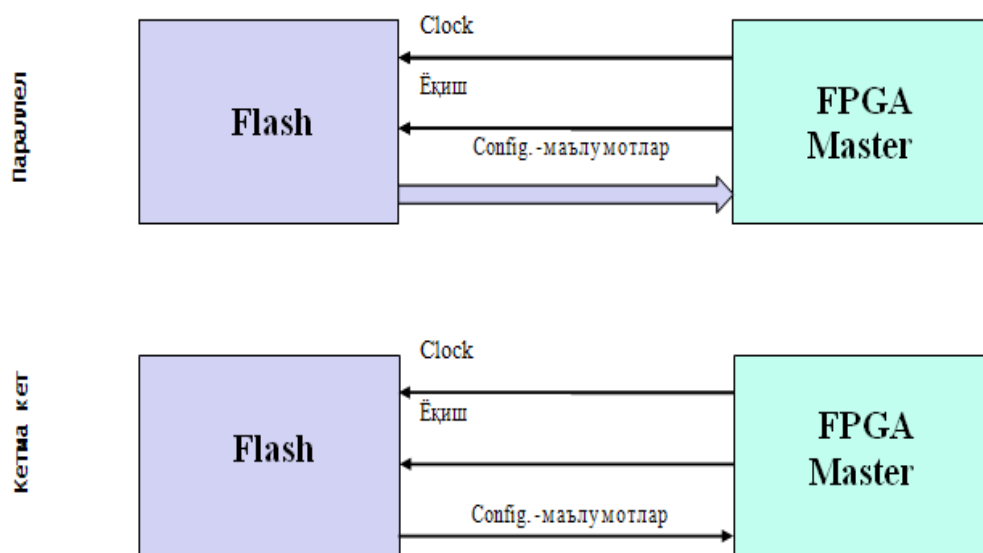
Техникаси

	Кетма-кет	Параллел
Master	X	X
Slave	X	X
Периферия	(X)	X
JTAG	X	-

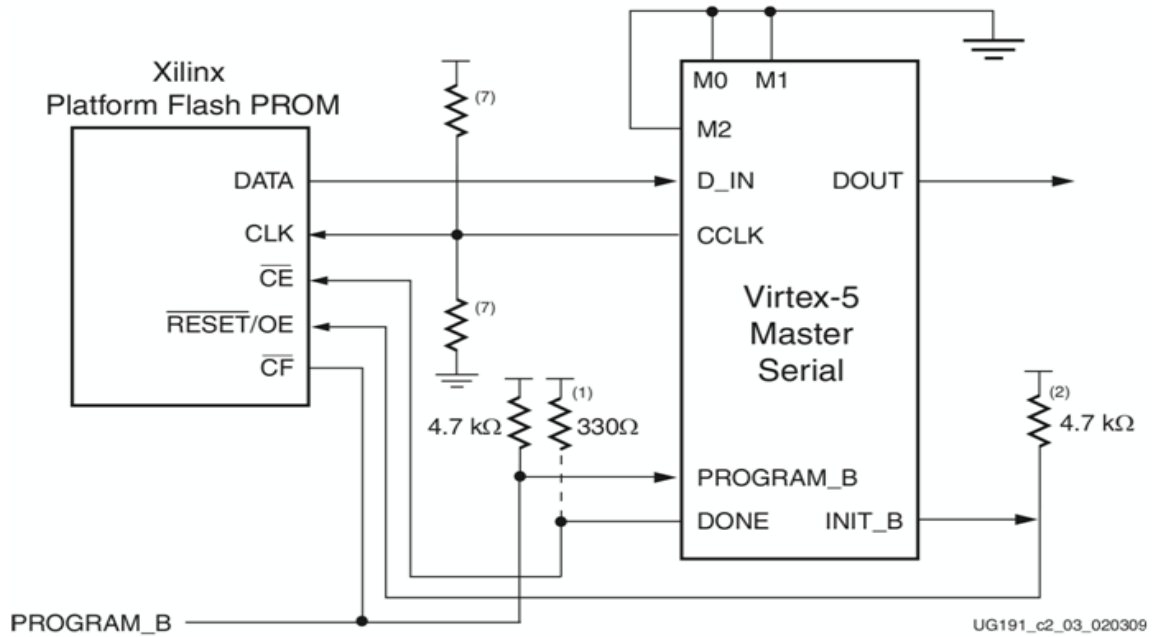
- FPGA да конфигурация алоқалари орқали режимни танлаш.
- Ишлаб чиқарувчидан боғлиқ аниқ номлар фарк қилади.
- FPGA Virtex-5 ёрдамида қуйидаги мисоллар кўрсатилган.
Xilinx: UG191 *Virtex-5 FPGA Configuration Guide*, v3.8, 2009

Master- режими:

- FPGA бошқаришни тўлиқ ўз қўлига олади.

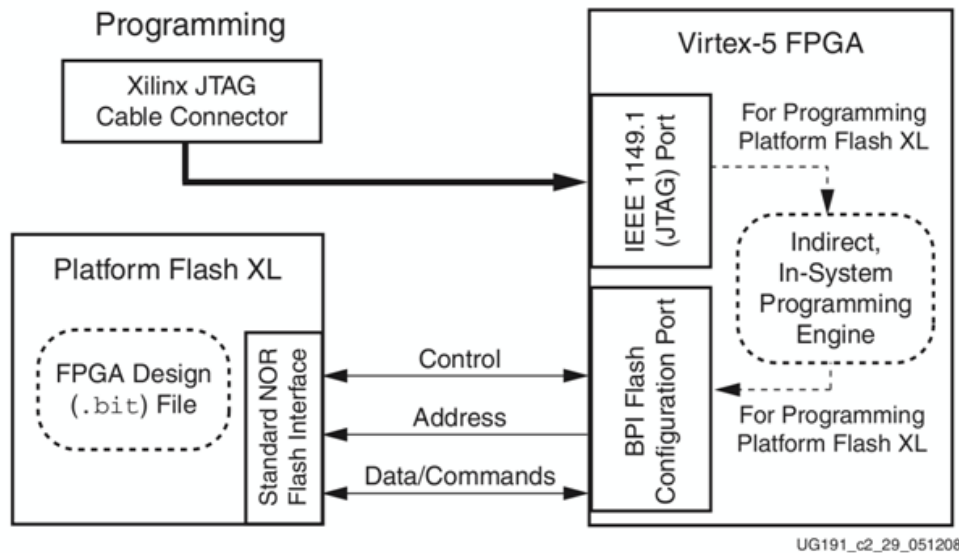


	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			



Xilinx: UG191 *Virtex-5 FPGA Configuration Guide*, v3.8, 2009

Single Cable Connector for Direct FPGA Configuration/Debug and Indirect Platform Flash XL Programming

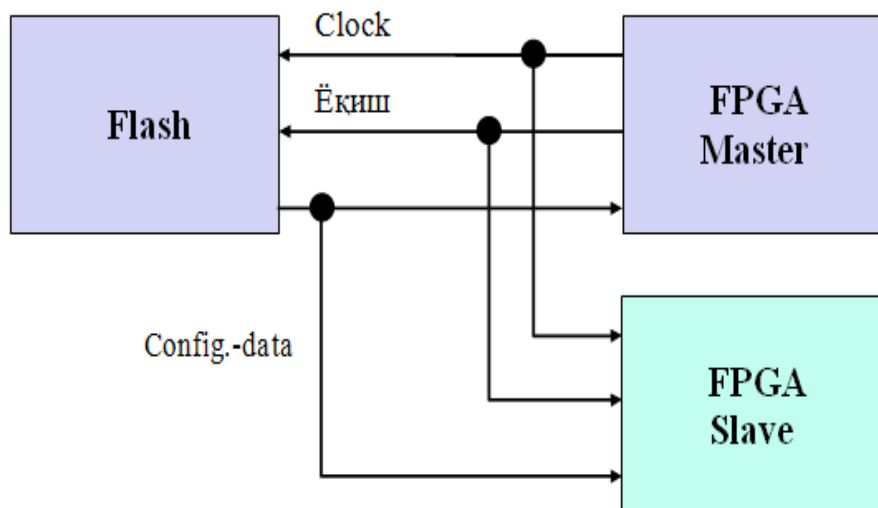


Xilinx: UG191 *Virtex-5 FPGA Configuration Guide*, v3.8, 2009

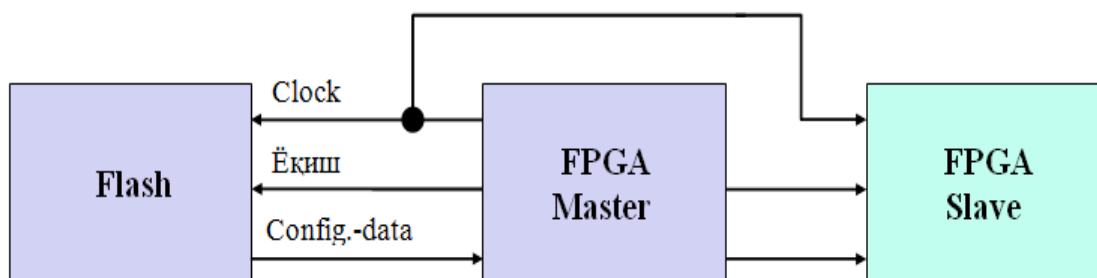
	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

Slave- режим:

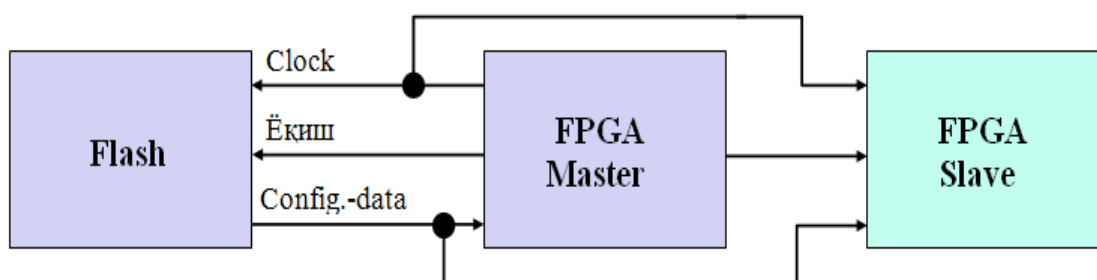
- Кетма-кет занжир ёки қўш конфигурация учун ишлатилади.
- Бошқа FPGA (ёки шунга ўхшаш) бошқаришни ўз қўлига олади.



Қўш кетма кет режими (аналог қўш параллел режими)

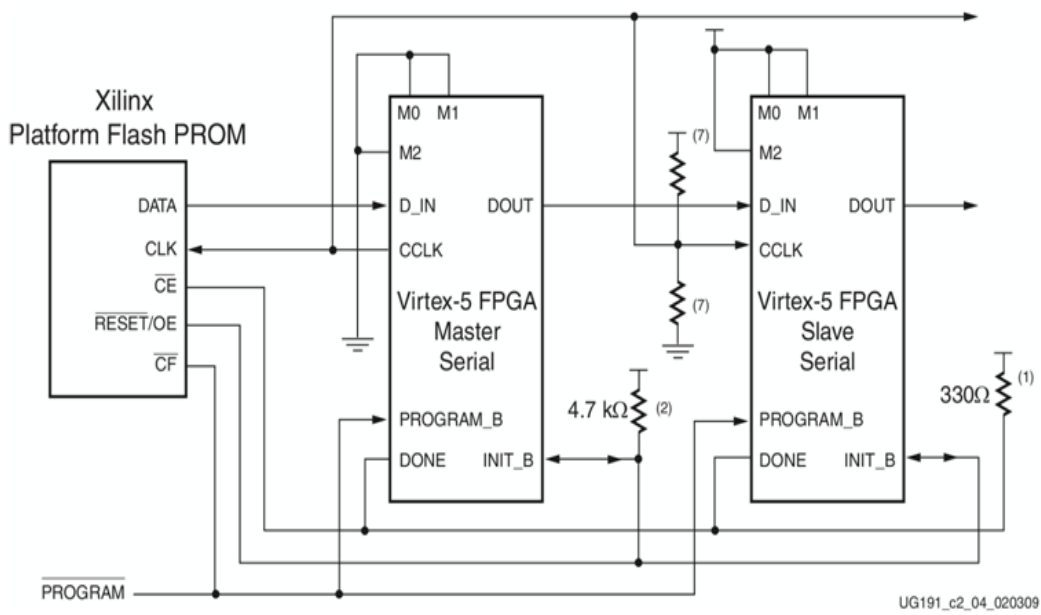


Кетма кет занжирга уланиш режими

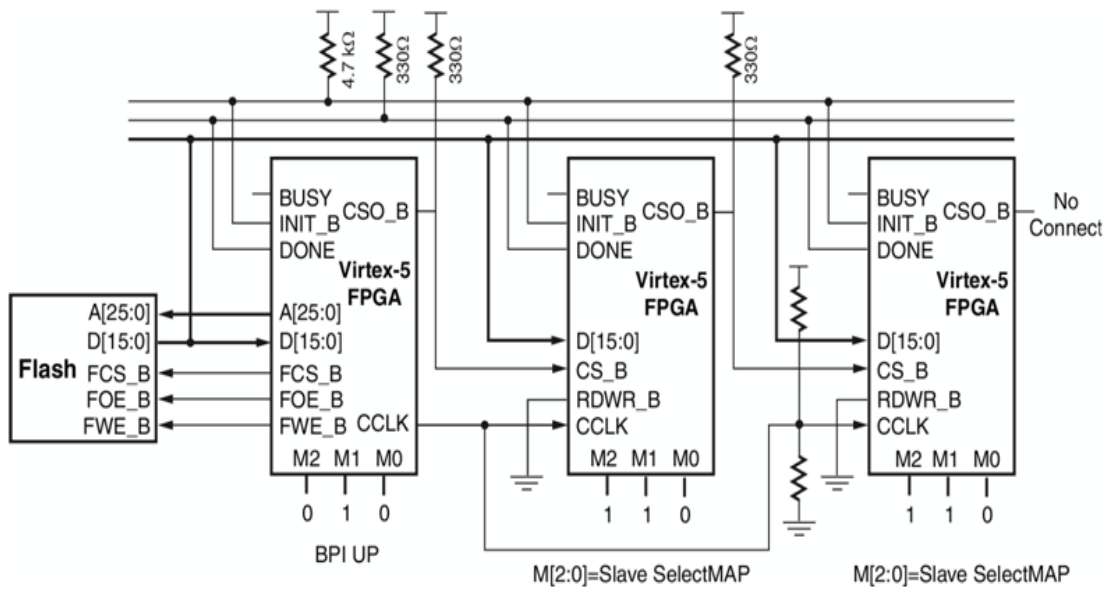


Параллел занжирга уланиш режими

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			



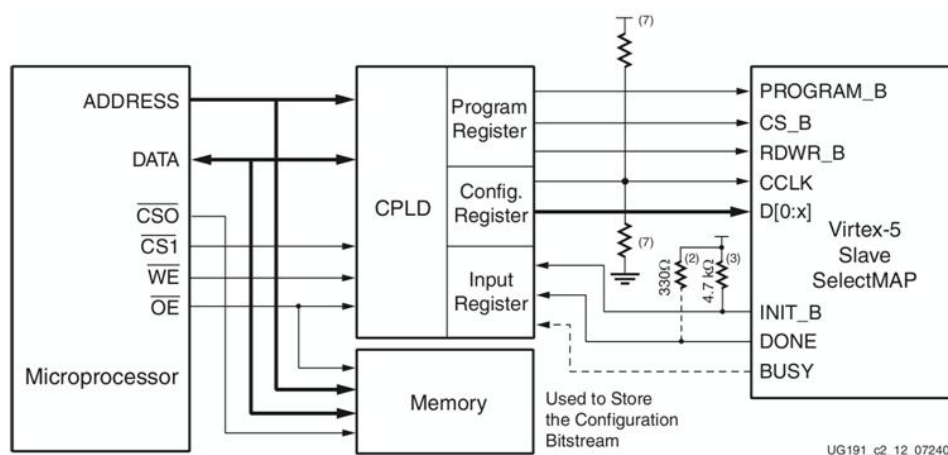
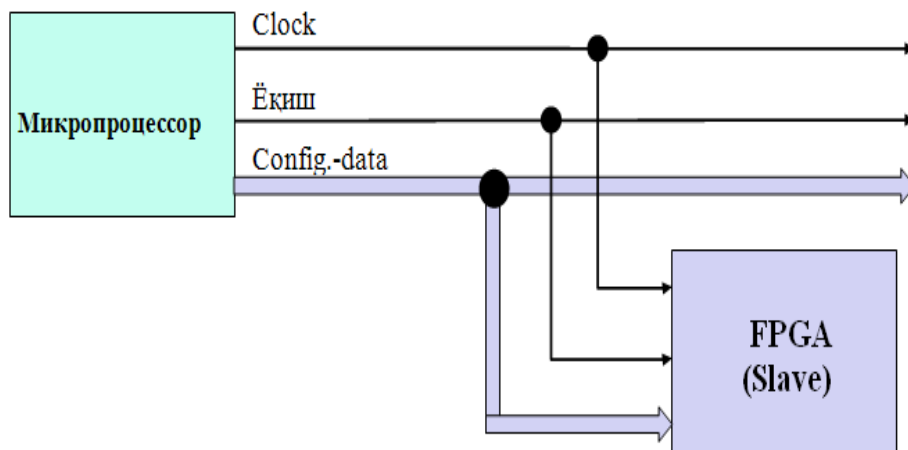
Xilinx: UG191 *Virtex-5 FPGA Configuration Guide*, v3.8, 2009



	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

Периферия режими:

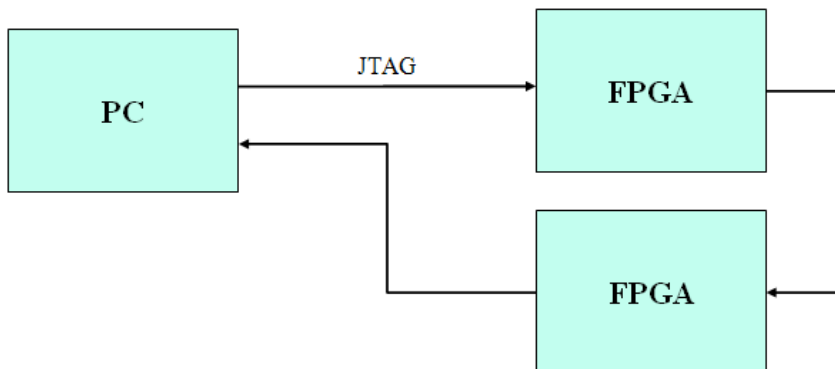
- Микропроцессор бошқаришни ўз қўлига олади.
- Занжирга улашни узайтириш мумкин.
- Одатда: параллел маълумотлар узатиш.



	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

JTAG

- CPLD-конфигурациясига ўхшаш.
- Регистрга махсус конфигурация ёзиш.

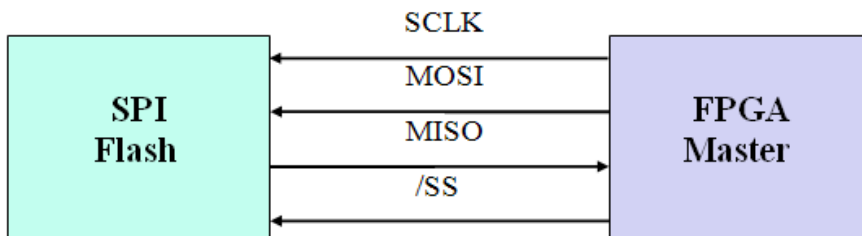


Кейингиси:

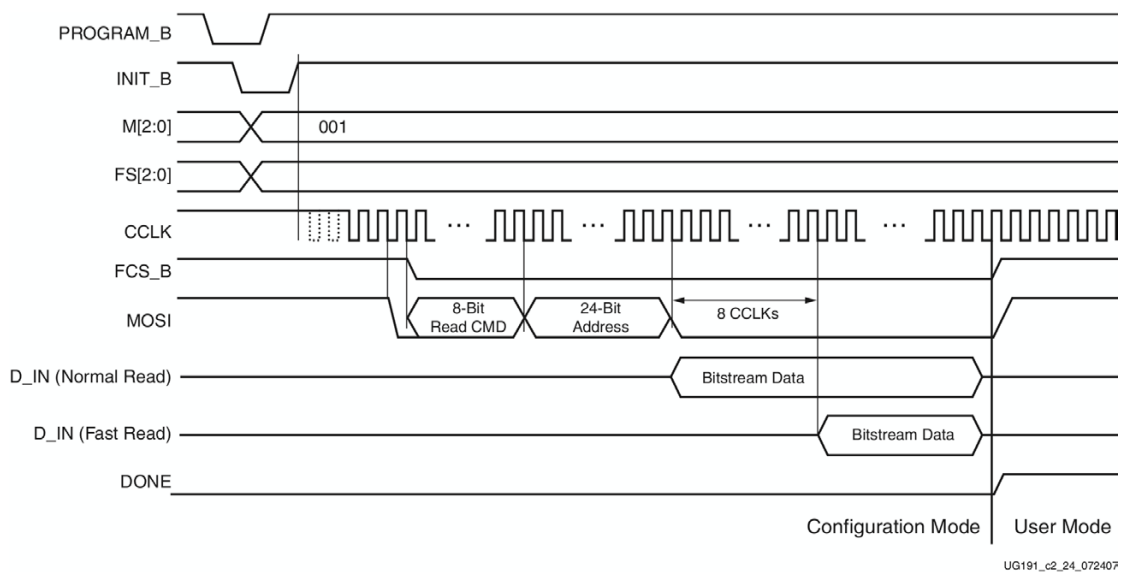
Олдинги хотира типлари: Xilinx Flash платформаси.

Саноат стандартлари учун қўшимча таъминот: SPI-Flash (*Кетма-кет периферия интерфейси*).

- Ўқиш- / Ёзиш буйруқлари.
- BPI-Flash (*Байт периферия интерфейси*).
- Манзил + Маълумотлар.



		ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Мажидова З				



Ҳимояланиш механизмлари



1 Сценарий:



Агар ток кучланиши ташлаб юборса конфигурация турғун бўлиши керак.

1 Ечим : Antifuse-FPGA (Сақлагич2-ДМИС).

2 Ечим: SRAM-FPGA + Буферли батарея.

3 Ечим: SRAM-FPGA + хотирадан қайта конфигурациялаш.



2 Сценарий:



Агар ток кучланиши ташлаб юборса конфигурация йўқалиши керак.

Ечим: SRAM-га асосланган FPGAлар.

Типик дастурлар: майдон фойдаланиш.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

1 Сценарий: Конфигурацияни сақлаш

● Масала:

Учинчи томондан муҳандислик анализи.

● FPGA- конфигурацияси ўзгартиришга **рухсат берилмаган** бўлиши керак.

● 1 Ечим: Antifuse-FPGA(Сақлагич2-FPGA):

● Асосан конфигурация ўқилмаган бўлиши керак.

● 2 Ечим: SRAM-FPGA + Буферли батарея:

Хотира конфигурацияси йўқ FPGAни бир марталик дастурлаш мумкин.

FPGAда қайта ўқиш функциясини ноактив ҳолатга келтириш.

Камчилиги: Ҳозирги замон FPGAларида узок муддатли

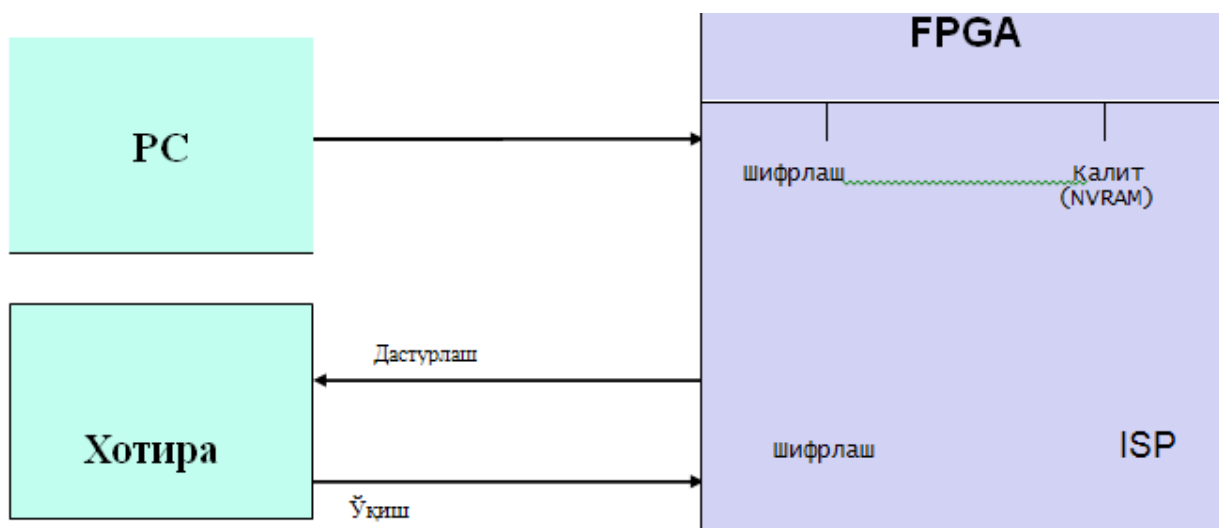
кўприк (алоқа)ни таъминлаганлиги учун доимий ток юқори.

● 3 Ечим: SRAM-FPGA + хотирадан қайта конфигурациялаш.

Хотирага шифрланган кўринишда FPGA-конфигурациясини сақлаш.

FPGAда қалит энергияга боғлиқ бўлмаган кўринишда дастурланади.

FPGAда қайта ўқиш функциясини ноактив ҳолатга келтириш.



	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

5 Хулоса

- Конфигурацияланиш синфлари:
 - Конфигурацияланадиган,
 - Қайта конфигурацияланадиган,
 - Қисман қайта конфигурацияланадиган,
 - Динамик қайта конфигурацияланадиган.

- Конфигурация режими:
 - Master, Slave, Периферия, JTAG.
 - Кетма-кет, параллел.
 - Ҳимоя механизмлари:
 - Хотиранинг ташқи конфигурацияси йўқ.
 - Конфигурацияни шифрлаш.
 - Конфигурацияни йўқатиш.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти л матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

III БОБ

Ҳаёт фаолияти хавфсизлиги

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиев Ш.И.				
Талаба	Мажидова З				

Ишлаб чиқариш корхоналарида радиоактив нурлардан сақланиш

Давлатимизнинг бир қанча илмий текшириш муассасаларида ва ишлаб чиқариш корхоналарида ҳар хил мақсадлар учун радиоактив моддалардан фойдаланилади. Масалан:

- куйма деталлар сифатини ва камчиликларни аниқлашда;
- металларни пайвандланган ва тайёр деталларининг сифатини аниқлашда;
- темир - бетон конструкцияларининг ишчи арматурасининг ҳимоя қатлами ўлчамларини аниқлашда (изс);
- темир - бетон конструкциялари ишчи арматурасининг олдиндан зўриқиш кўрсаткичини аниқлашда (ипн);
- ишлаб чиқариш жараёнларини назорат қилиш ва автомат-лаштиришда;
- ҳар хил қурилмаларни қалинлиги, зичлиги, намлиги ҳамда қурилиш бўладиган ер қатламини гидрогеологик шароитини тез аниқлашда кенг қўламда қўлланилади.

Радиоактив нурланишларга альфа, бета, гамма, рентген ва нейтрон оқимлари киради.

-альфа нурлари - катта ионлаштириш хусусиятига эга бўлган, ҳаракат доираси катта бўлмаган гелий атом ядроларининг мусбат зарядланган заррачалари ҳисобланади. Ҳаракат доираси кичиклиги сабабли инсон терисини ёриб кира олмайди ва унча зарарли эмас.

-бета нурлари - ҳаракат доираси анча кенг ва ёриб кириш хусусиятига эга бўлиб, инсон учун хавфлидир.

-гамма нурлари - ионлаш қобилияти катта бўлмасда, катта ёриб кириш кучига эга бўлиб, ядро реакциялари ва радиоактив парчаланиш натижасида вужудга келадиган юқори частотадаги электромагнит нурлардир.

-рентген нурлари - моддаларни электрон оқимлари билан бомбардимон қилганда ажралиб чиқадиган электромагнит кучлардир, бу нурларнинг ионланиш хусусиятлари оз бўлсада, ёриб кириш кўрсаткичи ниҳоятда катта ҳисобланади.

Рентген ва гамма нурланишларнинг экспозицион дозасицион дозаси бирлиги сифатида кулон / килограмм (Кл / кг) қабул қилинган.

Рентген ва гамма нурланишларнинг экспозицион дозаси кулон-килограмм шундай бирлики, у нурланиш билан туташган 1 кг қуруқ атмосфера ҳавосида 1 Кл миқдордаги электр зарядларининг мусбат ва манфий белгилари бўлган ионларни вужудга келтиради. Рентген ва гамма нурланишларининг тизимдан ташқаридаги бирлиги рентгендир.

Ҳар хил радиоактив нурларнинг тирик организмга таъсири уларнинг ионловчи ва кириб борувчи хусусиятига бағлиқ бўлиб, ҳар хил нурлар бир хил дозада ютилганда биологик таъсири бир-биридан фарқ қилади.

Шу сабабли радиация хавфини аниқлашда доза эквиваленти бирлиги бэр киритилган.

Радиоактив моддаларнинг энг хавфли томони шундаки, унинг таъсирини инсоннинг сезиш органлари мутлоқо сезмайди, шу сабабли радиоактив моддалар билан ишлаганда ўта эҳтиёткор бўлиш талаб этилади.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

Инсон организмнинг радиоактив нурланиши ички ва ташқи нурланиш бўлади.

-ташқи томондан нурланиш - маълум ташқи нурланувчи манба таъсирида кечганлиги сабабли, тарқалаётган нурларнинг кириб бориш кучи катта аҳамиятга эга булиб, организмга таъсири ҳам кучлироқ бўлади.

-ички нурланиш - нур тарқатувчи моддалар инсон организмнинг ички тизимларига, яъни емирилган тери қатламлари орқали қонга, нафас олиш аъзоларига, ўпкага ва шилмшиқ моддаларга, овқат ҳазм қилиш аъзоларига тушиб қолган тақдирда рўй беради. Шунинг учун ҳам радиоактив моддаларнинг катта парчаланиш даврида ва кучли нурланишга эга бўлганда, айниқса, ўта хавфли ҳисобланади.

-Радиоактив нурланишларнинг биологик таъсири – атом ва молекулаларнинг ионланиши сифатида тавсифланади ва ҳар хил кимёвий брикмалар таркибларининг ўзгаришига ва меъёрий малекуляр брикмаларда узилишлар бўлишига олиб келади.

Бу ўз навбатида тирик ҳужайралардаги модда алмашинувини бузилишига ва организмда биохимёвий жараёнларнинг ишдан чиқишига сабаб бўлади.

Катта кучдаги нурланиш таъсири узроқ вақт давом этса, баъзи бир ҳужайраларнинг ҳалокати кузатилади ва бу айрим аъзоларнинг, ҳаттоки бутун организмнинг ҳалокати билан тугайди.

Радиоактив нурланишлар таъсирида организмнинг умумий қон айланиш тизими бузилади, қон айланиш ритми сусаяди, қоннинг қўйилиш хусусияти йўқола боради, қон томирлари, айниқса, капиляр қон томирлари мўрт бўлиб қолади, овқат ҳазм қилиш аъзоларининг фаолияти бузилади, инсон озиб кетади, натижада инсон организмнинг ташқи юқумли касалликларга қарши курашиш қобилияти камаяди.

Радиоактив моддаларнинг қўлга таъсир қилиши олдин сезилмайди ва вақт ўтиши билан қўл қуришқоқ бўлиб, унда ёрилишлар кузатилади ҳамда тирноқлар тушиб кетади.

Альфа ва бета нурлари ташқаридан таъсир кўрсатганда инсон организмнинг тери қавати етарлича қаршилиқ кўрсатади. Аммо бу нурлар овқат ҳазм қилиш аъзоларига тушиб қалганда уларнинг зарарли таъсири кучайиб кетади.

Кўпчилик радиоактив моддалар организмнинг баъзи бир қисмларида жигар, буйрак ва суякларда йиғилиб организмни шикастлайди.

Радиоактив маддалар билан ишлаётган ишчиларнинг нурланишдан муҳофаза қилишнинг турли хил усуллари фойдаланилади.

- Ташқи нурланишдан сақланишда асосан:
- нурланаётган модда билан ишчи орасидаги хавфсиз масофани сақлаш;
 - экранлар ёрдамида тўсиқ воситаларидан фойдаланиш зарур ҳисобланади.

Ишчи-ходимларнинг радиоактив нурланиш минтақасида бўлиш вақти, унинг йўл қўйилиши мумкин бўлган дозасида нурланиш вақтидан ошмасликлари керак.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

Нурланиш интенсивлиги нурланаётган модда билан ишчи орасидаги масофа квадратига тескари пропорционал эканлигини ҳисобга олганда, маълум масофада туриб ишлаганда экранлардан фойдаланмаса ҳам бўлади.

Альфа нурланишларидан сақланишда - экран қаршилигининг ҳисоблашнинг эҳтиёжи йўқ. Чунки бу нурланишлар ҳаракат доираси энг кучли радиоактив моддаларда ҳам 55 мм дан ошмайди. Альфа нурланишларни ойна, плексиглаз, фольганинг энг юпқа хили ҳам ушлаб қолиш имкониятига эга.

Гамма нурланишлардан муҳофаза қилишда - оғир металллардан фойдаланиш керак. Масалан, кўрғошин, вольфрам ва бошқалар яхши натижа беради. Ўзларининг муҳофазаланиш хусусиятларига кўра ўртача оғирликдаги металллар экран сифатида яхши натижа беради (пўлат, чўян, мис брикмалари).

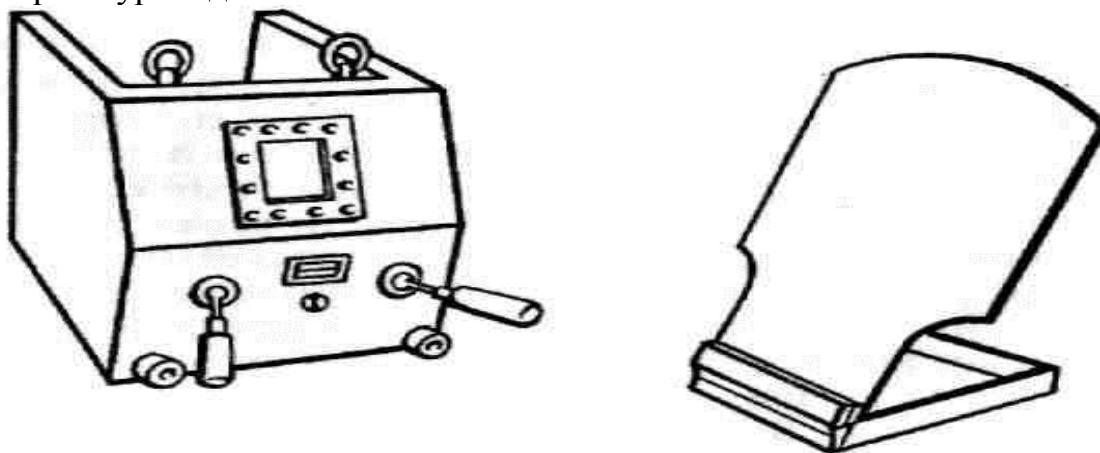
Экранлар ёрдамида нурланишни хоҳлаган миқдорда камайтириш имконияти мавжуд.

Бета нурланишдан муҳофазаланишда - бета нурларнинг ҳаракат масофаларини ҳисобга олган ҳолда, экран тури ва қалинлиги танланиб олинади.

Ренген қурилмаларидан фойдаланилганда икки хил нурланиш ҳасил бўлади. Булар тўғри тушаётган нурлар ва ҳар хил юзаларга тушиб қайтган нурлар ҳисобланади.

Ренген нурларидан фойдаланилаётганда, бу ренген нурларнинг иккаласидан ҳам муҳофазаланиш чора-тадбирларини кўриш керак.

Муҳофаза экранларининг пухта ишлаётганлиги ўлчаш асбоблари ёрдамида текшириб турилади.



22-расм. Радиоактив нурланишдан муҳофаза экранлари.

Ёпиқ ҳолатдаги нурланувчи моддалар билан ишлаганда асосан ташқи нурланишга қарши муҳофаза аслаҳаларидан фойдаланилади.

Радиоактив моддалар билан иш бажариладиган биноларнинг деворлари, пол, шифт ва эшиклари текис ва силлиқ бўлиши керак ҳамда бурчаклар радиоактив моддалардан тозалаш осон бўлиши учун ярим айлана шаклига келтирилган ҳалда қурилади.

Бинода ювиниш қурилмалари, душ хоналари, сув ичиш фавворалари, қўл ювиш қурилмалари бўлиши шарт ҳисобланади.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

**Ташқи ва ички нурларининг йил мобайнида рухсат этилган безарар
микдорий чегарилари, мЗВ.**

Ж а д в а л-5

Айрим аъзолар учун йиллик микдорий чегаралар	Нурланувчи одам тоифалари		
	А	Б	В
Безарар микдорлар	20	2	1
Кўз чорачиғи учун	150	15	15
Тана териси учун	200	-	-
Қолган аъзолар учун	200	-	-

Якка тартибда сафловчи воситалар инсон танасига, ички органларига, терисига ва кийим - кечакларига радиоактив моддаларни, захарли бирикмаларни ва биологик туманларини тушишидан сақлайди.

Якка тартибда сақловчи воситалар қўлланилинишига кўра: терини сақловчи, нафас олиш органларини, юзни, кўзни сақловчи турларга бўлинади.

Якка тартибда сақловчи воситалар, филтрловчи, изоляцияловчи турларга ҳамда тиббий сақловчи воситаларга бўлинади.

а) Нафас органларини сақловчиларга-газникоблар, респераторлар, матоли никоблар, пахта, докали таққичлар киради.

-Газникоблар нафас йўлларини, юзни, кўзни ҳар хил захарли таъсирлардан сақлайди.

Фуқоро муҳофазаси бўйича қуйидаги газникоблар: ГП-5, ГП-5М, ГП- 7, ГП-7В; фойдаланилади.

-Респераторлар асосан радиоактив ва механик чанглардан нафас органларини сақловчи восита ҳисобланади. ШБ-1 респератори Чернобл авариясида қўлланилиб, яхши натижалар берганлиги маълум.

-Матоли никоблар - нафас органларини сақловчи воситаларнинг оддий услуги саналиб, у радиоактив моддалардан, биологик туманлардан сақловчи воситадир.

б) Терини сақловчи воситалар – сақлаш даражасига кўра: филтрловчи ва изоляцияловчи хилларга бўлинади.

-Изоляцияловчи терини сақловчи воситалар ҳаво ўтказмайдиган резинали эластик материаллардан (ПВХ) тайёрланади.

Изоляцияловчи терини сақловчи воситаларга: комбензон ва костюм, енгил ҳимоя костюми Л-1 ва умумқўшин ҳимоя жамламаси киради.

-Филтрловчи ҳимоя кийимлари (ЗФО-58).

Бу восита комбензондан, пайтава, шлем остилигидан ташкил топган. ЗФО-58 газникоб, резинали этик ва кўлқопдан иборат жамлама ҳолда ҳам фойдаланилади.

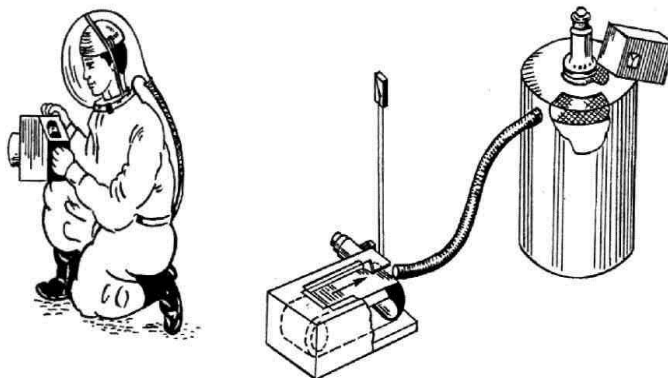
-Оддий терини ҳимояловчи воситаларга оддий ҳеч нарса шимдирилмаган ёпқич, плашлар, қалин зич тўқилган палтолар, пахтали, чарм-терици куртклар киради.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

в) Якка тартибдаги тиббиёт воситаларидан фойдаланиш – ионлаштирилувчи нурлардан, захарловчи моддалардан, бактериал воситалардан ҳамда кўйишдан сақлашда шахсий (шд-2) дорикутилардан фойдаланилади.

Дорикутига, дори - дармонлар ва қирғин қуроллари таъсирига қарши курашадиган протекторлар жойлаштирилган.

Ҳар хил турдаги якка тартибдаги сақловчи воситалардан фойдаланиш йўриқномалар талаби асосида қўлланилади.



23-расм. Шахсий муҳофаза аслаҳалари.

5.2. Фуқароларни химоя иншоотларида муҳофаза қилиш

Химоя иншоотлари фуқароларни табиий офатлар, авария, ҳалокат оқибатларидан ҳамда қирғин қуроллари таъсир факторларидан ва уларнинг иккиламчи таъсир факторларидан сақлайдиган бошпаналар ҳисобланади.

Химоя иншоотлари қуйидагиларга бўлинади:

а) Йўналишига кўра: фуқароларни сақлашга, бошқарув тизимларини ва тиббий шаҳобчаларни жойлаштиришга мўлжалланган;

б) Жойлашган ўрнига кўра: алоҳида жойлашган (метрополитенлар ва тоғ-кон қурилишлари);

в) Қурилиш муддатига кўра: — олдиндан қурилган ва тез қуриладиган;

г) Химоялаш даражасига кўра: — бошпана, РСБ ва оддий бошпана (очик ёки ёпиқ ер тўралар).

Бошпана: бошпана — одамларни ҳамма таъсир факторларидан (юқори ҳарорат, радиоактив, портловчи ва кучли захарли моддалар), иншоотлар бузилганда уларни қисмларидан ҳамда қирғин қуроллари ва оддий ҳужумкор қуроллар таъсиридан сақлайди.

Бошпаналар одамларни қабул қилиш сонига кўра 5синфга бўлинади: кичик (150-300 киши), ўртача (300-600 киши), катта (600 дан кўп) ва бошқалар.

Бошпанани қуришда қуйидаги талаблар қўйилади:

3 суткадан кам бўлмаган муддатда сақлаш;

Сув босмайдиган жойларда қуриш;

- оқар сувлардан, канализация коммуникацияларидан ҳамда қурилиш коммуникацияларидан узоқроқ жойларда қуриш;

- чиқиш ва кириш эшикларининг бўлиши.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

Бошпана маълум жиҳозлар билан жиҳозланиши шарт, жумладан: шамоллатгич, санитар-техник жиҳозлар, ҳаводаги захарли моддаларни, радиоактив бирикмаларни ва биологик воситаларни тозаловчи ускуналардан иборат бўлиши керак.

Бошпана асосий ва қўшимча хоналардан ташкил топади: Асосий хоналарга — одамлар, бошқарув тизимлари, тиббий хизмат тизимлари жойлаштирилади, қўшимча хоналарга жиҳозлар, асбоб-ускуналар, озиқ-овқатлар, сув ва бошқа керакли воситалар жойлаштирилади. Бу бошпаналар жуда мустаҳкам қурилганлиги, герметиклиги юқорилиги ва санитар-гигиена шароити бўлганлигидан халқни бир неча кун давомида беталофат сақлаши мумкин. Бошпаналар одамлар ётадиган ва туриб сақланадиган ҳолда бўлади.

Туриб сақланадиган бошпаналар сифатида ишлаб чиқариш, маъмурий ва халқ яшайдиган баланд уйларнинг ертўлаларидан фойдаланилади. Бунда бутун қирғин қуроллари факторларидан сақловчи қисмлар, элементлар ўрнатилиб, бошпанага қўйилган талаблар бажарилади.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш
Раҳбар	Файзиёв Ш.И.			
Талаба	Мажидова З			

Хулоса

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиев Ш.И.				
Талаба	Мажидова З				

ХУЛОСА

Менинг битирув малакавий ишим мавзуси “FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш деб номланади.

Ушбу презентацион маърузаларни тайёрлашда ҳам 158677- TEMPUS -1-2009- DE- TEMPUS – JPCR HEICA: Ўрта Осиёда информатика соҳасидаги олий таълим инициативалари лойиҳаси сайтига (www.heica.inf.tu-dresden.de) сайтига кўпроқ мурожаат қилдим. Маълумотномадан нафақат “Дастурланадиган мантикий схема ва системаларни ишлаб чиқиш” фанидан маъруза модули ва тажриба машғулотларини бажаришда, балки дастурланувчи мантикий интеграл схема турларини ўрганишни истовчилар ҳам мустақил ўрганиш учун фойдалана оладиган қилиб яратдим. Ушбу презентацион маърузалардан ихтиёрий ўқитувчи ёки фойдаланувчилар маълумотнома сифатида фойдаланиш имкониятига эга бўлишини таъминлашни ўз олдимга мақсад қилиб қўйдим ва бу мақсадимга эришдим.

Яратилган презентацион маърузаларни таълим жараёнида ва фойдаланувчилар маълумотномаси сифатида ҳам фойдаланса бўлади. Ҳозирча бу презентацион маърузалар ушбу соҳадаги илк ишим бўлиб, кейинчалик бу мавзунини янада кенгайтириб, электрон дарслик ва китоблар яратиб, республикамизга тарқатиш ниятидаман.

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

Фойдаланилган адабиётлар

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи венти л матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиев Ш.И.				
Талаба	Мажидова З				

Фойдаланилган адабиётлар

1. Каримов И.А. «Жахон молиявий – иктисодий инкирози, Узбекистон шароитида уни бартаф этишнинг йуллари ва чоралари», Тошкент, «Узбекистон», 2009 й.
2. Карты обучения и контроля знания по технике безопасности, 2000г.
3. Бибилло П.Н. Основы языка VHDL. - М.: "Либроком", 2009. - 328 с., ISBN: 978-5-397-00295-0.
4. Бибилло П.Н., Авдеев Н.А. VHDL. Эффективное использование при проектировании цифровых систем. - М.: "Солон-Пресс", 2006. - 344 с., ISBN: 5-98003-293-2.
5. Бибилло П.Н. Задачи по проектированию логических схем с использованием языка VHDL, 2010. - 328 с., ISBN: 978-5-382-01095-3.
6. Горелик В.Ю., Ермаков А.Е. Схемотехника ЭВМ. - М.: "Маршрут", 2008, ISBN: 978-5-89035-419-8.

7. [VHDL портал для студентов и разработчиков - Главная ... - бгуир](#)

www.bsuir.by/vhdl/

Приветствуем Вас на сайте, посвящённому языку проектирования VHDL ... vhdl.org/ - Интернет-сервер международного *форума* пользователей VHDL.

8. [Vhdl Описание - Форум ЮФУ](#)

forum.sfedu.ru > ... > [Работа и услуги](#) > [Ищу работника](#)

23 апр. 2013 г. – Необходим специалист в области программирования на языке VHDL (Quartus II) для описания мультиплексора-агрегатора ...

9. [Форум разработчиков электроники ELECTRONIX.ru > Что лучше под ...](#)

electronix.ru/forum/lofiversion/index.php/t625.html

		ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар		Файзиёв Ш.И.				
Талаба		Мажидова З				

Илова

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиев Ш.И.				
Талаба	Мажидова З				

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity Project1 is
  port(
    sw0 : in std_logic;
    sw1 : in std_logic;
    sw2 : in std_logic;
    sw3 : in std_logic;
    seg7: out std_logic_vector(6 downto 0)
  );
end Project1;

architecture pro1 of Project1 is
  signal dig: std_logic_vector(3 downto 0);
  begin
  dig <= sw3 & sw2 & sw1 & sw0;
  with dig select
    seg7 <=      "1000000" when "0000",
                  "1111001" when "0001",
                  "0100100" when "0010",
                  "0110000" when "0011",
                  "0011001" when "0100",
                  "0010010" when "0101",
                  "0000010" when "0110",
                  "1111000" when "0111",
                  "0000000" when "1000",
                  "0010000" when "1001",
                  "0001000" when "1010",
                  "0000011" when "1011",
                  "1000110" when "1100",
                  "0100001" when "1101",
                  "0000110" when "1110",
                  "0001110" when others;

end architecture;

```

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиёв Ш.И.				
Талаба	Мажидова З				

	ФИО	имзо	сана	“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш	
Раҳбар	Файзиев Ш.И.				
Талаба	Мажидова З				

КИРИШ

					<i>Битирув малакавий иш</i>			
					“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш			
		ФИО	имзо	сана				
Битирув	Мажидова З.							
Раҳбар	Файзиёв Ш.И.							
Маслаҳ						Варак №	Вараклар	
						Бух МТИ		
Каф.м.	Раззоқов Ш.И.							

I БОБ

Назарий қисм

					<i>Битирув малакавий иш</i>			
					“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш			
		ФИО	имзо	сана				
Битирув	Мажидова З.							
Раҳбар	Файзиёв Ш.И.							
Маслаҳ						Варак №	Вараклар	
						Бух МТИ		
Каф.м.	Раззоқов Ш.И.							

II БОБ

Асосий қисм

					<i>Битирув малакавий иш</i>			
					“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш			
		ФИО	имзо	сана				
Битирув	Мажидова З.							
Раҳбар	Файзиёв Ш.И.							
Маслаҳ						Варак №	Вараклар	
						Бух МТИ		
Каф.м.	Раззоқов Ш.И.							

III БОБ

Ҳаёт фаолияти хавфсизлиги

					<i>Битирув малакавий иш</i>			
					“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш			
		ФИО	имзо	сана				
Битирув	Мажидова З.							
Раҳбар	Файзиёв Ш.И.							
Маслаҳ						Варак №	Вараклар	
						Бух МТИ		
Каф.м.	Раззоқов Ш.И.							

Хулоса

					<i>Битирув малакавий иш</i>			
					“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш			
		ФИО	имзо	сана				
Битирув	Мажидова З.							
Раҳбар	Файзиёв Ш.И.							
Маслаҳ						Варак №	Вараклар	
						Бух МТИ		
Каф.м.	Раззоқов Ш.И.							

Фойдаланилган адабиётлар

					<i>Битирув малакавий иш</i>			
					“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш			
		ФИО	имзо	сана				
Битирув	Маждидова З.							
Раҳбар	Файзиёв Ш.И.							
Маслаҳ						Варак №	Вараклар	
						Бух МТИ		
Каф.м.	Раззоқов Ш.И.							

Илова

					<i>Битирув малакавий иш</i>			
					“FPGA-оддий ҳолларда дастурланувчи вентил матрицалари” модули бўйича презентацион маърузаларни яратиш			
		ФИО	имзо	сана				
Битирув	Маждидова З.							
Раҳбар	Файзиёв Ш.И.							
Маслаҳ						Варак №	Вараклар	
						Бух МТИ		
Каф.м.	Раззоқов Ш.И.							