

**МИНИСТЕРСТВО ПО РАЗВИТИЮ ИНФОРМАЦИОННЫХ
ТЕХНОЛОГИЙ И КОММУНИКАЦИЙ РЕСПУБЛИКИ УЗБЕКИСТАН**

**НУКУССКИЙ ФИЛИАЛ ТАШКЕНТСКОГО УНИВЕРСИТЕТА
ИНФОРМАЦИОННЫХ ТЕХНОЛОГИЙ**



ФАКУЛЬТЕТ: Компьютерный инжиниринг

КУРСОВАЯ РАБОТА

**По предмету: «Разработка программного обеспечения встроенных
систем»**

На тему: «Анализ технологии CPLD, FPGA, SOC и SoPC»

Выполнила:

Сайтов А.

Принял:

Татлымуратов Н.

НУКУС 2017

ПЛАН

➤ Введение

1. История развития

2. Основные производители

➤ Altera

➤ Семейство MAX3000

➤ Семейство Mercury

➤ Xilinx

➤ Achronix Semiconductor

3. Новые семейства ПЛИС фирмы Actel

4. Принципы структурной организации программируемых логических интегральных схем

5. Особенности проектирования цифровых устройств на базе ПЛИС.

➤ Заключение

➤ Список литературы

Введение

Программируемые логические интегральные схемы (ПЛИС) появились полтора десятилетия назад как альтернатива программируемым логическим матрицам (ПЛМ). ПЛИС отличаются от последних как по архитектуре, так и по технологии изготовления.

ПЛМ представляет собой матрицу многовходовых (более десятка входов) логических элементов с триггерами, в которых программируются конstituенты единиц дизъюнктивных нормальных форм функций этих элементов. В первых ПЛМ программирование выполнялось пережиганием перемычек между источниками сигналов переменных и входами логических элементов. Затем перемычки заменили МОП-транзисторами с плавающим затвором, как в электрически перепрограммируемом ПЗУ. Поэтому сейчас ПЛМ изготавливаются по технологии флэш-памяти. Большие ПЛМ (CPLD) отличаются только тем, что несколько ПЛМ собраны на одном кристалле и объединены программируемым полем связей.

История развития

История развития программируемых логических интегральных схем (ПЛИС) начинается с появления в начале 70-х гг. программируемых постоянных запоминающих устройств (ППЗУ - Programmable Read Only Memory - PROM).

Первое время PROM использовались исключительно для хранения данных, позже их стали применять для реализации логических функций. Однако необходимость приведения логических функций к совершенной дизъюнктивной нормальной форме (СДНФ) не позволяло применять PROM для реализации функций больших размеров. Специально для реализации систем булевых функций (СБФ) большого числа переменных были разработаны и с 1971 г. стали выпускаться промышленностью программируемые логические матрицы (ПЛМ - Programmable Logic Arrays - PLA), которые получили широкое распространение в качестве универсальной элементной базы цифровых устройств. Совершенствование архитектуры PLA привело к появлению программируемых матриц логики (ПМЛ - Programmable Array Logics - PALs), которые до настоящего времени определяют архитектуру PLD. Дальнейшее совершенствование технологии производства интегральных схем в начале 90-х годов привело к возможности реализации на одном кристалле нескольких PAL, объединяемых программируемыми соединениями. Подобные архитектуры получили название сложных ПЛУ (Complex PLD - CPLD). Параллельно с PLD развивались интересующие нас архитектуры вентильных матриц (Gate Array - GA) и матриц логических ячеек (Logic Cell Array - LCA), в русскоязычной литературе получившие название базовых матричных кристаллов (БМК). Первые вентильные матрицы были полузаказными, то есть программировались во время изготовления, что сильно сдерживало их широкое использование. Однако в 1985 г. фирма Xilinx выпустила программируемую пользователем вентильную матрицу (Field Programmable Gate Array - FPGA). Это дало сильный толчок к широкому распространению вентильных матриц и конкуренции их с PLD. В настоящее время число вентилей на кристалле достигло 2 миллиардов, число выводов - 2000, а быстродействие находится на уровне 0,75 наносекунд. Множество компаний в мире занято производством цифровых устройств на основе ПЛИС и использованием их в своих системах.

Основные производители

В данном разделе перечисляются и кратко описываются основные производители современных вычислительных систем на основе ПЛИС и комплектующих к ним. Самые популярные из них : Xilinx, Altera, Achronix.

Altera

Одна из крупнейших разработчиков ASIC, программируемых логических интегральных схем(ПЛИС), была основана в 1983 г. Компания Altera является основным конкурентом компании Xilinx, причем по всем основным направлениям. Главное из них - это производство ПЛИС как типа FPGA, так и типа CPLD. В мае 2008 г. Altera представила новое семейство из серии Stratix высокопроизводительных микросхем типа FPGA - Stratix IV, работающих на 40-нм архитектуре. Для менее ресурсоемких задач компания Altera предлагает серию ПЛИС FPGA Cyclone. Компания Altera занимается разработкой разнообразного ПО для работы с их микросхемами, среди которых основным программным продуктом является пакет программ Quartus II, который предоставляет различные средства для проектирования и анализа структуры микросхем, а также для оптимизации затрат по потребляемой мощности.

Семейство MAX3000

Летом 1999 года на рынке стали доступны ПЛИС семейства MAX3000. Их архитектура близка к архитектуре семейства MAX7000, однако имеется ряд небольших отличий. В таблице 1.1 приведены основные параметры ПЛИС.

Таблица 3.1.1.

	ЕРМ3032А	РМ3064А	ЕРМ3128А	ЕРМ3256А
Логическая емкость, эквивалентных вентилей	600	1250	2500	5000
Число макроячеек	32	64	128	256

Число логических блоков	2	4	8	16
Число программируемых пользователем выводов	34	66	96	158
Задержка распространения сигнала ВХОД-ВЫХОД, t_{PD} , нс	4.5	4.5	5	6
Время установки глобального тактового сигнала, t_{SU} , нс	3.0	3.0	3.2	3.7
Задержка глобального тактового сигнала до выхода, t_{CO1} , нс	2.8	2.8	3.0	3.3
Максимальная глобальная тактовая частота, f_{CNT} , МГц	192.3	192.3	181.8	156.3

Микросхемы семейства MAX3000 выполнены по CMOS EPROM технологии, при соблюдении технологических норм 0.35 мкм, что позволило существенно удешевить их по сравнению с семейством MAX7000S. Все ПЛИС MAX3000 поддерживают технологию программирования в системе (ISP, In-system programmability) и периферийного сканирования (boundary scan) в соответствии со стандартом IEEE Std. 1149.1 JTAG. Элементы ввода-вывода (ЭВВ) позволяют работать в системах с уровнями сигналов 5В, 3.3В, 2.5В. Матрица соединений имеет непрерывную структуру, что позволяет реализовать время задержки распространения сигнала до 4.5 нс. ПЛИС MAX3000 имеют возможность аппаратной эмуляции выходов с открытым коллектором (open - drains pin) и удовлетворяют требованиям стандарта PCI.

Имеется возможность индивидуального программирования цепей сброса, установки и тактирования триггеров, входящих в макроячейку. Предусмотрен режим пониженного энергопотребления. Программируемый логический расширитель позволяет реализовать на одной макроячейке функции до 32 переменных. Имеется возможность задания бита секретности (security bit) для защиты от несанкционированного тиражирования разработки.

Реализация функции программирования в системе поддерживается с использованием стандартных средств загрузки, таких как ByteBlasterMV, BitBlaster, MasterBlaster, а также поддерживается формат JAM.

ПЛИС MAX3000 выпускаются в корпусах от 44 до 208 выводов.

Семейство Mercury

Новое семейство Mercury было выпущено на рынок фирмой Altera в начале 2001 года. Данные устройства представляют собой принципиально новый класс ПЛИС, ориентированных на приложения для коммуникаций и обработки сигналов.

Отличительными чертами семейства Mercury являются:

- Интегрированные высокоскоростные приемопередатчики, поддерживающие синхронное восстановление данных (clock data recovery, CDR) позволяющих организовать передачу и прием данных на скоростях до 1.25 гигабит в секунду (Gbps).
- Архитектура логического элемента основана на традиционной таблице перекодировок (Look-up table , LUT), оптимизирована под высокие темпы обработки данных.
- Новая архитектура быстрых межсоединений внутри кристалла для уменьшения задержек в критических путях.
- Элементы ввода-вывода поддерживают множество стандартных интерфейсов обмена данными.
- ПЛИС семейства Mercury содержат до 14,400 логических элементов (ЛЭ, LE)
- Тактирование с умножением частоты обеспечивается схемами фазовой автоподстройки частоты (phase-locked loop, PLL) с программируемым коэффициентом умножения частоты и сдвигом фазы опорного сигнала.
- ПЛИС семейства Mercury имеют до 12 выходов ФАПЧ

- Специализированная схема для реализации аппаратных умножителей (как знаковых, так и беззнаковых), позволяющая реализовать умножители разрядностью до 16 X 16.
- ПЛИС семейства Mercury имеют встроенные системные блоки памяти (Embedded system blocks, ESBs) на которых возможно реализовать разнообразные устройства памяти, такие как четырехпортовое ОЗУ (quad-port RAM), двунаправленные двухпортовые ОЗУ (bidirectional dual-port RAM), буферы FIFO, память с адресацией по содержимому (content-addressable memory - CAM).
- Каждый системный блок памяти содержит 4096 бит и может быть сконфигурирован для использования как два однонаправленных двухпортовых ОЗУ по 2048 бит каждое.

В таблице 3.1.2 приведены основные характеристики ПЛИС семейства Mercury

Таблица 3.1.2

	EP1M120	EP1M350
Емкость, экв.вентилей	120 000	350 000
Высокоскоростных дифференциальных каналов ввода-вывода	8	18
Логических элементов	4800	14400
Системных блоков памяти	12	28
Объем встроенной памяти, бит	49152	114 688
Число пользовательских выводов	303	486

Особенности элементов ввода-вывода – поддержка огромного числа стандартных интерфейсов, таких как LVTTTL, PCI (до 66 МГц), PCI-X (до 133 МГц), 3.3-V AGP, 3.3-V SSTL, 3 и 2.5V SSTL-2, GTL+, HSTL, CTT, LVDS, LVPECL и PCML.

Высокоскоростной дифференциальный интерфейс (High-speed differential interface, HSDI) с встроенной синхронной схемой синхронного

восстановления данных (CDR) обеспечивает скорость передачи данных до 1.25 гигабита в секунду для уровней LVDS, LVPECL и PCML. При использовании внешней синхронизации обеспечивается скорость до 840 мегабит в секунду для уровней LVDS, LVPECL и PCML.

Возможно, использовать до 18 дифференциальных каналов на вход и до 18 на выход поддерживая уровни LVDS, LVPECL или PCML. Гибкая встроенная схема LVDS TM обеспечивает производительность обмена до 332 мегабит в секунду по 100 каналам (для устройства EP1M350). Элементы ввода – вывода (I/O element, IOE) поддерживают удвоенную скорость обмена данными (double data rate I/O, (DDRIO), что позволяет работать с DDR SDRAM, памятью с нулевым возвращением шины (zero bus turnaround, ZBT SRAM, и памятью с четырехкратным ускорением обмена (quad data rate, QDR SRAM). Напряжение питания ПЛИС семейства Mercury составляет 1.8В для внутренних ячеек (V_{CCINT}) и поддержку различных уровней для напряжения питания ЭВВ (V_{CCIO})- 1.5В, 1.8В, 2.5В, 3.3В. Для работы с 5 – вольтовыми схемами необходимы внешние подтягивающие резисторы. Структура межсоединений имеет многоуровневый характер, что обеспечивает хорошую трассируемость проекта.

В общем можно сказать, что ПЛИС семейства Mercury интегрируют в себе встроенные дифференциальные ЭВВ, поддерживающие скоростной обмен данными и оптимизированную внутреннюю архитектуру. Архитектура ПЛИС семейства Mercury специально оптимизирована под использование мегафункций. При этом производительность этих устройств значительно возросла по сравнению с другими семействами (см.табл.1.20), что делает их очень привлекательными в сигнальных задачах.

Таблица 3.1.3

Приложение	Ресурсы ПЛИС		Производительность
	ЛЭ	СБП	
16 разрядный загружаемый счетчик	16	0	333 МГц
32 разрядный загружаемый	32	0	333 МГц

счетчик			
32 разрядный накапливающий сумматор	32	0	333 МГц
Мультиплексор 32 в 1	27	0	1.7 нс
32 X 64 FIFO	103	2	311 МГц

ПЛИС семейства Mercury построены по технологии CMOS SRAM и могут быть сконфигурированы либо с внешнего ПЗУ, либо от контроллера системы. Безусловно, поддерживаются все функции программирования в системе (in-system programmability,ISP).В качестве средства разработки проектов на ПЛИС семейства Mercury используется пакет Quartus II.

Архитектура ПЛИС семейства Mercury состоит из рядов ЛЭ, выполняющих функции стандартной логики (row-based logic array) и рядов встроенных системных блоков памяти (СБП) (row-based embedded system array), которые могут также быть сконфигурированы для реализации сложных функций. Внутренние межсоединения в ПЛИС семейства Mercury представляют набор вертикальных и горизонтальных трасс различной длины и обеспечивающих различную скорость распространения сигнала.

Xilinx

Американский разработчик и производитель интегральных микросхем программируемой логики (ПЛИС, FPGA).Основанная в 1984 г.американская компания Xilinx является одним из лидеров в области производства ПЛИС-микросхем. Доля Xilinx на мировом рынке ПЛИС составляет, по данным самой компании, 51%. На данный момент у этой компании существует несколько серий выпускаемой аппаратуры для разного рода вычислений:

- Virtex. Высокопроизводительные ПЛИС на основе FPGA, призванные заменить специализированные интегральные схемы при решениях различных ресурсоемких задач.
- Spartan. Более дешевые и менее производительные ПЛИС FPGA, разработанные для использования в устройствах, рассчитанных на большие тиражи и невысокую стоимость комплектующих.

- CoolRunner и XC9500. Серии ПЛИС типа CPLD, предназначенных для использования в различных портативных устройствах - мобильных телефонах, GPS-навигаторах, КПК и т.д. Для микросхем данного типа главными критериями является минимизация размеров и потребляемой мощности. Для работы с представленными микросхемами компания Xilinx предоставляет различные программные средства для реализации цифровых схем, для разработки встраиваемых программируемых процессорных систем, а также для отладки и повышения производительности. Помимо собственно разработки микросхем, компания Xilinx уделяет большое внимание цифровой обработке сигналов, разработке различных IP-ядер для использования в микросхемах, созданию встроенных процессоров и др.

Произведем сравнительную оценку производительности универсального процессора, процессоров ЦОС и ПЛИС Xilinx с использованием подсчета только числа базовых операций ЦОС — умножения с накоплением в секунду MAC (Multiply-Accumulate). На рис. 1 приведены характеристики по производительности универсального процессора Pentium II (450 МГц), процессоров ЦОС TMS320C5416 (160 МГц), TMS320C6701 (167 МГц) и AD21062 (40 МГц), ПЛИС Xilinx XCV100-4 (серия Virtex, 100 тыс. вентилей) и XCV400-4 (серия Virtex, 400 тыс. вентилей) при выполнении MAC 8-, 16- и 32-битных операндов с фиксированной точкой.

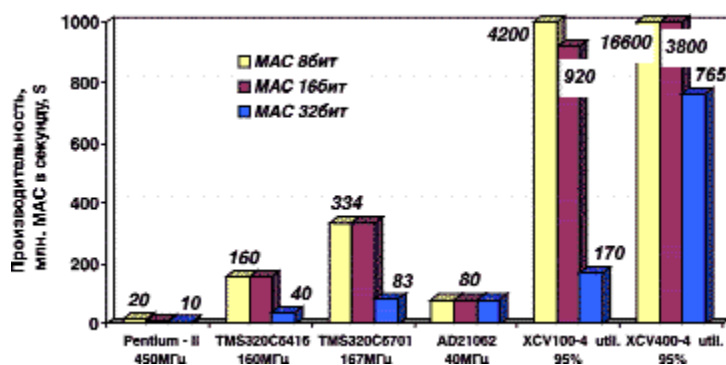


Рис.3.2. 1. Сравнительные характеристики различных аппаратных средств по производительности

Производительность ПЛИС Xilinx на задачах ЦОС тем выше, чем более высокая параллельность обработки используется в алгоритме, что ведет за собой соответствующее увеличение объема логики на кристалле. Однако достаточно малый кристалл ПЛИС Xilinx XCV100 (стоимость которого — около 90\$) на 8-битных операциях обеспечивает

производительность, почти на порядок превосходящую показатели мощного ЦОС- процессора. Это обусловлено распараллеливанием самого процесса обработки и эффективным использованием архитектурных особенностей ПЛИС, причем, что особенно важно, за счет высокой скорости межкристального обмена ПЛИС возможен многоканальный ввод/вывод данных на предельных частотах, вплоть до 200 МГц.

Конечно, было бы некорректным проводить анализ сравнительной производительности реализации алгоритмов ЦОС без учета их стоимости. На рис. 2 приведена удельная стоимость 1 млн МАС в секунду для ранее рассмотренных устройств, и, как видно, ПЛИС обеспечивают беспрецедентно низкие стоимостные затраты при значительном выигрыше в производительности.

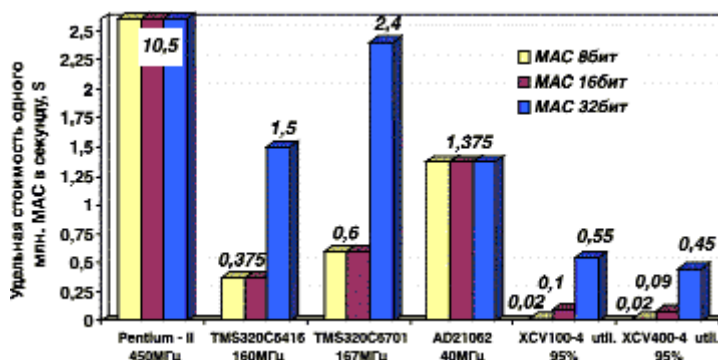


Рис. 3.2.2. Стоимость 1 млн МАС в секунду для различных аппаратных средств

Для реализации высокоскоростных устройств ЦОС наиболее приемлемы ПЛИС таких семейств, как Virtex, Virtex-E, а также XC4000XL/XLA/XV и Spartan/XL, основные характеристики которых по сериям приведены в табл. 3.2.1.

Таблица 3.2.1. Основные характеристики ПЛИС Xilinx серий Virtex, Virtex-e, XC4000XL/XLAXV, Spartan/XL

Семейство ПЛИС	Системная частота, МГц	Быстродействие, нс/вентиль	Скорость обмена chip-to-chip, МГц	Емкость ПЛИС, системных вентилях
Virtex	до 200	0,6	до 200 HSTL 4)	до 1000 тыс.

Virtex-E	до 250	0,5	до 622 (LVDS)	до 3200 тыс.
XC4000XL/XLA/XV	до 130	0,7	более 100	до 500 тыс.
Spartan/XL	до 100	0,8	более 80	до 40 тыс.

Привлекательной чертой ПЛИС Xilinx для реализации алгоритмов ЦОС по сравнению с ПЛИС других фирм является наличие внутреннего быстродействующего (до 250 МГц для Virtex-E, до 133 МГц для XC4000X) распределенного ОЗУ, объединяемого в блоки требуемого размера. Использование данного ОЗУ очень эффективно для реализации алгоритмов ЦОС методом распределенной арифметики, а также для хранения коэффициентов, результатов промежуточных вычислений и т. п.

Достаточно хорошо используется распределенное ОЗУ Xilinx при реализации алгоритма быстрого преобразования Фурье.

Achronix Semiconductor

Частная компания без собственных производственных мощностей, расположенная в Сан-Хосе, штат Калифорния (США). Achronix проектирует самые быстрые в мире программируемые логические матрицы FPGA с использованием уникальной запатентованной полупроводниковой технологии. В отличие от многих производителей ПЛИС, компания Achronix Semiconductor при производстве ПЛИС FPGA делает ставку не на низкую стоимость и энергопотребление, а на высокую производительность и надежность. Выпускается две серии микросхем:

- Серия Achronix-Ultra с частотой до 2.2 ГГц, что является рекордным значением для ПЛИС.
- Серия Achronix-Xtreme с частотой около 1 ГГц, устойчивых к радиационному излучению и предназначенных для работы в большом температурном диапазоне - от -260°С до +130°С.

Причиной появления столь высокой тактовой частоты является использование асинхронной технологии - элементы микросхемы не синхронизированы между собой. Асинхронность скрыта от пользователя под уже синхронизированной аппаратной и программной инфраструктурой. В 01.11.2010 г. Компания Achronix Semiconductor объявила о стратегическом

доступе к производственным мощностям корпорации Intel с передовым техпроцессом 22 нм. Договоренности позволяют разместить производство программируемых матриц Achronix FPGA нового поколения Speedster22i на производственных мощностях Intel с технормами 22 нм. Как становится понятным из вышеперечисленных свойств выпускаемых данной компанией микросхем, основными целевыми отраслями являются сферы, требующие большой вычислительной мощности и/или работы в экстремальных условиях. Это аэрокосмическая и военная промышленности, высокопроизводительные вычисления, а также сфера коммуникаций и цифровая обработка сигналов.

Производство программируемых логических интегральных схем (ПЛИС) представляет собой один из самых динамично развивающихся сегментов рынка современной микроэлектроники. Состояние дел в этой области позволяет говорить о том, что первый этап ознакомления разработчиков с продукцией и определения ниш ее применения практически завершился. Он характеризовался массовым применением дешевых коммерческих технологий. Однако в связи с постоянной необходимостью применения изделий программируемой логики в устройствах повышенной надежности имеет смысл провести дифференциацию имеющихся на рынке ПЛИС изделий и рассмотреть специализированные решения для сектора высоконадежных устройств. К последним, очевидно, относятся микросхемы корпорации Actel, предназначенные для жестких условий эксплуатации.

Наиболее распространенными архитектурами ПЛИС в настоящее время являются FPGA (Field-Programmable Gate Array) и CPLD (Complex Programmable Logic Devices). Первая из упомянутых архитектур является флагманской в смысле достижения наибольшей емкости кристалла и рабочей частоты. На базе этой архитектуры изготавливаются такие продукты для коммерческого рынка, как Spartan и Virtex фирмы Xilinx, а также Cyclone и Stratix фирмы Altera. Несмотря на то что аббревиатура CPLD расшифровывается как сложные (complex) программируемые микросхемы, их архитектура по сравнению с FPGA более проста. Другим отличием является способ хранения конфигурации: FPGA используют статическую память, требующую внешнего энергонезависимого устройства, тогда как CPLD содержат на кристалле энергонезависимую память (как правило, Flash), обеспечивающую загрузку конфигурации ПЛИС сразу после включения питания.

Вместе с тем вышеупомянутые архитектурные решения, при всей их распространенности и технологической отлаженности, имеют врожденные

недостатки, препятствующие их использованию в устройствах повышенной надежности, например таких, как бортовая аппаратура спутников.

В этой связи интерес представляют новые продукты фирмы Actel, которые сочетают хранение конфигурации в распределенной по кристаллу энергонезависимой памяти с архитектурой современных FPGA-устройств. В архитектуре FPGA корпорации Actel энергонезависимыми являются сами конфигурационные ячейки, тогда как в большинстве CPLD других производителей конфигурация изначально хранится во флэш-памяти, расположенной на кристалле CPLD в виде отдельного блока и загружается оттуда в конфигурационное ОЗУ при включении питания.

Корпорация Actel, штаб-квартира которой расположена в г. Маунтин-Вью (США, Калифорния), занимает третье место в мире по объему продаж ПЛИС и специализируется на выпуске продукции для применения в военных и аэрокосмических устройствах. Такая специализация вполне понятна, если учесть, что энергонезависимые распределенные конфигурационные ячейки имеют гораздо лучшую помехоустойчивость по сравнению со статической памятью. Основной продукцией этой фирмы долгое время являлись однократно программируемые ПЛИС для тяжелых условий эксплуатации: программируемые по Antifuse-технологии семейства Axcelerator, eX, SX/SX-A, MX, а также однократно программируемые, радиационно-стойкие (Radiation Tolerant) семейства RT1020/1280 и RTAX. Данные серии FPGA сочетают полезные свойства, характерные для заказных и полужаказных схем (ASICs, Gate Arrays) с возможностью самостоятельного программирования разработчиком, присущей коммерческим FPGA. При этом, однако, маршрут проектирования дизайна для таких FPGA больше соответствовал маршруту проектирования для классических ASIC, что, несомненно, отпугивало разработчиков, привыкших к маршруту разработки коммерческих FPGA с возможностью практически неограниченного количества загрузок прошивки ПЛИС при отладке дизайна изделия. При проектировании же дизайна на однократно программируемых FPGA каждая ошибка разработчика приводит к потере микросхемы, которая может стоить немалых денег. (Хотя даже в этом случае цена ошибки несоизмеримо ниже, чем в случае использования заказных схем — ASIC или Gate Array.)

Для устранения недостатка, связанного с однократным программированием FPGA, корпорация Actel приобрела фирму Gatefield и ее технологию изготовления флэш-ключа. Результатом стало появление семейств ProASIC, ProASIC и, наконец, недавнее появление новейшего семейства ProASIC3/3E, использующих распределенные по кристаллу флэш-

ключи для хранения конфигурации FPGA. Схема конфигурационной ячейки представлена на рис. 3.3.1

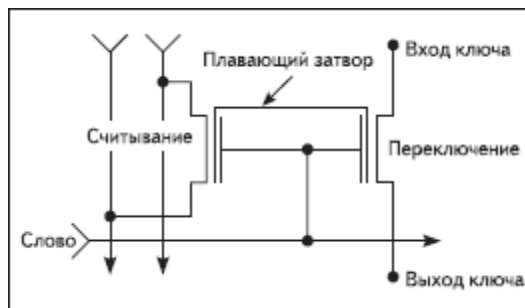


Рис. 3.3.1

Новые семейства ПЛИС фирмы Actel

До недавнего времени широко распространенные коммерческие FPGA имели более удобный маршрут проектирования, чем ASIC и подобные им устройства. Это удобство обеспечивалось наличием бесплатных средств разработки, программированием через интерфейс JTAG с неограниченным числом загрузок прошивок, а также встроенными средствами диагностики и отладки дизайна. Все это заставляло разработчиков, особенно отечественных, применять коммерческие FPGA повсеместно, даже там, где требуется надежность, достижимая только на платформах БМК и ASIC. Сформировавшийся круг технических решений, публикаций и технической литературы освещал именно классические ПЛИС, в основном производства Xilinx и Altera. Поэтому такие устройства, как, к примеру, Antifuse-FPGA, являлись скорее крайним средством, применение которого могло диктоваться в основном жесткими условиями эксплуатации, но вряд ли соображениями удобства разработки или экономической эффективности. Что же изменили в этой области последние продукты Actel?

Рассмотрим устройства, выполненные на основе флэш-памяти. Это семейства ProASIC, ProASIC и ProASIC3/3E. Аббревиатура ASIC призвана подчеркнуть, что эти семейства предназначены для замены микросхем с жесткой архитектурой. Стоит отметить, что для замены ASIC при объемах производства до десятков тысяч штук чаще всего позиционируются FPGA разных производителей, однако Actel подчеркивает, что ее продукция,

представляя собой законченное решение на единственном кристалле, во многих случаях может лучше подходить для решения конкретных задач.

Как и другие FPGA, ProASIC3E состоит из массива логических ячеек, называемых в данном случае VersaTile. Этот массив окружен блоками ввода-вывода, содержащих собственную логику. На том же кристалле размещены блоки двупортовой памяти, которая может использоваться как в конфигурациях RAM, так и FIFO. На схеме можно также увидеть блок доступной пользователю флэш-памяти, устройство дешифрования конфигурационного потока (ISP AES Decryption) и устройство распределения тактового сигнала (CCC — Clock Conditioning Circuit). Это устройство содержит модуль автоподстройки фазы (PLL — Phase Locked Loop) и по функциональному назначению аналогично модулям PLL, используемым в ПЛИС Altera и модулям DLL (Delay Locked Loop) в ПЛИС Xilinx. Наличие такого устройства позволяет работать с тактовыми частотами в сотни мегагерц (350 МГц для ProASIC3E).

Основной программируемый ресурс, ячейка типа VersaTile, представляет собой гибко конфигурируемую логическую структуру. Ее схема представлена на рис. 3, а варианты использования — на рис. 4. Из рисунков можно видеть, что ячейка VersaTile может реализовать весь набор цифровых узлов, ожидаемых от FPGA — комбинаторную логику и триггеры различных типов. При этом, несмотря на то, что конфигурация LUT3 имеет всего три входа и один выход, в то время как коммерческие FPGA используют как минимум четырехвходовые LUT, к тому же наращиваемые за счет дополнительных мультиплексорных логических ячеек, принципиальных препятствий к реализации логических схем любой сложности не возникает.

	А3Р030	А3Р060	А3Р125	А3Р250	А3Р400	А3Р600	А3Р1000
Системных вентиляей	30 к	60 к	125 к	250 к	400 к	600 к	1 М
Триггеров (D-Flip-Flop)	768	1 536	3 072	6 144	9 216	13 824	24 576
ОЗУ, кбит	—	18	36	36	54	108	144
4608-битных блоков	—	4	8	8	12	24	32
FlashROM (FROM), бит	1 к	1 к	1 к	1 к	1 к	1 к	1 к
Secure (AES) ISP	No	Yes	Yes	Yes	Yes	Yes	Yes
PLL	—	1	1	1	1	1	1
VersaNet Globals	6	18	18	18	18	18	18
Стандартов I/O	Std. & Hot Swap	Std.+	Std.+	Std./LVDS	Std./LVDS	Std./LVDS	Std./LVDS
Банков I/O (+JTAG)	2	2	2	4	4	4	4

Таблица 3.3.1 Характеристики ПЛИС ProASIC3

Принципы структурной организации программируемых логических интегральных схем

Для задания внутренних связей между базовыми логическими элементами, позволяющих реализовывать необходимые ФАЛ, требуется осуществить предварительную настройку таких интегральных схем. Подобный процесс настройки носит название программирования. Поэтому, такие интегральные схемы получили название программируемых логических интегральных схем (ПЛИС). Обобщенная структурная схема ПЛИС приведена на рис. 4.1.



Рис. 4.1. Обобщенная структурная схема ПЛИС.

Отличие структуры ПЛИС от других цифровых микросхем заключается в наличии настраиваемых программным путем в общем случае множества элементов И и ИЛИ, называемых соответственно матрицами И и ИЛИ. Настройка этих матриц на выполнение конкретной ФАЛ осуществляется путем подачи на микросхему ПЛИС специальных сигналов программирования, подобных сигналам программирования ПЗУ. В результате реализуются внутренние связи в матрицах, структурно задающие соединения отдельных элементов И и ИЛИ в соответствии с описывающей работу цифрового устройства системе ФАЛ. Входные и выходные переменные подаются на ПЛИС и снимаются с нее через буферные схемы, которые, как правило, кроме состояния логического нуля или логической единицы, могут принимать пассивное Z-состояние.

Первые ПЛИС в качестве программируемых содержали обычно обе матрицы - И и ИЛИ. Такие ПЛИС получили название программируемых логических матриц (ПЛМ), или в англоязычной аббревиатуре – PLA (Programmable Logic

Array). Фрагмент структуры ПЛМ, отражающий только программируемые матрицы И и ИЛИ, представлен на рис. 4.2.

В структурах ПЛИС косой линией принято выделять наличие электрического соединения пересекаемых шин. Если косая линия в пересечении отсутствует, это означает отсутствие электрической связи в пересекаемых шинах. Таким образом, изображенные на рис. 8.2 программируемые матрицы обладают электрическим контактом во всех пересечениях. Наличие контактов во всех пересечениях в матрицах характерно для новых, незапрограммированных ПЛИС. Также как и в случае с ПЗУ, программирование ПЛИС осуществляется разрушением электрического контакта в необходимых пересечениях, выполненного в виде плавкой перемычки или транзисторной МДП-структуры. В зависимости от технической реализации этого контакта ПЛИС бывают прожигаемые и перепрограммируемые.

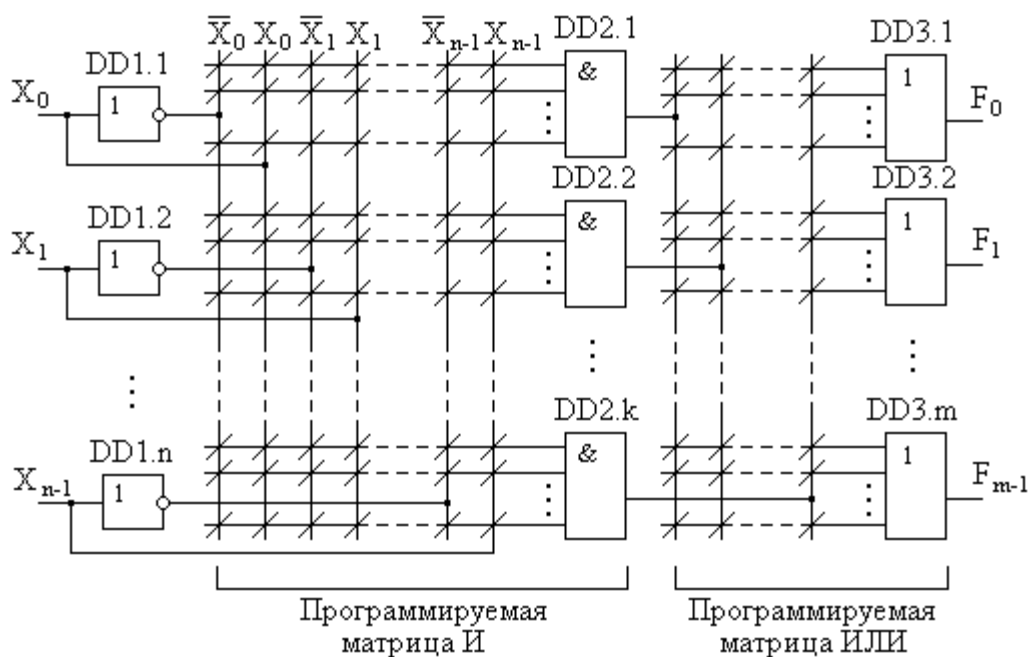


Рис. 4.2. Фрагмент структурной схемы ПЛМ.

Поскольку конstituенты единицы ФАЛ в виде ДНФ образуются как прямыми значениями входных переменных, так и инверсными, то и в структуре ПЛИС предусмотрено наличие входных инверторов DD1. Прямые и инверсные значения всех n входных переменных образуют столбцы программируемой матрицы И. Строки этой матрицы образуются n -входовыми элементами И DD2. В общем случае, если предположить, что выходная функция F на всех наборах входных переменных принимает единичные значения, то таких элементов И по числу конstituент единицы

должно быть $k=2^n$. Синтез какой-либо схемы для такого случая является нецелесообразным, поскольку функция с единичными значениями на всех наборах является константой единицы и от входных переменных не зависит. В практических случаях выходная функция принимает единичные значения только на определенных наборах, а часто и вовсе является частично определенной. Поэтому ПЛИС содержат обычно количество k элементов I меньше, чем 2^n . Выходы этих элементов образуют k столбцов программируемой матрицы ИЛИ, а их выходные значения соответствуют конституентам единицы функции F . Для возможности реализации системы ФАЛ из нескольких различных выходных функций, матрица ИЛИ содержит m k -входных элементов ИЛИ DD3. Каждый из этих элементов объединяет логическим сложением те конституенты единицы, которые входят в состав ДНФ реализуемой выходной функции F .

Недостатком структуры ПЛИС является слабое использование ресурсов программируемой матрицы ИЛИ. Поэтому была предложена более простая, но тем не менее, более эффективная архитектура программируемой матричной логики (ПМЛ). В английской терминологии ее обозначение записывается как Programmable Array Logic (PAL). Суть этой архитектуры заключается в использовании в качестве программируемой только матрицы I . Матрица ИЛИ является фиксированной. Пример упрощенной структуры ПМЛ представлен на рис. 8.3. На рисунке не раскрывается структура программируемой матрицы I по причине ее аналогии с рассмотренной матрицей I в структуре ПЛИС. Входные переменные, также как и в ПЛИС, в ПМЛ подаются в прямом и инверсном виде. Из рисунка видно, что входы элементов ИЛИ DD3 являются не коммутируемыми. Таким образом, на каждый вход текущего элемента ИЛИ подается технологически определенный выход элемента I программируемой матрицы I .

Кроме элементов ИЛИ, в изображенной на рисунке структуре ПМЛ содержатся буферные элементы DD4, позволяющие управляющим сигналом на входах E этих элементов, переводить соответствующие выходы F ПЛИС в высокоимпедансное состояние. В этом случае эти выходы могут выполнять функции входов программируемой матрицы I . С этой целью выходы буферных элементов DD4 соединены с матрицей I напрямую и через инверторы DD5, т.е. организованы обратные связи. Если выход текущего элемента DD4 находится в активном состоянии, то через цепи обратной связи значение выходной функции F подается обратно в матрицу I . Это позволяет реализовывать схемы не только КЦУ, но и ПЦУ. Элементы DD3 и DD4 ПМЛ образуют так называемую макроячейку.

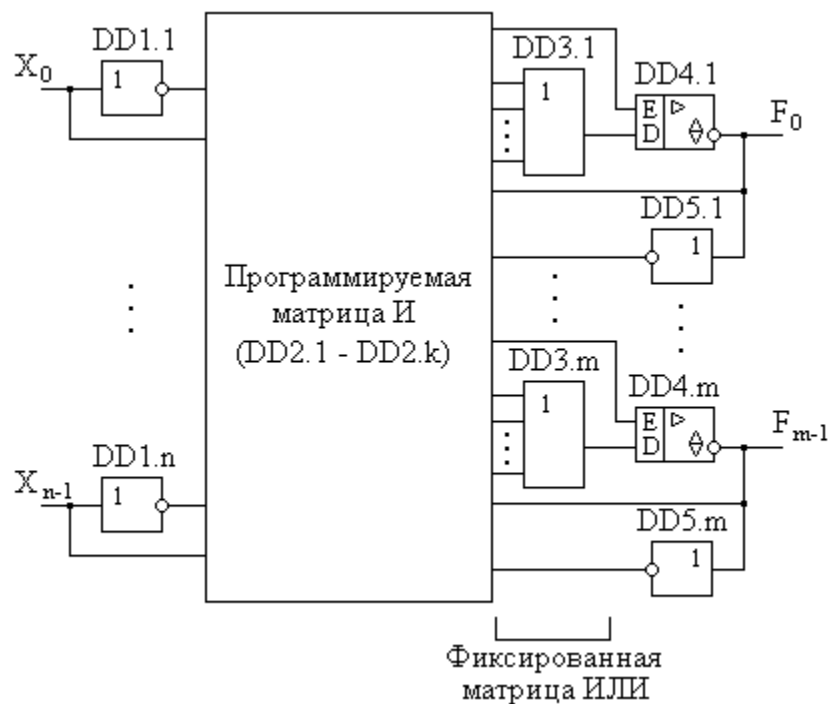


Рис. 4.3. Структурная схема ПМЛ.

Приведенная на рис. 4.3. структура характерна для классических ПМЛ. В настоящее время большее распространение получили интегральные схемы универсальной ПМЛ, принципиально отличающейся от классической только структурой макроячеек. Макроячейка универсальной ПМЛ содержит элемент Исключающее ИЛИ, один вход которого программно связан с нулевым потенциалом общего провода. Нарушение этой связи позволяет инвертировать значения выходных функций F , меняя, таким образом, логические уровни выходных сигналов. Кроме того, макроячейки универсальной ПМЛ содержат обычно D-триггеры-защелки, позволяющие синхронизировать выдачу информации на выходы и предоставляющие более широкие возможности при реализации ПЦУ.

Другим представителем ПЛИС, интенсивно развивающимся в настоящее время, особенно за рубежом, является комплексная ПЛИС. В английской терминологии она обозначается как CPLD (Complex Programmable Logic Devices). Такие ПЛИС содержат несколько логических блоков, каждый из которых представляет универсальную ПМЛ. Входы и выходы всех логических блоков объединяются в единую структуру программируемой коммутационной матрицей.

Особенности проектирования цифровых устройств на базе ПЛИС.

Процесс проектирования и изготовления цифровых устройств традиционным способом, т.е. на основе стандартных интегральных схем комбинационного и последовательностного типов малой и средней степени интеграции, является узкоспециализированным. Это означает, что специалисты, участвующие в процессе создания устройств цифровой техники, выполняют определенные индивидуальные функции в этом процессе. Сам процесс создания состоит из проектных стадий, стадий подготовки производства, отработки технологии и пр. Аналогичной сложностью характеризуется и процесс создания цифровых устройств на основе специализированных интегральных схем высокой степени интеграции. Использование же ПЛИС позволяет существенно сократить объем этих стадий, фактически свести их только к этапам проектирования с помощью ЭВМ.

Существенным преимуществом ПЛИС является их универсальность и возможность быстрого программирования под выполнение функций практически любого цифрового устройства. ПЛИС представляет собой полуфабрикат, на основе которого разработчик, обладающий персональным компьютером, несложными и относительно недорогими аппаратными средствами программирования и специальным программным обеспечением, называемым системой автоматизированного проектирования (САПР), имеет возможность проектирования цифрового устройства в рекордно короткие сроки. При этом весь цикл проектирования и программирования доступен всего одному человеку – проектировщику цифровых устройств на базе ПЛИС.

Все современные САПР ПЛИС работают под управлением операционных систем семейства Windows и используют все преимущества ее графического интерфейса. Фирмы-производители интегральных схем ПЛИС осуществляют обычно поддержку своей продукции путем разработки и распространения таких САПР. Проектирование ПЛИС в системе САПР предполагает выполнение следующих этапов:

разработка структурной формулы проектируемого цифрового устройства, ее минимизация и адаптация под тип и возможности используемой ПЛИС (для этих целей используются методы, рассмотренные в предыдущих главах);

создание нового файла проекта, назначение семейства ПЛИС для проекта;

ввод структурной формулы или схемы проектируемого устройства с помощью специальных программ – редакторов;

компиляция введенной структурной формулы или схемы, т.е. получение битовой последовательности загружаемой в ПЛИС программы;

временной анализ задержек в отдельных элементах и проверка работоспособности всей структуры цифрового устройства путем моделирования с помощью специальных программ – симуляторов;

программирование микросхемы ПЛИС с помощью специальных аппаратных средств – программаторов.

Проектировщику в системе САПР доступны обычно обширные программные библиотеки, задающие функции типовых интегральных схем ТТЛ и КМОП типов. Это позволяет синтезировать схему цифрового устройства не только в определенном базисе, т.е. из элементарных функций И, ИЛИ, НЕ, но и используя готовый программный аналог существующих реальных микросхем. Широкие возможности при проектировании представляет глобальная сеть Internet, через которую осуществляется распространение специально разрабатываемых библиотек компонентов, не имеющих в стандартных версиях САПР. Для задания схемы проектируемого на базе ПЛИС цифрового устройства широко используются языки описания аппаратных средств, в общем случае называемые HDL (hardware device language). С помощью операторов такого языка можно задать типы комбинационных или последовательностных устройств, сформулировать входные воздействия на них и связи между ними, определить константы и переменные в проекте и т.д.

Заключение

Среди лидеров в производстве ПЛИС и САПР для них на сегодняшний день можно выделить такие фирмы, как Altera Corporation, Xilinx и Actel Corporation. На их долю приходится до 80 % от общего производства ПЛИС, быстродействие которых на сегодняшний день достигло порядка сотен МГц, емкость программируемых матриц И – нескольких миллионов элементов, а стоимость снизилась до десятков у.е. Все это, плюс кратчайшие сроки проектирования, высокая надежность, объясняемая высокой степенью интеграции отдельных элементов в едином кристалле полупроводника и, как следствие, минимальное количество внешних межсоединений, делает ПЛИС предпочтительной элементной базой по сравнению со стандартными логическими микросхемами комбинационного и последовательностного типов

Список литературы

1. Сайт http://kit-e.ru/articles/plis/2005_9_86.php
2. Сайт http://www.dsol.ru/stud/book7/chapter1/page1_08.html
3. Сайт http://www.compitech.ru/html.cgi/arhiv/00_04/stat_52.htm